

Quaderno di Elettronica Generale

A cura di:
Nicola Auricchio

Premessa:

Questi appunti sono stati scritti sbobinando le lezioni del prof. Strollo durante l'a.a. 2013/14.

Mentre preparavo l'esame, mi sono accorto di diversi errori, qualcuno l'ho corretto, qualche altro no. In ogni caso sono per lo più imprecisioni sceme (spero), tipo un pedice al posto di un altro, un meno al posto di un più...fatti del genere di cui ci si accorge facilmente.

L'ultimo argomento degli appunti è la Risposta in Frequenza. Ci mancherebbero gli ultimi due argomenti del corso che sono Amplificatore Differenziale e Stadi di uscita, spiegati nelle ultime due lezioni del corso.

Lezione 0

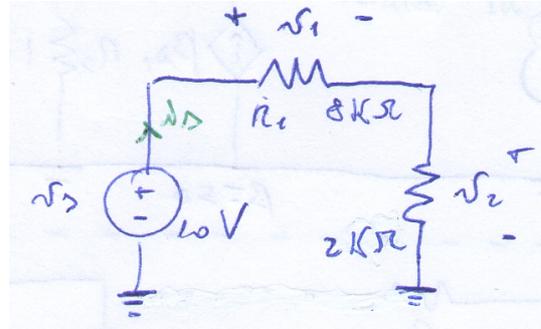
Richiami di Circuiti

Partitore di tensione

$$\begin{aligned}v_1 &= i_s R_1 & v_2 &= i_s R_2 \\v_s &= v_1 + v_2 = i_s (R_1 + R_2) \\i_s &= \frac{v_s}{R_1 + R_2}\end{aligned}$$

Quindi:

$$\begin{aligned}v_1 &= v_s \frac{R_1}{R_1 + R_2} = 10 \frac{8k}{8k + 10k} = 8V \\v_2 &= v_s \frac{R_2}{R_1 + R_2} = 10 \frac{2k}{8k + 10k} = 2V\end{aligned}$$

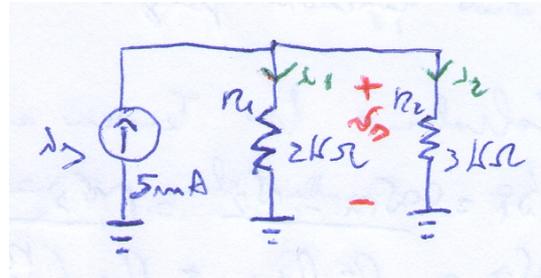


Partitore di corrente

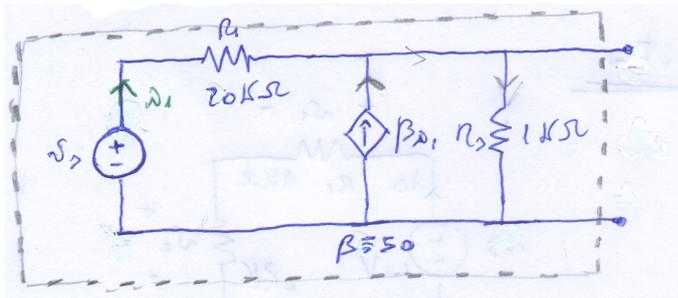
$$\begin{aligned}i_s &= i_1 + i_2 \text{ dove } i_1 = \frac{v_s}{R_1} \text{ e } i_2 = \frac{v_s}{R_2} \\v_s &= i_s \frac{1}{\frac{1}{R_1} + \frac{1}{R_2}} = i_s \frac{R_1 R_2}{R_1 + R_2} = i_s R_1 // R_2\end{aligned}$$

$$i_1 = i_s \frac{R_2}{R_1 + R_2} = 5m \frac{3k}{5k} = 3mA$$

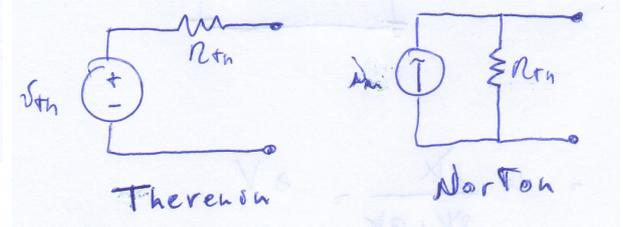
$$i_2 = i_s \frac{R_1}{R_1 + R_2} = 2mA$$



Thevenin e Norton



A partire da un qualsiasi circuito è possibile trovare i seguenti circuiti equivalenti:

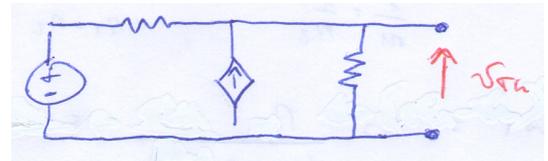


Proviamo a calcolare i parametri di questi circuiti equivalenti.

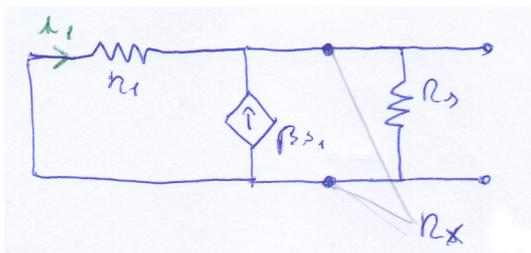
Partiamo con Thevenin

Devo calcolare resistenza equivalente e tensione a vuoto (vedi appunti miei di circuiti pag 35, 36).

- Calcoliamo la tensione a vuoto v_{th} :
 La corrente che passa in R_s : $\beta i_1 + i_1 = i_1 (\beta + 1)$
 $v_s = R_1 i_1 + R_s (\beta + 1) i_1 \Rightarrow i_1 = \frac{v_s}{R_1 + R_s (\beta + 1)}$
 $v_{th} = R_s (\beta + 1) i_1 = R_s (\beta + 1) \frac{v_s}{R_1 + R_s (\beta + 1)}$



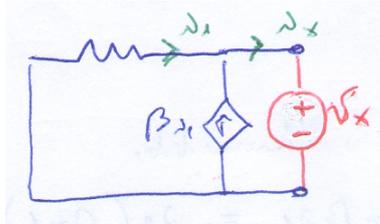
- Calcoliamo la resistenza equivalente R_{th}
 Bisogna spegnere i generatori indipendenti.



Chiamiamo R_x la resistenza equivalente del circuito a sinistra dei due morsetti evidenziati in figura.

Quindi si ha: $R_{th} = R_s // R_x$

Devo misurare R_x . Per misurare una resistenza, metto un generatore di tensione ai morsetti cui è collegata la resistenza e misuro la corrente in uscita, per poi fare il rapporto.



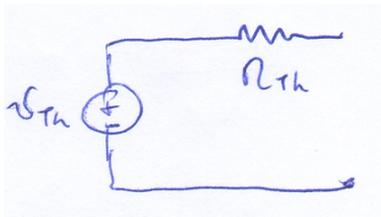
$$i_1 = -\frac{v_x}{R_1}$$

$$i_x = -i_1 - \beta i_1 = -i_1 (\beta + 1) = \frac{v_x}{R_1} (\beta + 1)$$

$$R_x = \frac{v_x}{i_x} = \frac{R_1}{\beta + 1}$$

$$R_{th} = R_s // R_x = R_s // \frac{R_1}{\beta + 1}$$

Quindi, ricapitolando, posso considerare, anziché quel circuito, il circuito equivalente di Thevenin:

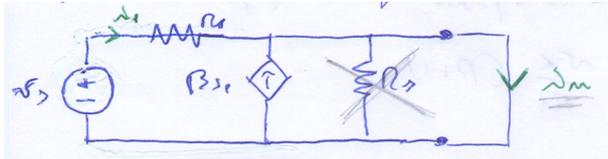


dove $v_{th} = \frac{R_s(\beta+1)v_s}{R_1+R_s(\beta+1)}$ e $R_{th} = R_s // \frac{R_1}{\beta+1}$

Ora vediamo Norton

Per la resistenza equivalente di Norton, facciamo gli stessi calcoli fatti per quella di Thevenin =>
=> $R_n = R_{th}$

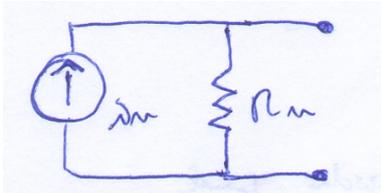
Per la corrente equivalente, cortocircuitiamo i morsetti:



$$i_1 = \frac{v_s}{R_1}$$

$$\Rightarrow i_n = \frac{v_s}{R_1}(\beta+1)$$

Quindi il circuito equivalente di Norton:



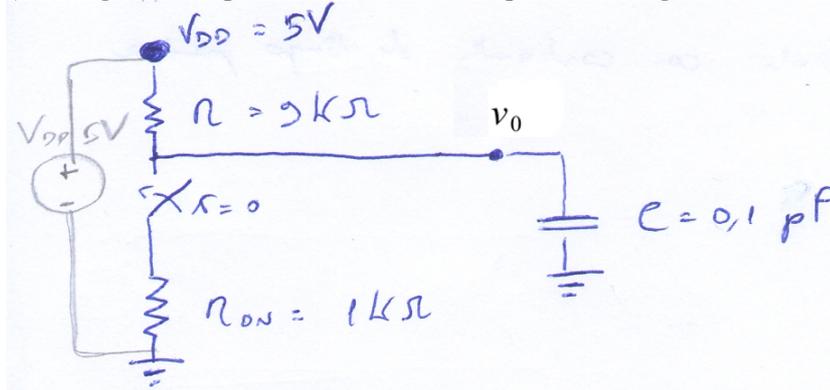
Come verifica:

$$i_n \cdot R_{th} = v_{th} ?$$

$$\underline{\underline{R_n}}$$

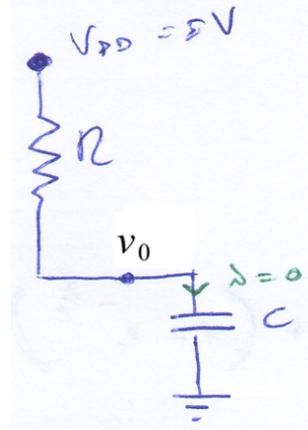
Circuiti RC

(Nel seguito semplificheremo con “un pallino” un generatore di tensione da quel punto a massa)



Determiniamo la tensione sul condensatore dopo la chiusura dell'interruttore.

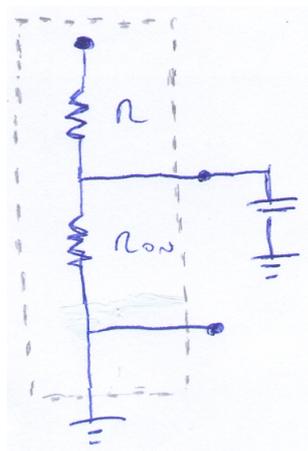
All'istante $t = 0^-$ quanto vale la tensione sul condensatore?



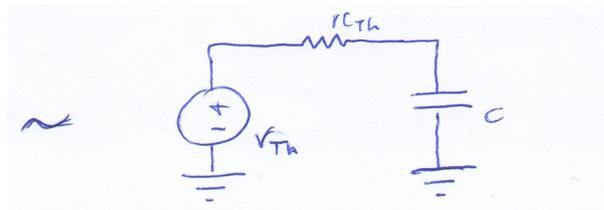
In condizioni stazionarie, il condensatore si comporta come un circuito aperto $\Rightarrow i = 0$

$$\Rightarrow v_0(0^-) = V_{DD} = 5V$$

All'istante $t > 0$



Semplifichiamo il circuito a sinistra applicando Thevenin.



$$R_{th} = R // R_{ON}$$

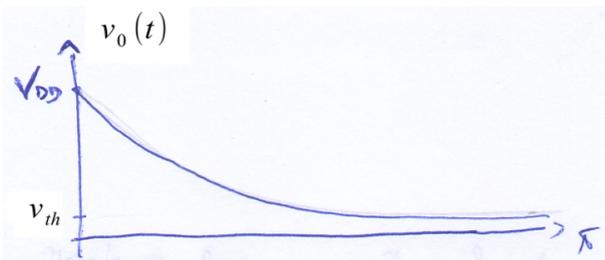
$$v_{th} = V_{DD} \frac{R_{ON}}{R + R_{ON}}$$

Come varia la tensione nel tempo?

All'istante 0, abbiamo detto essere pari a V_{DD} .

A regime la tensione sarà quella di v_{th} (te ne accorgi guardando il circuito semplificato) = 0,5 V

La decrescita sarà esponenziale con costante di tempo pari a $\tau = C \cdot R_{th}$



Da un punto di vista analitico si può scrivere:

$$v_0(t) = A + B e^{-\frac{t}{\tau}} =$$

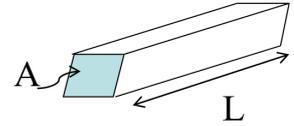
$$\text{dove } A = v_0(\infty) = v_{th} \text{ e } A + B = v_0(0) = V_{DD}$$

$$= v_{th} + (V_{DD} - v_{th}) e^{-\frac{t}{\tau}} = V_{DD} + (1 - e^{-\frac{t}{\tau}}) v_{th}$$

Lezione 1

Elettronica dello stato solido

Supponiamo di avere una certa barretta di materiale di sezione A e lunghezza L attraversata da corrente.



Sappiamo che questa barretta evidenzia una certa **Resistenza**. Questa resistenza R è direttamente proporzionale alla lunghezza e inversamente proporzionale alla sezione:

$$R = \rho \frac{L}{A}$$

dove ρ è detto **Resistività** [$\Omega \cdot \text{cm}$].

A seconda del valore di ρ , noi distinguiamo i materiali in tre classi:

- **Isolanti** ($\rho > 10^5$)
- **Semiconduttori** ($10^{-3} < \rho < 10^5$)
- **Conduttori** ($\rho < 10^{-3}$)

Ricordiamoci da dove viene fuori questa $R = \rho \frac{L}{A}$. Lo vediamo dapprima facendo riferimento a un materiale conduttore, un metallo.

Nei metalli gli atomi sono organizzati in un reticolo cristallino, quindi sono piazzati in posizioni fisse. Gli elettroni più periferici degli atomi risultano molto debolmente legati ai rispettivi nuclei, pertanto possono muoversi liberamente all'interno di questo reticolo cristallino.

In questa situazione, la corrente che passa in questa barretta di materiale è zero, in quanto alcuni elettroni si muovono in un verso, altri nel verso opposto, per cui il valore medio di questo moto è nullo, e quindi non c'è passaggio di corrente.

Se applichiamo una differenza di potenziale V ai capi di questa barretta, si genera un campo elettrico E nel conduttore: $E = \frac{V}{L}$.

Gli elettroni risentono di questo campo elettrico e cominciano a muoversi, provocando passaggio di corrente.

Gli elettroni, per effetto del campo, acquistano una velocità, detta **velocità di deriva**, pari a

$$v = -\mu \cdot E \text{ [cm/s]}, \text{ dove } \mu \text{ è detta } \mathbf{costante di mobilità} \left[\frac{\text{cm}^2}{\text{V} \cdot \text{s}} \right].$$

Calcoliamo la corrente che attraversa la barretta.

Per calcolare la corrente, oltre a sapere la velocità degli elettroni, devo sapere anche quanti sono.

Si dice **densità di carica**, Q , la carica per unità di volume, e si misura in C/cm^3

Essa si può scrivere come $Q = -q \cdot n$

dove q : carica dell'elettrone in valore assoluto: $1,6 \cdot 10^{-19} \text{ C}$
n: **concentrazione di elettroni** (dipende dal materiale)

Si definisce **densità di corrente** $j = Q \cdot v$ [A/cm^2].

Sostituendo si ha $j = qn\mu E = qn\mu \frac{V}{L}$.

A questo punto calcolo la **corrente**:

$$I = jA = qnA\mu \frac{V}{L} .$$

La resistenza:

$$R = \frac{V}{I} = \frac{VL}{qnA\mu V} = \frac{L}{qnA\mu} = \rho \frac{L}{A} , \text{ dunque } \rho = \frac{1}{qn\mu}$$

Osserviamo che la resistività è inversamente proporzionale alla mobilità.

Vediamo cosa accade nel caso dei **semiconduttori**.

In questo caso il passaggio di corrente è affidato al moto di cariche diverse, sia di cariche negative che di cariche positive, che vengono chiamate **lacune**.

I semiconduttori si distinguono tra semiconduttori elementari, cioè costituiti da un solo tipo di atomo, come il silicio, il germanio, ecc., e semiconduttori composti, cioè formati da leghe di elementi differenti.

Il semiconduttore al quale faremo riferimento è il **silicio**, che si trova nella IV colonna della tavola periodica degli elementi (gli elementi di questa colonna hanno quattro elettroni di legame).

La struttura del silicio è di tipo cristallino, come quella che abbiamo visto nel caso del generico metallo. La struttura tridimensionale è abbastanza complicata, la semplifichiamo con una struttura bidimensionale di questo tipo:

Per le temperature prossime allo zero assoluto, tutti gli elettroni sono impegnati in legami covalenti con gli atomi adiacenti, pertanto non vi è alcun elettrone disponibile per il processo di conduzione: il materiale si comporta come un isolante.

Al crescere della temperatura, viene fornita energia termica al reticolo cristallino, causando la rottura di alcuni legami covalenti.

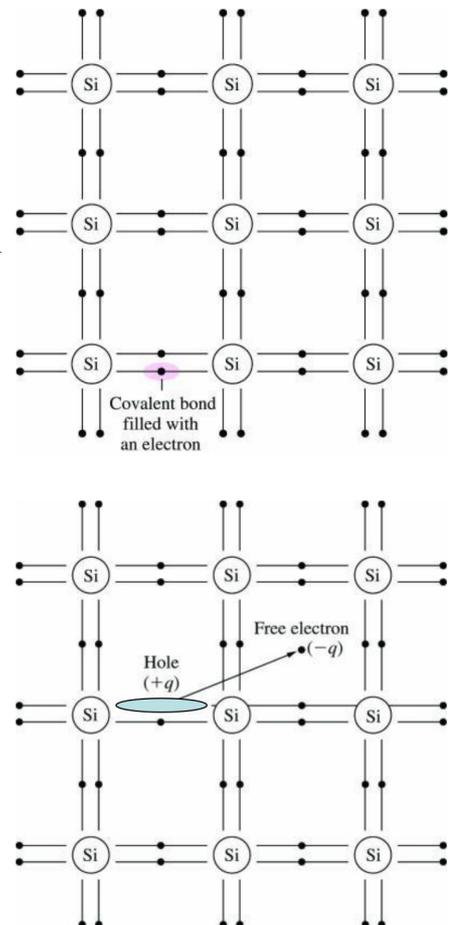
Alla rottura del legame covalente, l'elettrone lascia una cosiddetta **lacuna**, che possiamo considerare equivalente ad una carica positiva (+q).

L'elettrone libero, a seguito della rottura di un legame, può andare a riempire la vacanza di un altro legame (può accadere quindi che un elettrone venga catturato da un'altra lacuna).

L'effetto complessivo è di un moto delle lacune, oltre che degli elettroni.

La mobilità delle lacune, si può dimostrare, è più bassa di quella degli elettroni, (il meccanismo 'si forma una lacuna' → 'un elettrone la colma' → 'si forma un'altra lacuna', che possiamo immaginare come un moto, è più lenta del moto degli elettroni).

Quindi rispetto a un metallo, possiamo grossomodo utilizzare lo stesso tipo di analisi, però osservando che oltre agli elettroni ci sono delle cariche positive, con una diversa mobilità; chiamiamo μ_n la mobilità degli elettroni, e μ_p quella delle lacune (con $\mu_p < \mu_n$).



Per quanto riguarda le concentrazioni di elettroni e lacune:

Abbiamo chiamato **n** la concentrazione degli elettroni, ora chiamiamo **p** quella delle lacune.

Nel silicio puro $n = p$ (in quanto ogni volta che c'è un elettrone libero ci deve essere anche una lacuna), vedremo che nel caso di drogaggio non è più così.

Queste due concentrazioni uguali vengono anche indicate con il simbolo **n_i** (**concentrazione intrinseca**) e dipendono dal materiale e dalla temperatura.

La velocità di deriva delle lacune avrà segno opposto a quella degli elettroni, in quanto si muovono in senso opposto, in particolare,

per gli elettroni sarà $v_n = -\mu_n E$ (discorde al campo, in quanto le cariche sono negative)

per le lacune sarà $v_p = \mu_p E$ (concorde al campo, in quanto le cariche sono positive)

Le densità di carica avranno anche esse segno opposto:

per gli elettroni sarà $Q_n = -q \cdot n$

per le lacune sarà $Q_p = q \cdot p$

La densità di corrente nei semi conduttori: $j = Q_n v_n + Q_p v_p = n q \mu_n E + p q \mu_p E$

(i contributi di elettroni e lacune sono concordi, in quanto sono opposti sia i moti che le cariche)

La corrente nei semiconduttori: $I = jA = A(n q \mu_n + p q \mu_p) \frac{V}{L}$

La resistività nei semiconduttori: $\rho = \frac{V A}{L I} = \frac{1}{n q \mu_n + p q \mu_p} = \frac{1}{n_i q (\mu_n + \mu_p)}$
↑
(nel caso di silicio puro)

Si può verificare che nel silicio $\rho = 3,4 \cdot 10^5 \Omega \cdot cm$

Aumentando la temperatura, la resistività diminuisce, in quanto aumenta la concentrazione intrinseca.

Drogaggio

Il silicio puro non servirebbe a nulla, al più potremmo fare un resistore la cui resistenza si riduce con la temperatura. Non potremmo avere nessun altro utilizzo pratico.

Quella che invece viene effettuata è una modifica delle caratteristiche elettriche del silicio, mediante un'operazione che viene detta di **drogaggio**.

Questa operazione consiste nell'inserire opportunamente delle **impurità** all'interno del reticolo cristallino.

Le impurità che possiamo utilizzare sono elementi che si trovano o nella V colonna della tavola periodica (che hanno 5 elettroni di legame), o nella III colonna (che ne hanno 3).

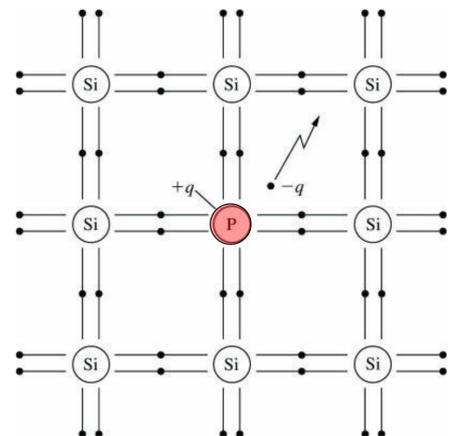
In questo contesto, gli elementi della V colonna vengono chiamati **donatori**, quelli della III vengono chiamati **accettori**.

Se nel silicio vengono introdotti donatori, otteniamo il cosiddetto **silicio di tipo n**, nel caso in cui vengono introdotti accettori, **silicio di tipo p**.

Silicio di tipo n

Ad esempio, supponiamo di includere nel nostro cristallo di silicio una piccola quantità di materiale di tipo donatore, cioè con 5 elettroni di valenza (uno in più di quelli del silicio), per esempio il **fosforo**.

Il fosforo, avendo 5 elettroni di valenza, con 4 realizza i legami covalenti con gli atomi di silicio, il quinto rimane debolmente legame al nucleo dell'atomo di fosforo. Debolmente, nello stesso senso in cui intendevamo gli elettroni nei metalli, quindi tale che in presenza di campo elettrico, o di energia termica si muove liberamente nel reticolo.



Nel momento in cui questo elettrone si muove, non si genera una lacuna, perchè la carica positiva che lascia è "fissa".

(non ho capito, anche le lacune in realtà erano delle cariche positive che venivano successivamente equilibrate, non è che si muovevano. In questo caso non posso dire la stessa cosa? Se un elettrone ci si attacca, non è come se nel frattempo avesse lasciato libero un altro nucleo positivo, così da poter considerato un movimento di cariche positive?)

Quindi nel caso in cui vengono introdotte delle impurità di tipo donatore augmentiamo la concentrazione di elettroni, n, mentre la concentrazione di lacune, p, diminuisce perchè aumentiamo gli elettroni liberi e aumentiamo la possibilità che questi vadano a colmare delle lacune *(a quanto sembra, gli atomi di fosforo carichi positivamente non vengono mai equilibrati)*.

In effetti si può dimostrare che la concentrazione degli elettroni, n, è all'incirca uguale alla concentrazione proprio di questi atomi di donatore, N_D che noi andiamo a introdurre.

La concentrazione delle lacune, p è $\ll n$.

In pratica, in questo modo le caratteristiche del silicio tendono ad essere quelle di un metallo.

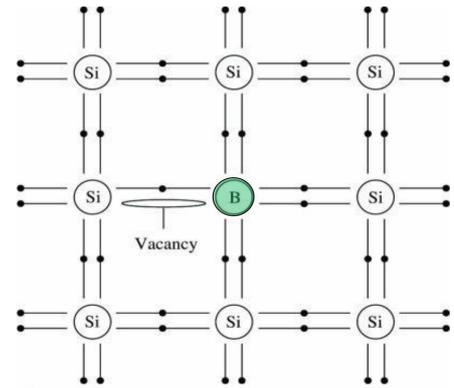
Si può dimostrare che il prodotto $n \cdot p$ è costante, e in particolare $n \cdot p = n_i^2$.

Silicio di tipo p

In questo caso le impurità sono accettori.

I tre elettroni di valenza posseduti da questo tipo di elementi formano i legami con gli atomi di silicio adiacenti lasciando vuoto uno dei legami.

Siamo nel caso opposto a quello di prima: si creano delle vere e proprie lacune che possono essere colmate da altri elettroni che si muovono nel reticolo cristallino, e che lasciano dietro di loro altre lacune.



Al contrario di prima, la concentrazione di lacune, p , è all'incirca uguale a quella degli atomi accettori, N_A , e la concentrazione di elettroni n è $\ll p$.

Anche in questo caso si dimostra che $n \cdot p = n_i^2$ costante.

Il diodo, ad esempio, è costituito da una barretta di silicio nella quale c'è una zona p e una zona n adiacenti.

Esempio:

Un campione di silicio è drogato con atomi donatori, con una concentrazione $N_D = 2 \cdot 10^{17} \text{ cm}^{-3}$. Calcoliamo la resistività.

Utilizziamo questa formula: $\rho = \frac{1}{nq\mu_n + pq\mu_p}$, con $n \simeq N_D$ e $p \ll n$

Quindi si avrà $\rho \simeq \frac{1}{N_D q \mu_n}$ dove i valori

μ_n è una caratteristica propria del silicio, supponiamo sia $600 \frac{\text{cm}^2}{\text{V} \cdot \text{s}}$,

q è la carica dell'elettrone in valore assoluto: $1,6 \cdot 10^{-19} \text{ C}$.

La resistività sarà minore o maggiore di quella del silicio puro?

Nel caso del silicio puro (si dice anche **intrinseco**), al posto di N_D ho n_i , che è dell'ordine di 10^{10} , quindi il silicio drogato che abbiamo considerato ha una resistività molto minore.

Se avessimo messo degli atomi accettori con la stessa concentrazione $N_A = N_D$, avremmo avuto una resistività un po' più alta, in quanto $\mu_p < \mu_n$.

Corrente di Diffusione

La **corrente di diffusione** è un meccanismo di passaggio di corrente che non si ha nei metalli, ma si ha soltanto nei semiconduttori.

In precedenza abbiamo detto che la densità di corrente è pari a: $j = nq\mu_n E + pq\mu_p E$.

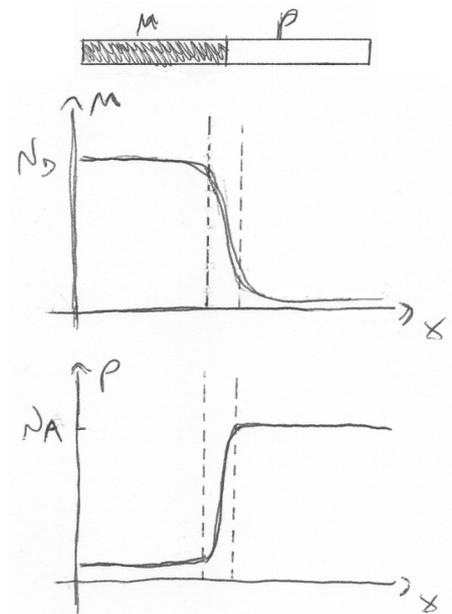
In realtà a questa formula bisogna aggiungere un ulteriore termine che è la cosiddetta corrente di diffusione. In questo contesto quella quantità con cui identificavamo tutta la densità di corrente viene detta **corrente di trasporto**.

$$j = \underbrace{nq\mu_n E + pq\mu_p E}_{\text{corrente di trasporto o di deriva}} + \underbrace{qD_n \frac{\partial n}{\partial x} - qD_p \frac{\partial p}{\partial x}}_{\text{corrente di diffusione: } j_n^{diff} + j_p^{diff}}$$

Con x direzione della densità di corrente,
e D_p e D_n costanti....di qualcosa

Se la concentrazione dei portatori (elettroni o lacune) non è costante nel reticolo (c'è una zona in cui questa concentrazione è molto alta e una in cui è molto bassa), la tendenza dei portatori a muoversi da una zona a concentrazione più alta verso quella a concentrazione più bassa genera corrente di diffusione.

Per realizzare un reticolo di silicio con concentrazione di portatori variabile il drogaggio non è uniforme, cioè vengono inseriti, ad esempio donatori da una parte e accettori dall'altra.



Nella zona intermedia $\frac{\partial n}{\partial x} < 0 \Rightarrow$ la corrente dovuta al moto degli elettroni verso la zona di bassa concentrazione, j_n^{diff} , ha lo stesso segno della derivata, cioè è negativa.

Nella zona intermedia $\frac{\partial p}{\partial x} > 0 \Rightarrow$ la corrente dovuta al moto delle lacune verso la zona di bassa concentrazione, j_p^{diff} , ha verso opposto rispetto a quello della derivata, cioè è negativa.

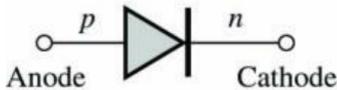
Lezione 2

Diodi

Un diodo si può vedere concettualmente come una barretta di materiale semiconduttore formata da due zone: una zona di tipo p, e una zona di tipo n, contattate mediante due elettrodi (quindi è un bipolo);

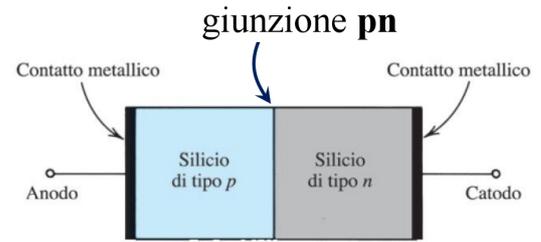
Si realizza partendo da un'unica barretta di silicio puro, e in una parte di questa si introducono accettori, nell'altra si introducono donatori.

Schematicamente, il diodo si indica nel modo seguente:



dove la freccia del dispositivo indica l'unico verso nel quale fluisce la corrente quando il diodo è opportunamente alimentato.

Nel verso opposto è impossibile, o comunque estremamente difficile far passare corrente.



Quando il diodo non è collegato a nessun altro componente ci aspettiamo che la corrente che passa da un capo all'altro sia nulla, $i = 0$.

Ma cosa succede in prossimità della giunzione?

Nei pressi della giunzione sarà presente una corrente di diffusione dalla zona p alla zona n.

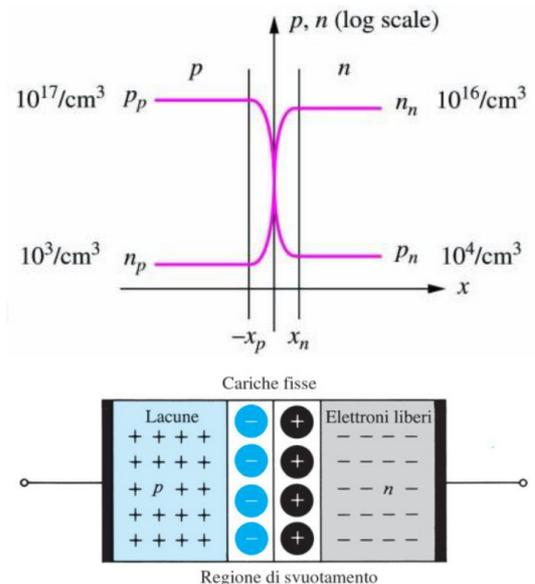
Ma perchè sia verificata la condizione $i = 0$, questa corrente di diffusione deve essere bilanciata da una corrente di deriva uguale ed opposta.

La corrente di deriva, ci ricordiamo, è dovuta alla presenza di un campo elettrico $E \neq 0$

Da dove nasce questo campo elettrico E?

Man mano che le lacune si diffondono dalla regione p verso la regione n, lasciano nella regione p degli atomi accettori immobili carichi negativamente; analogamente gli elettroni lasciano nella regione n degli atomi donatori.

Si forma, dunque, nei pressi della giunzione una regione di svuotamento che dà luogo al campo elettrico, il quale produce la corrente di deriva che bilancia la corrente di diffusione.



A causa delle cariche fisse nella regione di svuotamento, il moto delle lacune dalla zona p alla zona n, e degli elettroni dalla zona n alla zona p, è ostacolato.

“Diciamo che ne passano solo alcune”, appena si forma il campo elettrico questo moto è ostacolato. Anche perchè, se non fosse così il moto delle cariche a un certo punto andrebbe a bilanciare le concentrazioni.

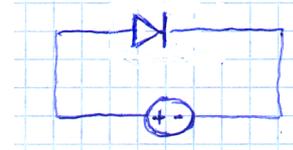
Si dice che nei pressi della giunzione si forma una cosiddetta **barriera di potenziale**.

Vediamo cosa succede quando si applica una tensione ai capi del diodo.

Parliamo di **polarizzazione diretta** quando il generatore di tensione ha il polo positivo collegato alla regione p e il polo negativo alla regione n; viceversa si parla di **polarizzazione inversa**.

Polarizzazione diretta

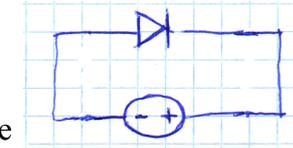
In questo caso si riduce la barriera di potenziale per gli elettroni e per le lacune, dando origine ad una corrente che attraversa la giunzione



Polarizzazione inversa

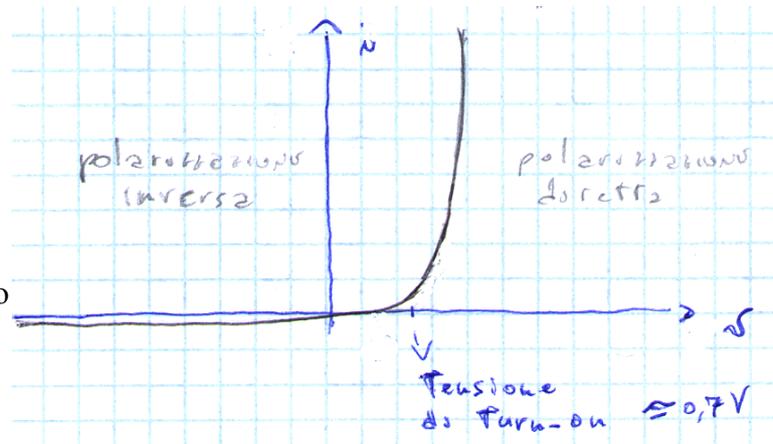
In quest'altro caso la barriera di potenziale aumenta e il passaggio di corrente è quasi nullo.

Il debole passaggio di corrente è affidato ai pochi elettroni nella zona p e alle poche lacune nella zona n.



La **caratteristica del diodo** è non lineare, ed è la seguente:

Per valori negativi della tensione, il diodo non conduce (circuito aperto).
 Per valori positivi della tensione la corrente assume ancora valori prossimi allo zero, finché la tensione rimane sotto i 0,5 – 0,7 V.
 per tensioni superiori la corrente aumenta rapidamente, con un andamento esponenziale



La tensione necessaria affinché il diodo conduca in modo significativo è detta **tensione di accensione** (o **di turn-on**).

N.B.: Per tensioni negative, la corrente non è mai esattamente pari a zero, e per più precisamente, per tensioni inferiori a -0,1 V tende ad un valore costante e pari a $-I_S$.

La corrente I_S è detta **corrente di saturazione inversa**, ed è $10^{-18} A \leq I_S \leq 10^{-9} A$, il valore preciso dipende dal diodo.

L'equazione che descrive la caratteristica i-v del diodo è:

$$i = I_S \left[e^{\frac{vq}{kT}} - 1 \right] = I_S \left[e^{\frac{v}{nV_T}} - 1 \right]$$

dove:

I_S : corrente di saturazione inversa;

q : carica dell'elettrone;

k : costante di Boltzmann;

n : **fattore di idealità** (adimensionale, è un parametro che dipende dal dispositivo.

Noi considereremo modelli del diodo per il quale $n = 1$)

$V_T = \frac{KT}{q}$: **tensione termica** (a temperatura ambiente = 0.025 V);

Ricapitolando, quindi, l'equazione del diodo, assumendo $n = 1$, è:

$$i = I_S \left[e^{\frac{v}{V_T}} - 1 \right]$$

Verifichiamo che questa equazione rispecchia l'andamento descritto qualitativamente prima:

- $v=0 \Rightarrow i = I_S(1-1) = 0$
- $v > 0 \Rightarrow i = I_S \left[e^{\frac{v}{V_T}} - 1 \right] \simeq I_S e^{\frac{v}{V_T}}$
 \updownarrow
 $\frac{v}{V_T} \gg 1$
- $v < 0 \Rightarrow i = I_S \left[e^{\frac{v}{V_T}} - 1 \right] \simeq I_S [0 - 1] = -I_S$
 \updownarrow
 $\frac{v}{V_T} \ll 1$

In polarizzazione diretta, a temperatura ambiente, un incremento di tensione di soli 60 mV produce un aumento di corrente di un ordine di grandezza.

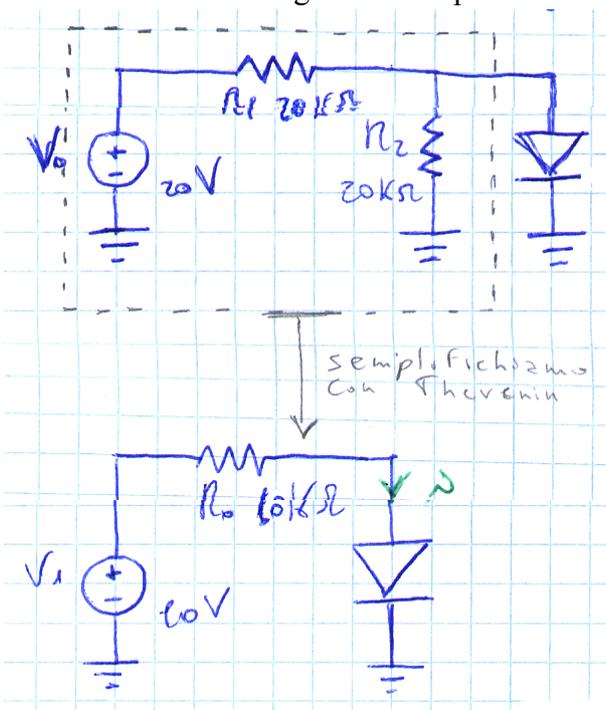
La tensione ai capi di un diodo polarizzato direttamente è generalmente compresa nel range [0,6 V ; 0,75 V]

Nell'analizzare i circuiti a diodi, è possibile utilizzare:

- **il modello matematico del diodo**
- **l'analisi grafica**
- **il modello del diodo ideale**
- **il modello del diodo a caduta costante**
- **il modello del diodo a caduta costante con resistenza serie**

Analisi mediante modello matematico del diodo

Cominciamo con il seguente esempio:



$$\begin{cases} i = I_S \left[e^{\frac{v}{V_T}} - 1 \right] & (1) \\ v = V_1 - R_0 i & (2) \end{cases}$$

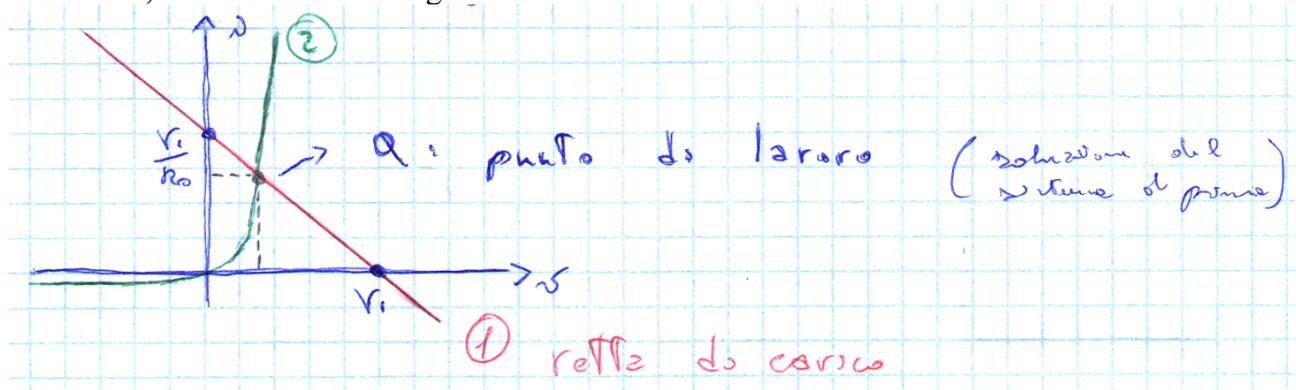
Da cui $v = 10 V_1 - 10^4 \left[I_S \left(e^{\frac{v}{25 \cdot 10^{-3}}} - 1 \right) \right]$

L'equazione, una volta sostituiti i parametri, può essere risolta solo numericamente. Potremmo darla in pasto ad un calcolatore ottenere un risultato molto

accurato. Ma in fin dei conti questa accuratezza non è che ci serva.

Analisi grafica

Cerchiamo di ottenere gli stessi risultati, leggermente più approssimati, ma in maniera molto più immediata, attraverso un'analisi grafica:

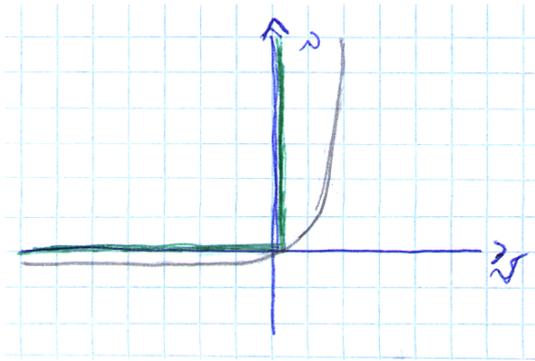


Lezione 3

Un altro modo di risolvere circuiti contenenti diodi o altri elementi non lineare consiste nel servirsi di modelli approssimati

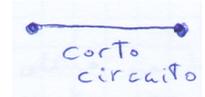
Analisi mediante modello del diodo ideale

Abbiamo visto che la caduta sul dispositivo è compresa tra i 0,7 – 0,8 V, in polarizzazione diretta. Se le altre tensioni del circuito sono più grandi di questi 0,7 – 0,8 V, possiamo approssimare la caduta del dispositivo a zero.



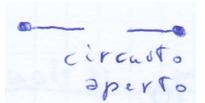
$$v = 0 \quad \text{per } i > 0 \quad \sim \quad \text{corto circuito}$$

(polarizz. diretta)

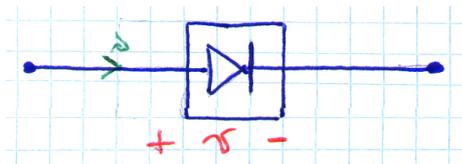


$$i = 0 \quad \text{per } v \leq 0 \quad \sim \quad \text{circuito aperto}$$

(polarizz. inversa)



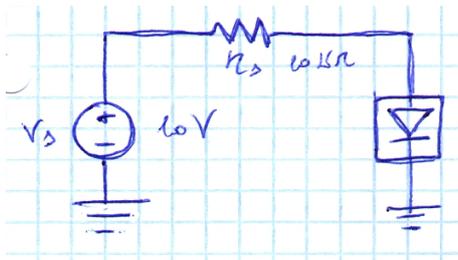
Si indica in questo modo:



Nell'utilizzare questa (ma anche altre) approssimazioni, nell'analisi dei circuiti a diodi, si procede nel modo seguente:

- 1) Si ipotizza che il diodo sia in una determinata regione di polarizzazione
- 2) Si risolve il circuito
- 3) Si verifica che l'ipotesi fatta sul diodo sia valida, cioè, in questo caso,
 - Se ho assunto il diodo polarizzato direttamente, devo verificare alla fine che effettivamente $i > 0$.
 - Se ho assunto il diodo polarizzato inversamente, devo verificare che effettivamente $v < 0$.

Esempio:



E' intuibile che il diodo sia polarizzato direttamente.

Supponiamo di procedere alla cieca, e **ipotizziamo che il diodo sia polarizzato inversamente.**

$$i = 0 \text{ (ipotesi di partenza)}$$

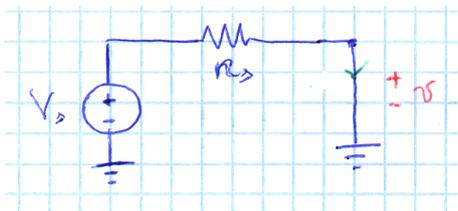
$$v = 10 \text{ V}$$

Controllo: $v < 0$? NO!

=> Non è polarizzato inversamente.

Cambiamo ipotesi iniziali:

ipotizziamo che il diodo sia polarizzato direttamente



$$v = 0 \text{ (ipotesi di partenza)}$$

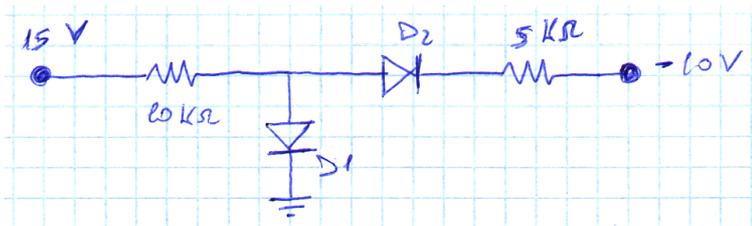
$$i = \frac{V_s}{R_s} = 1 \text{ mA}$$

Controllo: $i > 0$? SI!

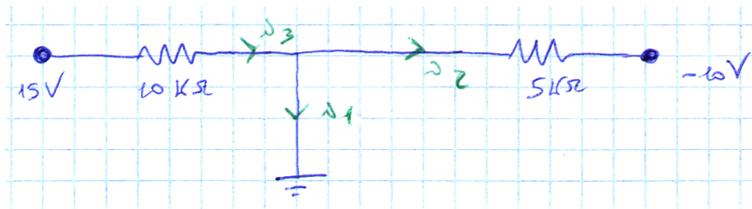
=> OK! Polarizzato direttamente.

N.B: All'inizio abbiamo potuto considerare il diodo come ideale in quanto $10 \text{ V} \gg [0,6 ; 0,7] \text{ V}$, caduta sul diodo.

Altro esempio:



- 1^ ipotesi: D_1 : ON, D_2 : ON



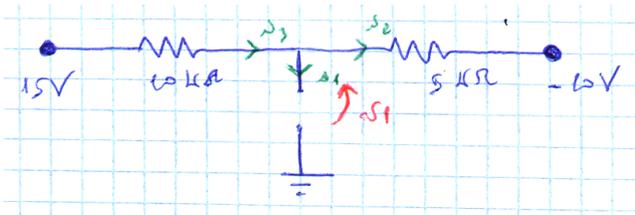
$$i_2 = -\frac{10}{-5k} = 2 \text{ mA}$$

$$i_3 = \frac{15}{10k} = 1,5 \text{ mA}$$

$$i_1 = i_3 - i_2 = -0,5 \text{ mA}$$

Controllo: i_1 e $i_2 > 0$? NO! ($i_1 < 0$)

- 2^ ipotesi: $D_1 : \text{OFF}, D_2 : \text{ON}$

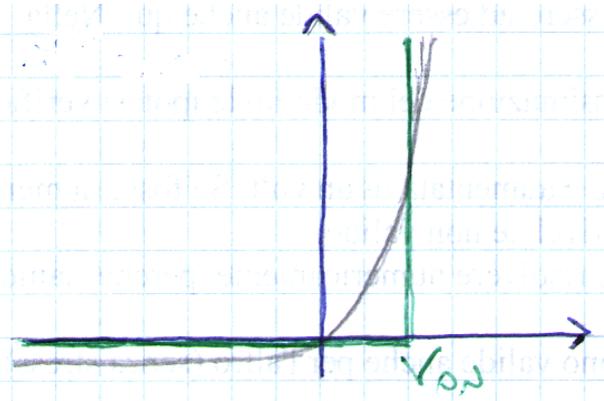


$$i_1 = 0 \Rightarrow i_2 = i_3 = \frac{15 - (-10)}{10k + 5k} = \frac{25}{15k} = 1,7 \text{ mA}$$

$$v_1 = 15 - 10k \cdot 1,7m = -2 \text{ V}$$

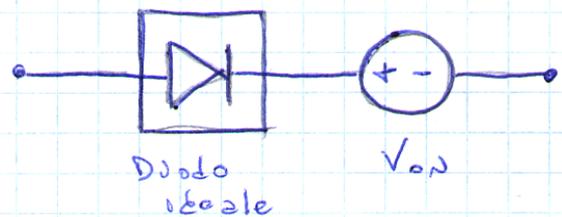
Controllo: $i_2 > 0$ e $v_1 < 0$? SI! L'ipotesi è corretta.

Analisi mediante modello del diodo a caduta costante



All'inizio abbiamo visto che il diodo, in polarizzazione diretta è caratterizzato da una piccola caduta di tensione. In questo caso questa caduta di tensione la portiamo in conto, in maniera approssimata, considerandola costante.

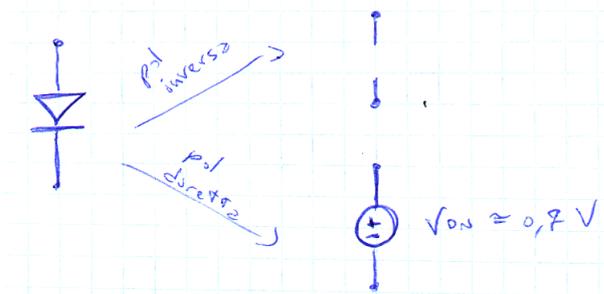
Il modello del diodo ideale può essere quindi migliorato aggiungendo una tensione costante V_{ON} in serie al diodo ideale.



$$v = V_{ON} \simeq 0,7 \text{ V} \text{ per } i > 0 \quad (\text{pol. diretta})$$

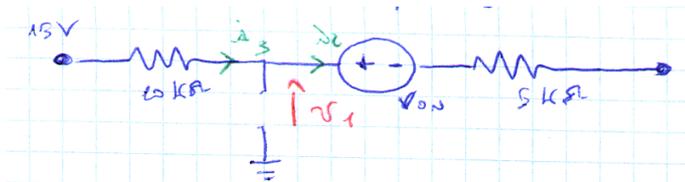
$$i = 0 \quad \text{per } v < V_{ON} \quad (\text{pol. inversa})$$

Mia considerazione: in realtà, credo, eh, si parla di polarizzazione diretta quando $v > 0$, quindi sarebbe più corretto dire che polarizzazione diretta \Rightarrow
$$\begin{cases} i = 0 & \text{per } 0 < v < V_{ON} \\ v = V_{ON} & \text{per } i > 0 \end{cases}$$
 polarizzazione inversa $\Rightarrow i = 0$ per $v < 0$.



(Anche in questo caso l'approssimazione risulta valida solo quando le tensioni in gioco sono maggiori di V_{ON})

Esempio: riprendiamo il circuito precedente sempre con $D_1 = \text{OFF}$ e $D_2 = \text{ON}$



Prima abbiamo trovato
 $i_2 = 1,7 \text{ mA}$, $v_1 = -2 \text{ V}$

$$i_2 = \frac{15 + 10 - 0,7}{10\text{k} + 5\text{k}} = \frac{24,3}{15\text{k}} = 1,6 \text{ mA}$$

$$v_1 = 15 - 10\text{k} \cdot 1,6 \text{ m} = -1 \text{ V}$$

$\left. \begin{array}{l} v_1 < V_{ON} \\ i_2 > 0 \end{array} \right\} \Rightarrow \text{ipotesi verificate}$

Nel riprendere l'esempio abbiamo implicitamente supposto che le configurazioni dei diodi dimostratesi valide nel caso di modello ideale (D1: ON, D2: OFF), continuassero ad essere valide anche qui. Nella maggior parte dei casi è così.

Di rado, però, può accadere che adottando questa nuova approssimazione del modello, le ipotesi verificate valide nel caso ideale si rivelino non valide.

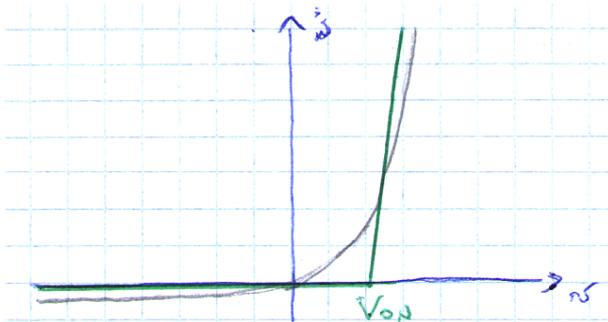
Ad esempio, qua abbiamo visto che la tensione sul diodo spendo è aumentata di un volt. Se fosse aumentata ulteriormente, fino a diventare positiva, le ipotesi si sarebbero rivelate non valide.

In questi casi si dovrebbe ricorrere al modello reale del diodo e risolvere numericamente, perchè siamo in una zona dove le approssimazioni non sono adeguate.

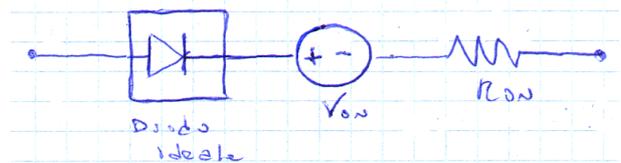
Nei casi che consideriamo noi le ipotesi fatte in un modello, comunque, sono valide anche per l'altro.

Analisi mediante modello del diodo a caduta costante con resistenza serie

Con questo modello possiamo ulteriormente migliorare l'approssimazione al modello reale del diodo.



Si rappresenta nel modo seguente:



polarizzazione inversa:

$$i = 0$$

per $v < V_{ON}$

polarizzazione diretta:

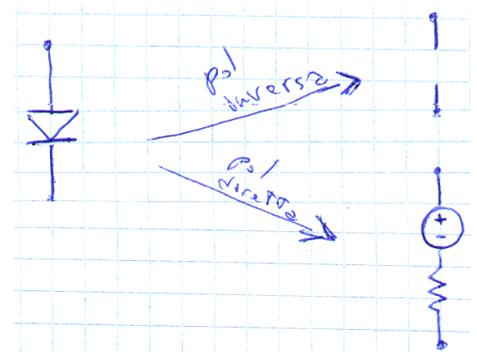
$$v = V_{ON} + i R_{ON} \text{ per } i > 0$$

per $i > 0$

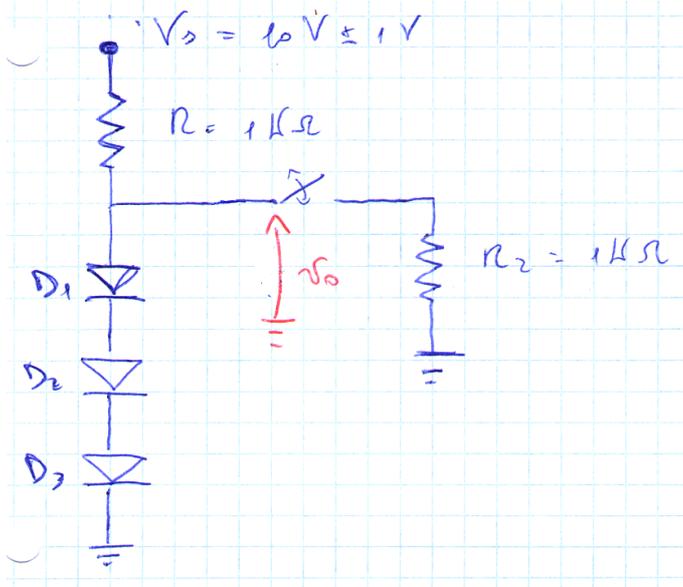
o equivalentemente

$$i = \frac{v - V_{ON}}{R_{ON}}$$

per $v > V_{ON}$



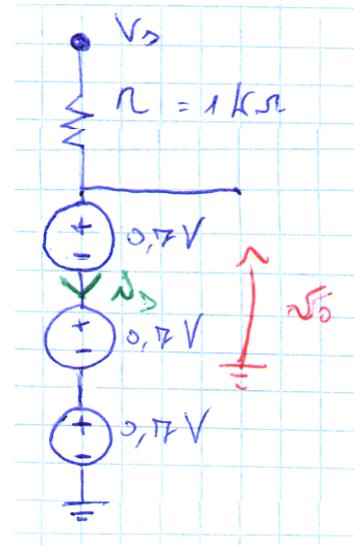
Esempio:



Utilizziamo il modello a caduta costante.

Essendo i tre diodi in serie, o conducono tutti e tre, o non conduce nessuno, perchè se la corrente è zero in uno, lo sarà in tutti e tre.

Senza fare troppe ipotesi, verifiche, ecc, ci aspettiamo che i tre diodi conducano:



Supponiamo inizialmente che l'interruttore sia aperto.

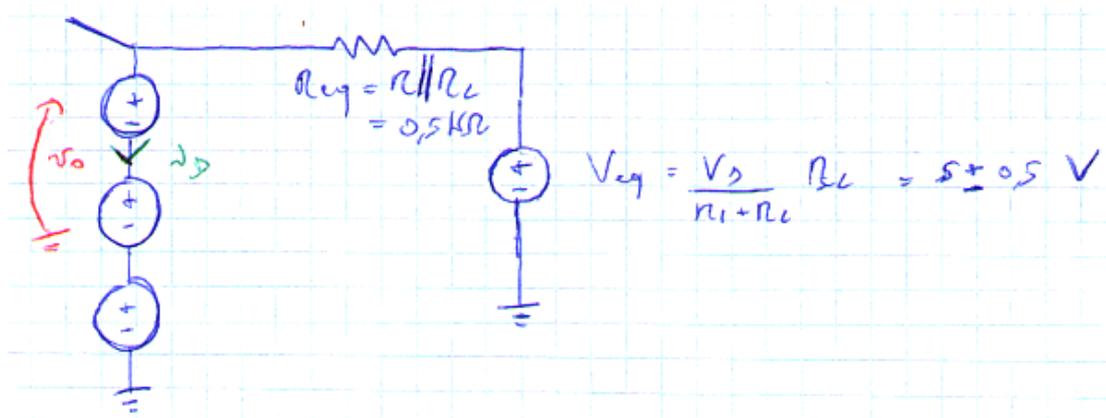
$$v_0 = 3 \cdot 0,7 = 2,1 \text{ V}$$

$$i_s = \frac{v_s - v_0}{R} = \frac{10 \pm 1 + 2,1}{1k} = \begin{cases} i_{D \text{ MIN}} = 8,9 \text{ mA} \\ i_{D \text{ MAX}} = 6,9 \text{ mA} \end{cases}$$

i tre diodi conducono \Rightarrow ipotesi verificate

Ora supponiamo di chiudere l'interruttore, cioè aggiungiamo R_L in parallelo.

Ai morsetti della serie dei tre diodi c'è un circuito lineare, lo posso semplificare con Thevenin:



$$v_0 = 3 \cdot 0,7 = 2,1 \text{ V}$$

$$i_D = \frac{V_{eq} - v_0}{R_{eq}} = \frac{5 \pm 0,5 - 2,1}{0,5 \text{ k}} = \begin{cases} i_{D \text{ MAX}} = 6,8 \text{ mA} \\ i_{D \text{ MIN}} = 4,8 \text{ mA} \end{cases}$$

Osserviamo che la tensione in uscita, 2,1 V, è indipendente dalla presenza del carico e dalla tensione di ingresso V_s .

La corrente, invece, in presenza del carico si abbassa di due unità.

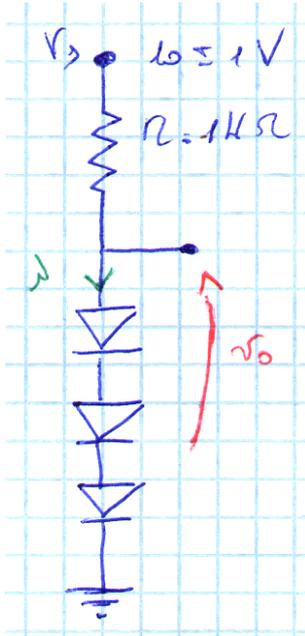
Questo schema è un modo di realizzare uno **Stabilizzatore di Tensione**.

N.B: Il fatto che la tensione in uscita venga indipendente dal carico e dalla tensione di ingresso V_s , è frutto della approssimazione nel considerare il modello a caduta costante.

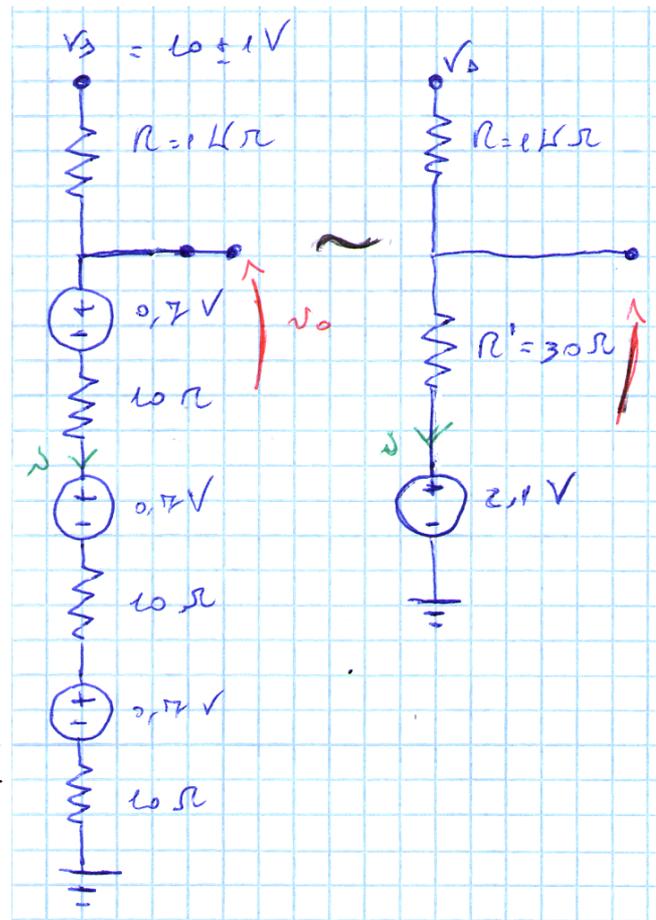
E' uno "stabilizzatore" in quanto a partire da una tensione in ingresso affetta da incertezza, dà in uscita una tensione fissata.

(Ripeto: è priva di incertezza a causa dell'approssimazione, adesso vediamo che con un'approssimazione più fedele, quale è il modello a caduta costante con resistenza serie, l'incertezza si riduce ma non scompare del tutto)

Continuando l'esempio:



Adottiamo il modello a caduta costante con resistenza serie



In questo caso, data la presenza di R' , l'uscita v_0 dipenderà dall'ingresso V_s .

$$i = \frac{V_s - 2,1}{R + R'}$$

$$v_0 = 2,1 + R' i = 2,1 + \frac{R'}{R + R'} (V_s - 2,1) =$$

$$= 2,1 \left(1 - \frac{R'}{R + R'} \right) + V_s \frac{R'}{R + R'} = \text{(essendo } R' \ll R) \approx 2,1 + V_s \frac{R'}{R} =$$

$$= 2,1 + 0,03 (10 \pm 1) = \underbrace{2,4 \pm 30 \text{ mV}}$$

l'incertezza è
scesa da 1 V
a 30 mV

Abbiamo un termine costante
più un termine variabile V_s
attenuato da R'/R

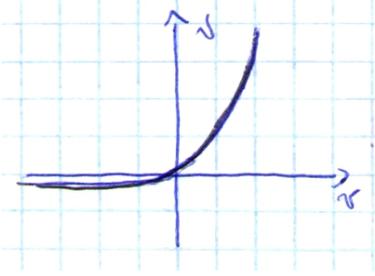
Alcune osservazioni:

- 1) La resistenza serie del dispositivo, più piccola è, più l'incertezza presente all'ingresso è attenuata, e quindi più è stabile la tensione di uscita, e quindi migliore è lo Stabilizzatore.
- 2) Le tensioni di uscita sono multiple di 0,7 Volt.
- 3) La tensione di uscita deve essere significativamente inferiore a quella di ingresso, altrimenti i diodi potrebbero andare in polarizzazione inversa.

Lezioni 4 e 5

Regione di Breakdown

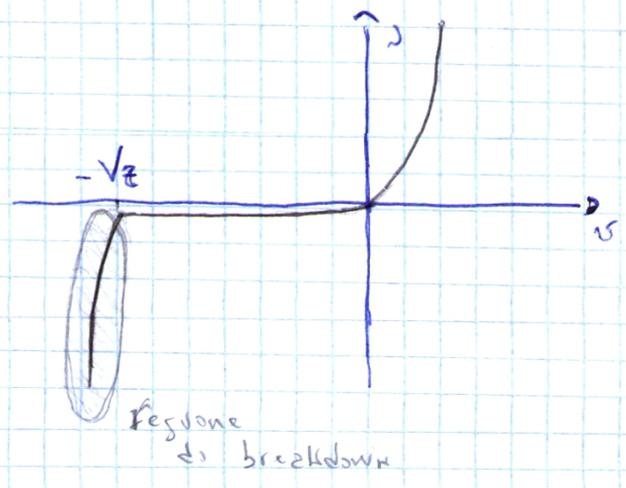
Abbiamo visto che la caratteristica del diodo è la seguente:



$$\text{Analiticamente } i = I_s \left[e^{\frac{v}{V_T}} - 1 \right]$$

Questo modello non risulta più valido quando il diodo è polarizzato inversamente con una tensione in valore assoluto molto grande.

La reale caratteristica del diodo è la seguente:



Quindi la corrente inversa, che avevamo detto essere costante e pari a $-I_s$, a un certo punto, giunti a una certa tensione particolare, detta **tensione di rottura**, che indichiamo con $-V_Z$, aumenta bruscamente in valore assoluto.

La zona in cui la caratteristica ha un andamento di questo tipo viene detta **Regione di Breakdown**.

In questa regione la potenza dissipata è molto grande.

Si parla di “breakdown” (rottura) proprio perchè in generale i diodi sottoposti a questa tensione negativa molto elevata si rompono (e quindi queste tensioni non bisognerebbe mai arrivare)

Esistono però dei diodi progettati appositamente per lavorare in questa zona di rottura, in grado quindi di sopportare l'elevata potenza dissipata.

Essi vengono chiamati **Diodi Zener**.

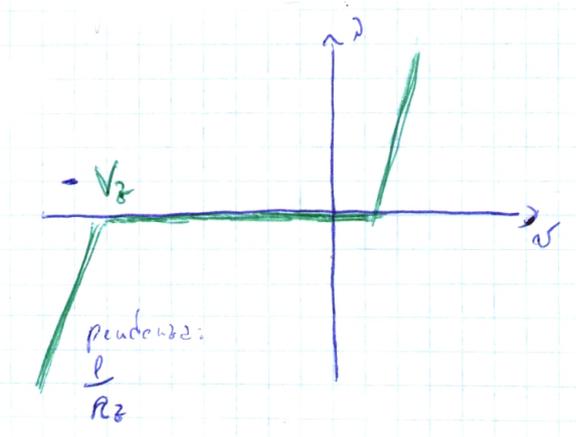
(In questo caso il nome “breakdown” sarebbe improprio, perchè il diodo zener non si rompe quando ai suoi capi c'è $-V_Z$)

All'esterno della zona di breakdown, comunque, si comportano come tutti gli altri diodi.

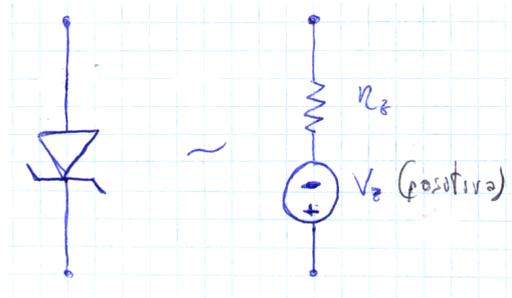
I diodi zener si indicano così:



La caratteristica del diodo zener la approssimiamo nel seguente modo



In zona di Breakdown si ha :



Per $-V_z < v < 0,7 \Rightarrow i = 0 \Rightarrow$ 

La peculiarità del diodo zener di poter lavorare nella zona di rottura può essere utile per realizzare uno **stabilizzatore di tensione**.

Abbiamo visto che esso può in qualche modo essere realizzato mediante la serie di più diodi polarizzati direttamente.

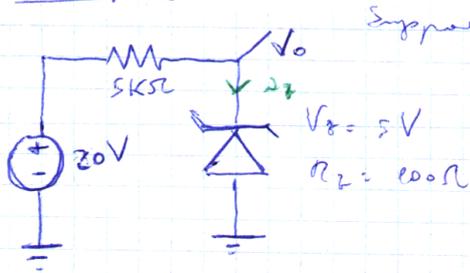
Il problema però era che riuscivamo ad ottenere una tensione che è multiplo di 0,7 V, il che comporta che non possiamo regolarlo con la dovuta precisione (se avessi bisogno di una tensione di uscita di 1 V, questo schema non me lo permetterebbe).

Al posto di mettere tanti diodi in cascata polarizzati direttamente, posso mettere un unico diodo Zener polarizzato inversamente, da usare in questa zona di rottura.

Infatti questa tensione di rottura può essere controllata abbastanza accuratamente in funzione del tipo di dispositivo, quindi con $V_z = K$ desiderata e secondo delle necessità.

N.B. = Dobbiamo considerare la corrente ^{iz} positiva entrante nel dispositivo e quando nel circuito che analizziamo, si oppongono da il diodo a destra e da un altro a sinistra, assumendo il verso delle correnti come uscente, una volta scelto il verso, sono essenziali che va positivo.

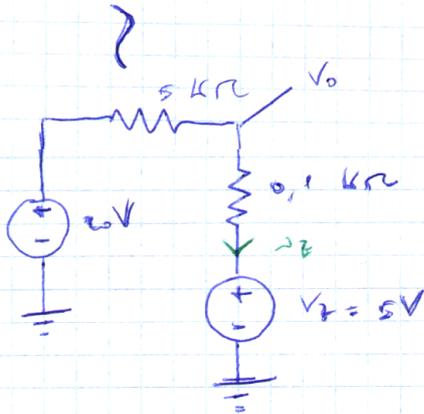
Esempio



Supponiamo che la tensione di rottura sia $V_Z = 5V$
e che la resistenza del diodo sia $R_Z = 100\Omega$

Vediamo qual è la corrente
che attraversa il diodo Zener
e qual è la tensione di uscita
 V_o .

$20V > V_Z = 5V \Rightarrow$ siamo
nella zona
di breakdown



$$I_Z = \frac{20 - 5}{5 + 0,1} = 3 \text{ mA}$$

$$V_o = 3 \text{ mA} \cdot 0,1 \text{ k}\Omega + V_Z = 5,3 \text{ V}$$

Controllo: 1) $I > 0$ ok!

2) $V_o = 5,3 \text{ V} < 20 \text{ V}$ ok!

(Sei sempre sicuro che
la tensione es. cap.
dei dispositivi passivi
sia \leq di quella
specificata dai produttori)

- Supponiamo che la tensione cambia, ma lasciamo il
diodo in breakdown, che succede alla tensione di uscita?
Per esempio, supponiamo che il parte di 20V, la tensione
sia di 30V:

Il diodo continuerà a rimanere nella zona di breakdown,
per cui ci aspettiamo che la tensione di uscita cambi, ma di poco.

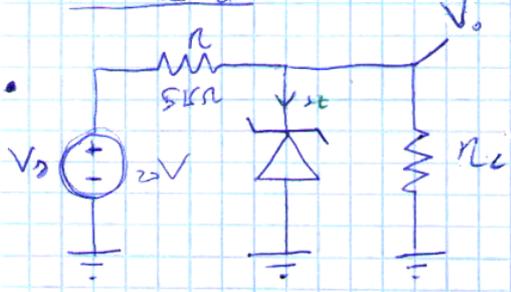
$$\text{Perché } I_Z = \frac{30 - 5}{5 + 0,1} \approx 5 \text{ mA}$$

$$V_o = 5 \text{ mA} \cdot 0,1 \text{ k}\Omega + V_Z = 5,5 \text{ V}$$

Quando ad una variazione di 10V corrisponde una variazione di soli 200 mV dell'uscita

Quando tutto è connesso, la tensione di stabilimento stabilizzata

Per avere una stabilizzazione migliore possiamo aggiungere un carico

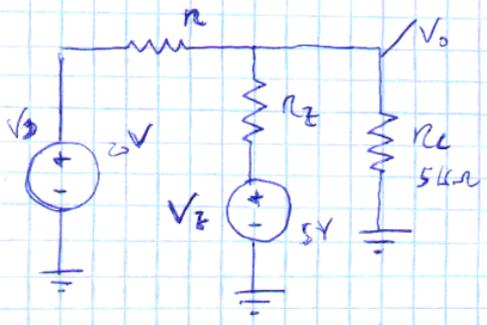


Ci aspettiamo che la presenza di quella tensione di carico non vada ad alterare più di tanto il risultato a meno che quella tensione non sia molto piccola che il sistema perde la regolazione.

Per esempio, se R_L è molto piccola che il risultato tende a zero, non stabilizza nulla.

Quindi il circuito funziona bene come stabilizzatore, a patto che R_L sia sufficientemente grande

Supponiamo che R_L sia 5kΩ.



Per la sovrapposizione degli effetti:

- Sopprimendo V_Z : $V_0' = V_D \frac{R_L \parallel R_L}{R + R_L \parallel R_L}$
- Sopprimendo V_D : $V_0'' = V_Z \frac{R \parallel R_L}{R_L + R \parallel R_L}$

$$\Rightarrow V_0 = \frac{V_D}{R} \frac{R(R_L \parallel R_L)}{R + (R_L \parallel R_L)} + \frac{V_Z}{R_L} \frac{R_L(R \parallel R_L)}{R_L + (R \parallel R_L)}$$

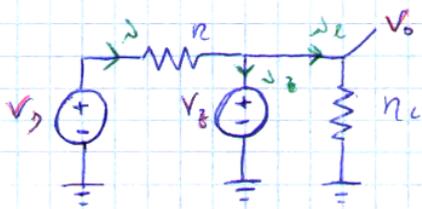
$$= \frac{V_D}{R} R \parallel R_L \parallel R_L + \frac{V_Z}{R_L} R_L \parallel R \parallel R_L$$

Nel parallelo due o tre resistenze ce n'è una molto più piccola delle altre \Rightarrow
 $R \parallel R_L \parallel R_L \approx R_L$

$$\Rightarrow V_o \approx V_D \frac{R_z}{R} + V_z$$

Semplifichiamo, calcolando e supponendo che $R_z = 0$

$$\Rightarrow V_o \approx V_z$$



$$I_D = \frac{V_D - V_z}{R} \quad I_L = \frac{V_z}{R_L}$$

$$I_Z = I_D - I_L = \frac{V_D - V_z}{R} - \frac{V_z}{R_L}$$

Nel momento in cui I_Z scende a zero, il nostro circuito ha perso la regolazione, perché il diodo Zener non è più in breakdown e diventa un circuito aperto.

Vediamo quindi, che valore R_L effettivo non si perde la regolazione.

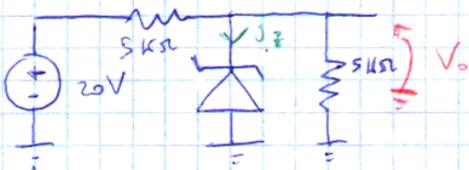
$$I_Z = 0 \Rightarrow I_D = I_L \Rightarrow \frac{V_D - V_z}{R} = \frac{V_z}{R_L}$$

$$\text{Quindi } R_L = R \left[\frac{V_z}{V_D - V_z} \right]$$

Per questo, affinché non si perda la regolazione, deve accadere che

$$R_L > R \left[\frac{V_z}{V_D - V_z} \right]$$

- Parliamo ora sulla Potenza Dissipata



$$V_o = V_z = 5V$$

$$I_z = \frac{15}{5k} - \frac{5}{5k} = 2mA$$

$$R_z \approx 0$$

$$P_D = V \cdot I = 5 \cdot 2mA = 10mW$$

È una potenza abbastanza ridotta, quindi possiamo facilmente realizzare un dissipatore che sia in grado di dissipare questa potenza.

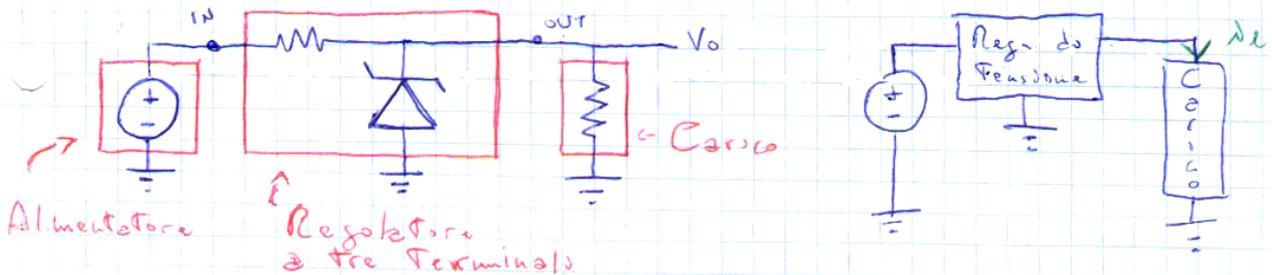
Ricordiamo che la potenza dissipata da un dissipatore si misura in calor, e il dissipatore si riscalda. Anche se la potenza dissipata è troppo grande, la dissipazione esiste e il dissipatore si rompe.

Analisi matematica del prezzo da pagare per una regolazione di questo tipo, e una certa dissipazione di potenza

Partiremo con le REGOLEGGI PASSIVE

Non è un'ottimale soluzione di regolazione comunque, perché noi vorremmo regolare la tensione ma una perdita con tutta potenza
 Esistono dei circuiti più complessi da costruire di regolare la tensione con una dissipazione di potenza molto ridotta, comunque non li studieremo

Concludiamo questa sezione per introdurre due parametri da non sottovalutare per qualunque regolatore di tensione.



Il regolatore, visto come una scatola nera, può essere visto come un dispositivo a due morsetti, uno di ingresso, uno di uscita e uno di massa.

Vedere però il simbolo **REGOLATORE A TRE TERMINALI** (nel nostro caso di regolatore meccanico a due terminali, ma esistono anche regolatori a tre terminali più complessi)

Il carico è generalmente costante, e dipende dalla corrente di carico e non dalla resistenza.

"Si presume un alimentatore di un PC, come è noto scritto - 500V - e - 100mA - , non - 500V - e - 100Ω - "

In questo circuito, la tensione di uscita V_o è funzione della tensione del generatore e della corrente di carico:

$$V_o = f(V_D, i_c)$$

Non vorremmo che questa tensione fosse costante.

Un regolatore di tensione ha due valori per la tensione di ingresso V_D per la corrente di carico i_c , quali può lavorare, questi valori sono detti **VALORI NOMINALI**

Se l'effettiva tensione di ingresso, o la corrente assorbita non sono diverse da quelle nominali, come accade per la tensione di uscita V_o ? E mentr'esse costanti?

Per rispondere a questa domanda svilupperemo in una serie di Taylor quell'espressione di V_o rispetto a V_s e I_e .

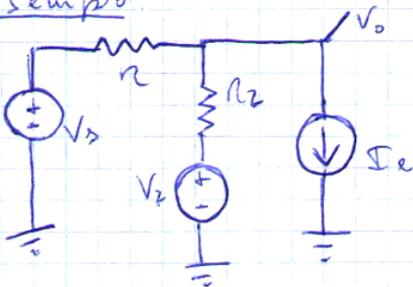
$$V_o = f(V_s, I_e) = f(V_{s, \text{nom}}, I_{e, \text{nom}}) + \frac{\partial f}{\partial V_s} \Delta V_s + \frac{\partial f}{\partial I_e} \Delta I_e$$

- Il termine $\frac{\partial f}{\partial V_s}$ è detto **REGOLAZIONE DI CARICO**, e dipende dalle fluttuazioni delle ~~corrente~~ ^{tensione} di input. È espressionabile.
- Il termine $\frac{\partial f}{\partial I_e}$ è detto **REGOLAZIONE DI CARICO**, e dipende dalle fluttuazioni delle correnti di carico. Si esprime in Ω .

Questi parametri devono essere il più piccoli possibili; affinché la tensione in uscita sia costante.

Analizzando e valutando questi due parametri per il nostro regolatore a due terminali col carico variabile, il caso, il port. di carico come una resistenza, lo vediamo come un assorbitor di corrente (che tutti il carico è un generatore di corrente)

Esempio.



Applicando la sovrapposizione degli effetti:

$$V_o = V_s \frac{R_2}{R + R_2} + I_e \frac{R}{R + R_2}$$

La regolazione di linea: $\frac{\partial V_o}{\partial V_s} = \frac{R_2}{R + R_2}$

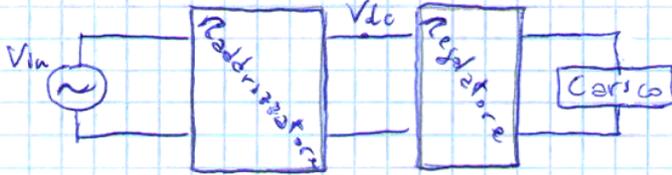
La regolazione di carico: $\frac{\partial V_o}{\partial I_e} = -R \parallel R_2 \approx -R_2$

Le principali applicazioni dei diodi sono:

CIRCUITI RADDRIZZATORI

I circuiti raddrizzatori trasformano tensioni alternate (AC) a valore medio nullo in una tensione continua (DC)

A questi di volta seguono dei regolatori, i quali a loro volta sono collegati al carico.



Il regolatore è possibile per cui, il diodo non è nella pratica, si utilizzano dei regolatori non passivi, per ridurre la dissipazione di potenza.

La tensione finita a uscita del raddrizzatore non è mai costante perché:
 1) la tensione di rete può variare
 2) la tensione continua non è mai perfettamente costante, ad una tensione continua non corrisponde un disturbo alternato chiamato **RIPPLE**

Quindi se il ripple che agisce effetto legato alla fluttuazione della tensione di ingresso devono essere assorbiti dal regolatore, che riesce ad aver in uscita una tensione più costante possibile.

Vandano come è fatto il raddrizzatore

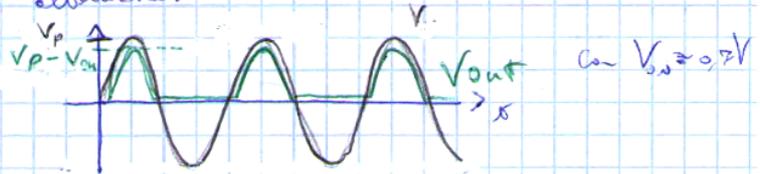
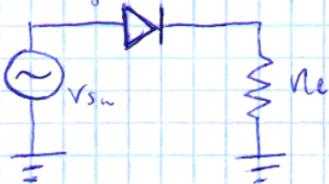
La tensione di ingresso lo possiamo esprimere come

$$V_{in} = V_p \sin(\omega t) \quad \text{con } V_p = \text{Tensione di picco}$$

Circuito a singolo semiciclo

Modelliamo il carico come una resistenza, per semplicità.

Il circuito è implementato con un diodo e una resistenza. Il generatore di tensione alternata.



Quando la tensione di ingresso è positiva, il diodo è in conduzione, quando diventa negativa il diodo si polarizza in inversa, diventando un circuito aperto.

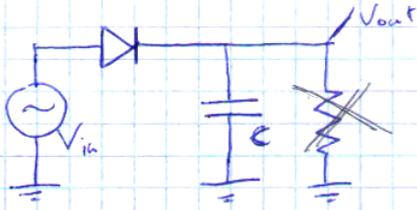
Abbiamo quindi ottenuto una tensione a componenti continue non nulla.

Qui dobbiamo anche indicare V_{out} .

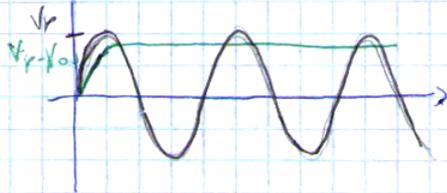
- Rivelatore di picco

Per rendere costante V_{out} , servono un condensatore.

- Consideriamo il caso ideale in cui non c'è la resistenza di carico

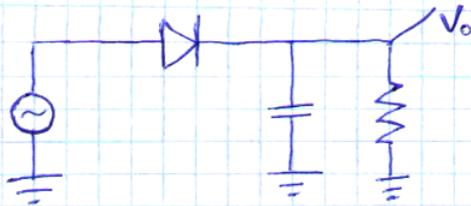


La capacità o carica durante la prima risonanza positiva ~~della~~ la prima risonanza positiva dell'ingresso, dopo di che il diodo si raddrizza e la capacità rimane perfettamente carica e dunque la tensione di uscita rimane costante nel tempo.



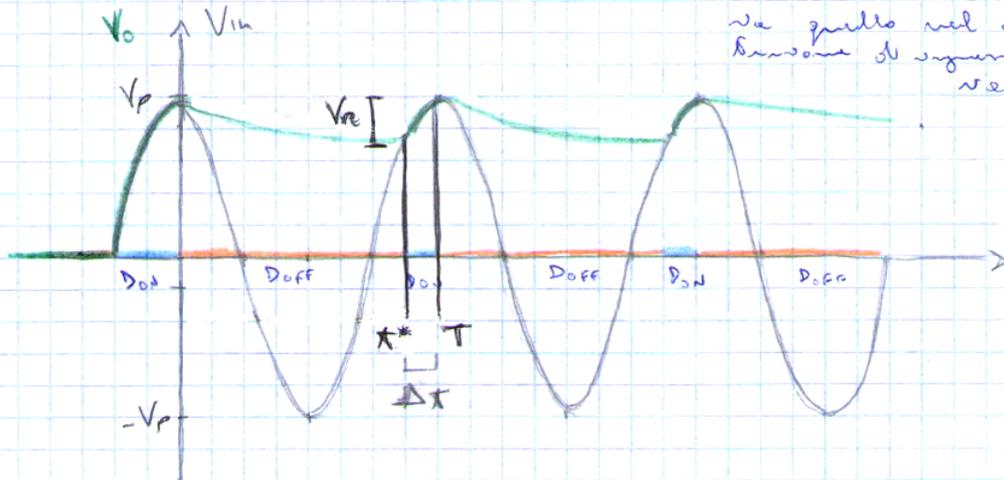
(RADDOPPIAZIONE A SINGOLA SECONDA)

- Ora consideriamo il caso reale in cui va presente la resistenza di carico.



Supponiamo di applicare al modello del **DIODO IDEALE**

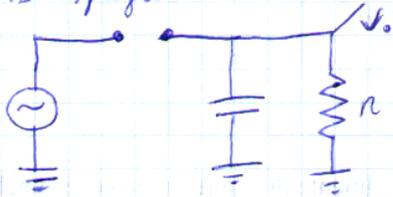
Per semplificare i conti, assumiamo che il diodo sia fatto da quello nel quale la tensione di ingresso abbia il valore massimo.



Inoltre, la nostra tensione di uscita non è zero. Perché, è vero che noi siamo facendo un'analisi con un segnale sinusoidale in ingresso, ma questo segnale sinusoidale lo applichiamo e partiamo da un certo istante.

Quando applichiamo la tensione di ingresso, appena una
distanza infinitesima, il diodo \mathcal{D} conduce e la tensione di uscita
comincia a ripercorrere la tensione di ingresso.
(La tensione di uscita è perfettamente uguale a quella di ingresso
perché abbiamo scelto il modello del diodo ideale)

All'istante $t=0$ la tensione di ingresso raggiunge il valore
di picco, dopo di che \rightarrow abbassa.
La tensione ai capi del diodo diventa negativa, quindi
 \rightarrow spegne



La tensione di uscita $V_o(t) = V_p$,
dopo di che decresce esponenzialmente,
perché il condensatore \rightarrow scarica
sulle resistenze

Quindi \rightarrow questa fase

$$V_o(t) = V_p e^{-\frac{t}{RC}}$$

dove RC è la costante di tempo, data dal prodotto delle
capacità di filtro e della resistenza di carico.

Ad un certo istante decendiamo $t = t^*$, la tensione
di ingresso ritorna ad un valore maggiore di quella sul condensatore,
il diodo ritorna a condurre e quindi la tensione
di uscita è quella di ingresso ritornando ad un valore uguale.

Dopo di che la tensione di uscita raggiunge di nuovo il
valore di picco, la tensione di ingresso \rightarrow abbassa, e
il tutto \rightarrow ripete all'infinito.

Quando abbiamo una sequenza di condizioni \rightarrow in cui il diodo
 \rightarrow carica per un breve intervallo di tempo, per una
brava frazione del periodo T , e \rightarrow scarica per la restante
parte del periodo.

Quindi l'intervallo di carica è semplicemente questo piccolo
tempo che ha fra t^* e T , ed il resto di
questo tempo il diodo è spento.

In questo discorso fa eccezione il primo semiperiodo.
In quel caso non siamo ancora a regime

La tensione di uscita sarebbe costante e pari al valore di picco dell'ingresso, se non fosse per il disturbo che abbiamo chiamato **ripple**.

Chiamiamo V_R l'ampiezza del disturbo all'istante t^* . (TENSIONE DI RIPPLE)

Questa V_R più piccola è più l'uscita è costante.

Cerchiamo di misurare V_R :

Se la volessimo misurare in maniera precisa:

conoscendo la legge della tensione durante la scarica del condensatore, possiamo dire che

$$V_p - V_R = V_0(t^*) = V_p e^{-\frac{t^*}{RC}} \quad (\text{non conosco } t^*, \text{ quindi non ho finito});$$

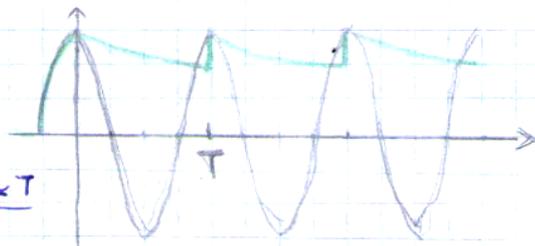
ma d'altro canto so che $V_0(t^*) = V_i(t^*) = \cos(2\pi f t^*)$.

Uguagliando le due quantità dovrei trovarmi V_R .

Questo sarebbe il modo più corretto di calcolare le nostre grandezze.

Tuttavia a noi servono delle formule semplici che ci consentano facilmente di capire cosa succede nel circuito, più che calcolare V_R con la massima precisione.

A questo scopo, per ottenere in maniera semplificata il valore di V_R , osserviamo che noi non commettiamo un grande errore se confrontiamo t^* col periodo: $t^* \approx T$



Quindi ipotizziamo che questa tensione continua e scenda anche dopo t^*

V_R , in modo che sarà più facile regolarsi e prima.

Adottando questa approssimazione, si avrà che

$$V_p - V_R \approx V_p e^{-\frac{T}{RC}} \quad (\text{e qui, una più } T \text{ lo conosciamo})$$

$$\Rightarrow V_R = V_p \left[1 - e^{-\frac{T}{RC}} \right]$$

Possiamo ancora semplificare quest'ultima formula sviluppando l'esponenziale in serie e arrotondando al primo ordine.

$$V_R = V_p \left[1 - \left(1 - \frac{T}{RC} + \dots \right) \right] \approx V_p \frac{T}{RC}$$

La condizione per cui si possono arrotondare al primo ordine è che $\frac{T}{RC} \ll 1$

Questa condizione si potrebbe ottenere (artificialmente) agendo su C (non su T , perché le frequenze di lavoro: 50 Hz per l'Italia, ecc... nemmeno su R , perché per quella di solito è assegnata)

"Ma in pratica ricordo vol conviene scegliere il valore di un componente in modo da un' approssimazione sia corretta?
No!!! Non è una buona motivazione"

Torniamo a prova

Noi abbiamo detto di volere V_R il più piccolo possibile, in particolare molto più piccolo di V_p .

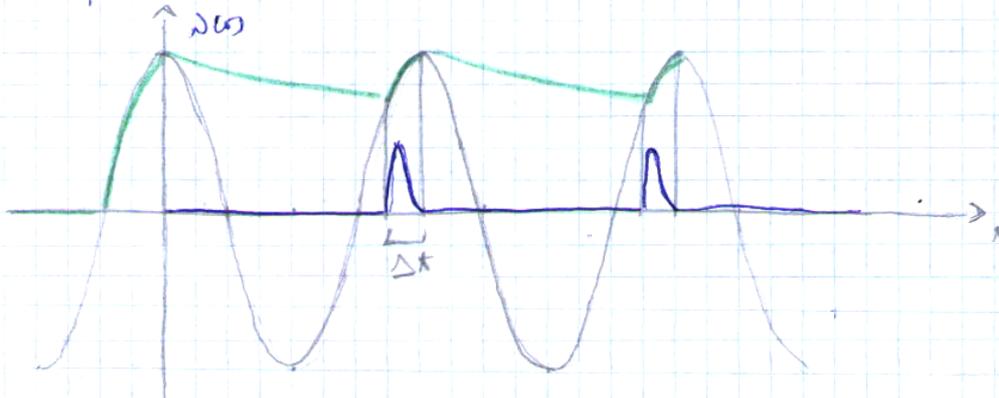
Se $\frac{T}{RC} \ll 1$ questa condizione è verificata, e l'approssimazione in quella formula è valida.

In caso contrario la formula non è più valida, ma in generale non ci interessa, perchè in quel caso avremo un ripple considerevole, e quindi se "il circuito comunque non funziona, che mi importa di avere una formula corretta per un circuito che non funziona?"

Quindi nei casi che piacciono a noi, cioè con il ripple piccolo, quella formula è valida, nel resto dei casi, staccizi.

nelle pratiche applicazioni

- Per quanto riguarda la corrente sul diodo



La corrente sul diodo prende dei picchi durante l'intervallo Δt nel quale il diodo conduce.

• Immaginandoci entrambi si calcolano Δt .

$$V_s(-\Delta t) = V_p - V_R$$

$$\text{inoltre } V_s(-\Delta t) = V_p \cos(2\pi f \Delta t)$$

$$\Rightarrow V_p \cos(2\pi f \Delta t) = V_p - V_R$$

$$\Rightarrow \cos(2\pi f \Delta t) = 1 - \frac{V_R}{V_p}$$

Se siamo nel caso di molto ripples, con ripple piccolo, $\Delta t \ll T \Rightarrow$

$\Rightarrow 2\pi f \Delta t \ll 1 \Rightarrow$ sviluppiamo il coseno in serie di Taylor (concentrandoci al secondo ordine, o meglio)

$$1 - \frac{1}{2} (2\pi f \Delta t)^2 \approx 1 - \frac{V_R}{V_p}$$

$$2\pi f \Delta t \approx \sqrt{2 \frac{V_R}{V_p}}$$

Omnibus che Δt è legato a V_r : più piccolo è V_r , più piccolo è Δt

A sua volta V_r è legato alla capacità = più è grande C , più è piccolo Δt
 (Infatti abbiamo detto che maggiore è C , minore è il ripple)

Area Δt piccola ha delle controindicazioni:

> picchi di corrente, che devono essere sempre la stessa area, perché la corrente media deve essere sempre la stessa (e non si perde), ed diminuire di Δt si devono e aumentare l'ampiezza.

Def. I_{PK} l'ampiezza massima del picco, approssimiamo il picco con un triangolo di base Δt e altezza I_{PK} e calcoliamo il valore medio della corrente = I_{DC} (corrente di uscita) (13)

$$I_{DC} = \langle i(t) \rangle = \frac{1}{T} \int_0^{\Delta t} i(t) dt \approx \frac{1}{T} \frac{\Delta t I_{PK}}{2}$$

$$\Rightarrow I_{PK} \approx 2 I_{DC} \frac{T}{\Delta t} \quad \text{se triangolo}$$

Nella pratica applicativa abbiamo detto che Δt deve essere piccolo, perché vogliamo un ripple piccolo, quindi purtroppo avremo dei picchi delle correnti elevati

- Ora concentriamo un attimo sul primo periodo, cioè quando eccendiamo il generatore e facciamo uscire per la prima volta il condensatore.

In questa situazione, il diodo conduce per un quarto di periodo. Questo primo quarto di periodo ci dà un ulteriore problema legato al passaggio di corrente, perché si ha un passaggio di corrente molto più grande di I_{PK}

Perché la corrente all'inizio è così grande?

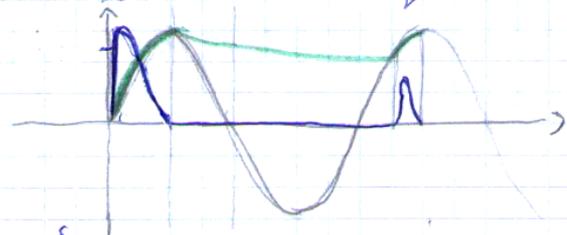
Per rispondere a questa domanda supponiamo al momento in questa situazione: mettiamo il condensatore zero grande $V_c = 0$, cioè supponiamo che

$$V_c(t) = V_p \sin(2\pi f t)$$

Qual è la corrente che passa nel diodo in questo intervallo?

Lo possiamo stimare come la corrente che serve a caricare il condensatore.

Se questo riusciamo le correnti nella rete e consideriamo solo la corrente nel condensatore, vediamo che in questo far il diodo conduce e quindi:



$$i_D \approx i_C = C \frac{dV_D}{dt} = C \frac{dV_S}{dt} = C V_P \frac{d}{dt} \sin(2\pi f t) = C V_P 2\pi f \cos(2\pi f t)$$

↑ corrente sul diodo
↑ corrente sul condensatore

(Il massimo si ha nell'istante zero, in cui:)

$$I_{Dmax} = C V_P 2\pi f$$

Questa corrente sul diodo nel transitorio è detta **CORRENTE DI SPUNTO**

Il valore I_{Dmax} rappresenta il caso peggiore, nel senso che questo massimo si raggiunge nel caso in cui il circuito viene collegato all'alimentazione nell'istante in cui la tensione di ingresso è nulla, istante in cui la derivata della tensione è massima.

Ovviamente da un diodo che inseriamo nel circuito dovrà sopportare non solo la corrente nominale, ma soprattutto le correnti di picco e la corrente di spunto, che si verificano almeno una volta.

Fortunatamente i diodi hanno queste capacità: se gli facciamo passare per un breve intervallo di tempo una corrente molto grande riescono a sopravvivere.

Conviene comunque che nella pratica ci teniamo sempre dalle resistenze rese nei circuiti, che solcano le correnti di picco:

- È per questo riguarda la tensione? Che tensione deve essere in grado di sostenere il diodo per funzionare bene?

Ritorniamo da tutti i diodi, ne so le polarizzo in entrambi i sensi, e in certo punto vanno in regime di breakdown. Quelle più comuni sono una condizione che noi chiamiamo con i diodi Zener, ad esempio negli stabilizzatori, ma in questo caso al breakdown non ci dobbiamo arrivare.

Quale tensione di breakdown deve avere questo diodo?

Si dice **PEAK INVERSE VOLTAGE (PIV)**, la tensione inversa di picco cui è sottoposto il diodo.

Il diodo dovrà avere una tensione di breakdown abbastanza più grande della PIV.

Quanto vale questa PIV?

La tensione in capo al diodo è pari alla tensione del generatore meno la tensione sul condensatore.

Ora, quando il diodo è polarizzato in entrambi i sensi, la tensione sul condensatore, (che può variare quella in uscita) assume

il valore massimo in modulo di V_R

Dah! Non mi trova: questo $V_s = -V_p$, $V_o \neq V_R$
Forse ho sbagliato $V_o \approx V_R$

$$PIV \approx V_p + (V_p - V_R) \quad (\text{Nella peggior delle ipotesi } V_R = 0)$$
$$\approx 2V_p$$

Quindi il diodo deve essere in grado di sopportare una tensione inversa almeno pari a

$$PIV = 2V_p$$

esempio

Facciamo l'esempio sempre allo stesso circuito, supponiamo che

$$V_{rms} = 12,6 \text{ V} \quad \text{a } 60 \text{ Hz}, \quad R = 15 \text{ } \Omega$$

valore efficace

$$e \quad C = 25.000 \text{ } \mu\text{F}$$

Quando sotto assumiamo il modello del diodo a caduta costante quindi che vale la tensione di uscita $V_{DC} = V_p - V_{on}$

Calcoliamo i vari parametri del circuito:

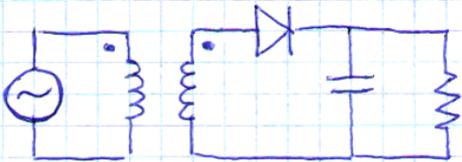
$$V_p = V_{rms} \sqrt{2} = 12,6 \sqrt{2}$$

$$V_{DC} = V_p - V_{on} = 12,6 \sqrt{2} - 1$$

$$\text{La corrente di uscita: } I_{DC} = \frac{V_{DC}}{R}$$

$$\text{La tensione di ripple: } V_R = V_p \frac{I}{RC} = V_p \frac{1}{15 \cdot 25 \cdot 10^{-3}}$$

- Per risolvere (o commentare) la tensione in ingresso, utilizziamo un trasformatore.



In questo caso, dimenticando, la tensione di uscita sarà quella di prima ma moltiplicata per il rapporto di trasformazione

- Fare l'elenco sottostante: La tensione di uscita:

$$V_{DC} = V_p \quad (\text{in il modello del diodo a caduta})$$

$$V_{DC} = V_p - V_{on} \quad (\text{in il modello del diodo a caduta costante})$$

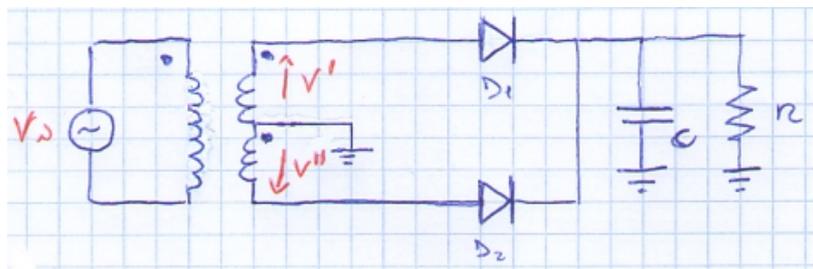
Raddrizzatore a doppia semionda con trasformatore a presa centrale

Il raddrizzatore che abbiamo studiato in precedenza è detto “a singola semionda”, perchè noi sfruttiamo soltanto l'intervallo di tempo in cui la tensione di ingresso è positiva.

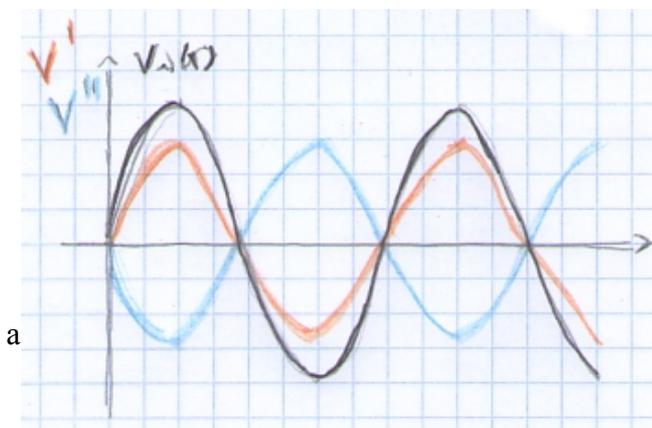
Si possono migliorare sensibilmente le prestazioni del nostro raddrizzatore, utilizzando delle strutture che vengono chiamate a doppia semionda, nelle quali noi sfruttiamo sia la situazione in cui la tensione di ingresso va per positivi, sia quella quella in cui va per negativi. E andiamo in entrambi i casi a caricare la nostra capacità di uscita. Quindi sfruttiamo a nostro vantaggio entrambe le semionde.

Esistono due topologie, cominciamo a vedere la prima, che sfrutta un trasformatore in ingresso con una presa centrale sul secondario collegata a massa.

Quindi possiamo rappresentare il nostro circuito in questo modo:



Tracciamo l'andamento delle varie tensioni:



$V'(t)$ sarà uguale a $V_i(t)$ a meno del rapporto di trasformazione. (Il rapporto di trasformazione dipende dal rapporto del numero di spire sul primario e sul secondario)

Supponiamo che il rapporto di trasformazione sia < 1 .

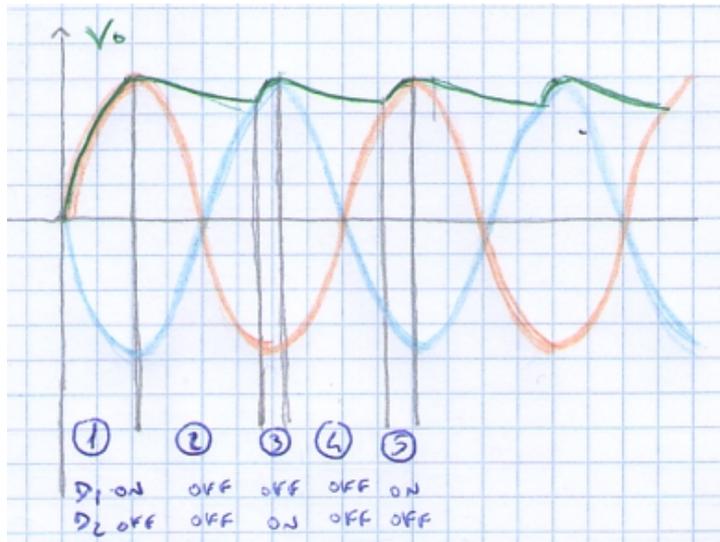
Per quanto riguarda $V''(t)$, rispetto alla presa centrale mi trovo con una polarità che è opposta V' .

Le due forme d'onda sono esattamente uguali ma di verso opposto.

Nel circuito sono presenti due diodi: D_1 che utilizzo per raddrizzare le forma d'onda V' e D_2 che invece andrà a raddrizzare V'' . “Le uscite dei due diodi le collego fra di loro e le collego su un circuito di uscita: sulla capacità C e sul carico R”.

Quindi il circuito a doppia semionda in questo caso sfrutta un trasformatore a presa centrale che mi genera queste due uscite uguali e opposte e poi semplicemente due diodi che vanno a raddrizzare entrambe le forme d'onda, di modo che entrambe vadano a contribuire alla tensione di uscita.

L'andamento della tensione di uscita (sul condensatore) sarà il seguente



1. Inizialmente conduce il diodo D_1 perchè la semionda V' è positiva, il quale va a caricare la capacità. In questa fase D_2 è spento.
2. Quando V' comincia a decrescere, D_1 si spegne, e in questa fase sono spenti entrambi.
3. Poi a un certo punto arriva la semionda V'' . Quando questa semionda raggiunge il valore della tensione di uscita, il diodo D_2 si accende, il condensatore torna a caricarsi e la tensione di uscita segue l'andamento di V'' .
4. Fino a che V'' comincia a decrescere, D_2 si spegne, ed entrambi risultano spenti.
5. Poi dopo un po' si riaccende D_1 e così via.

Quindi la sequenza di conduzione è questa:

D_1	ON	OFF	OFF	OFF	ON
D_2	OFF	OFF	ON	OFF	OFF

Il funzionamento è analogo a quello del raddrizzatore a singola semionda, l'unica differenza è che, se uso lo stesso ingresso per i due raddrizzatori (quindi con la stessa frequenza, e ampiezza), il periodo T espresso nei vari parametri è dimezzato.

Quindi tutti i parametri che dipendono da T, come la **tensione di ripple**, sono dimezzati.

Poichè l'abbiamo quasi gratis questo vantaggio, fa sì che in pratica tutti gli alimentatori utilizzino questa versione a doppia semionda.

L'intervallo di conduzione Δt è uguale a quello di prima, cioè $\Delta t \simeq \frac{1}{2\pi f} \sqrt{2 \frac{V_R}{V_p}}$, con la stessa f , perchè, per come ce lo siamo calcolati, la presenza delle due tensioni non mi cambia l'espressione. C'entra solo la frequenza, che è la stessa per le due tensioni, è uguale a quella della tensione di ingresso. Pertanto, a parità di ingresso l'intervallo di conduzione resta invariato nei due circuiti.

Anche la PIV rimane la stessa.

Lezione 6

L'ultima volta abbiamo visto che il raddrizzatore a doppia semionda con l'utilizzo di un trasformatore a presa centrale funziona meglio del trasformatore a singola semionda, perchè a parità di capacità e di resistenza, il ripple si dimezza. Quindi è certamente una configurazione da preferire.

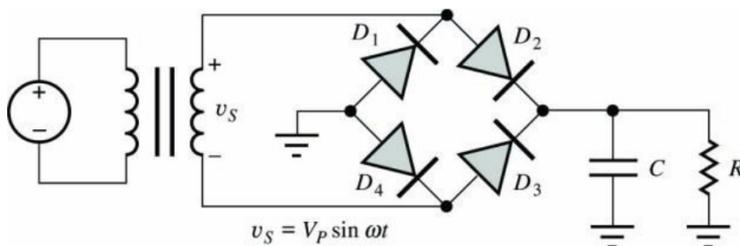
Lo svantaggio di questa struttura è la presenza di questo trasformatore, che è più ingombrante, perchè ci vuole appunto questo secondario con questa presa centrale.

Una alternativa che non richiede questo secondario con la presa centrale, e che comunque sfrutta entrambe le semionde è il **circuito a ponte**.

Raddrizzatore a doppia semionda a ponte

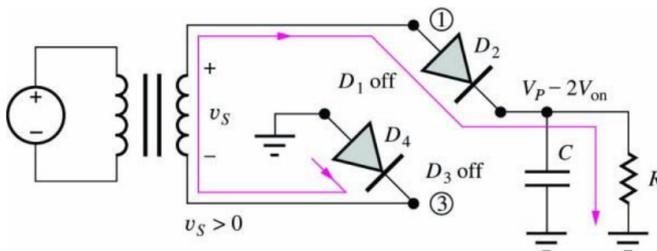
Questo circuito adotta quattro diodi per effettuare la rettificazione della tensione di ingresso.

Se è necessario un trasformatore, questo è un trasformatore normale, che ha semplicemente un primario e un secondario.

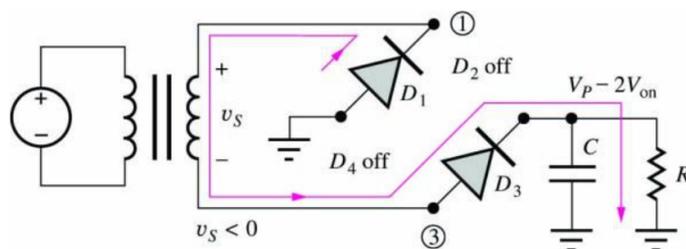


Vediamo come funziona.

Durante la semionda positiva, la corrente segue questo cammino:



Durante, invece la semionda negativa, la corrente segue quest'altro cammino:



Quindi riusciamo a sfruttare entrambe le semionde del segnale di ingresso, esattamente come avveniva nel circuito con la presa centrale.

Le sue caratteristiche, per la maggior parte, sono analoghe a quanto visto per il circuito a presa centrale, quindi, ad esempio, il ripple, anche in questo caso è la metà di quello del singola semionda.

Vediamo quali sono le differenze:

1) il PIV (**vantaggio**)

supponiamo di trovarci nel caso in cui la semionda sia positiva. La massima tensione inversa che dovranno sopportare i diodi spenti D1 e D3 è V_p : Stessa cosa si può dire per D2 e D4 durante la semionda negativa. Quindi in questo caso

$PIV = V_p$ (metà di quanto abbiamo visto per il raddrizzatore a presa centrale)

2) Tensione diretta, in uscita (**svantaggio**)

Nel caso in cui si utilizzi il modello a caduta costante, abbiamo detto che in uscita dal raddrizzatore a presa centrale $V_{dc} = V_p - V_{on}$.

In questo caso, si vede facilmente considerando uno dei due schemi con una coppia di diodi spenti, la tensione d'uscita è $V_{dc} = V_p - 2V_{on}$

Tenuto conto di queste differenze, quale tra i due schemi a doppia semionda è preferibile?

Di solito quello a ponte. Soprattutto perchè il trasformatore è più semplice. E anche se i diodi sono più numerosi, li possiamo prendere con un PIV più basso, quindi in sostanza dei dispositivi più semplici.

Comunque entrambi sono molto meglio del singola semionda.

N.B: In ogni caso in uscita, viene posto uno stabilizzatore per attenuare le eventuali fluttuazioni.

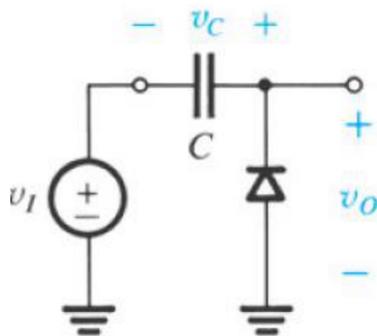
Circuiti di ripristino della continua

Per vedere questi circuiti di ripristino della continua, partiamo dal nostro rivelatore di picco.

Il circuito di ripristino della continua è in pratica il rivelatore di picco. L'unica differenza è dove andiamo a prelevare l'uscita.

Nel circuito di ripristino della continua andiamo a prendere l'uscita ai capi del diodo.

Il circuito quindi viene spesso disegnato in un modo diverso, ma è esattamente lo stesso circuito.



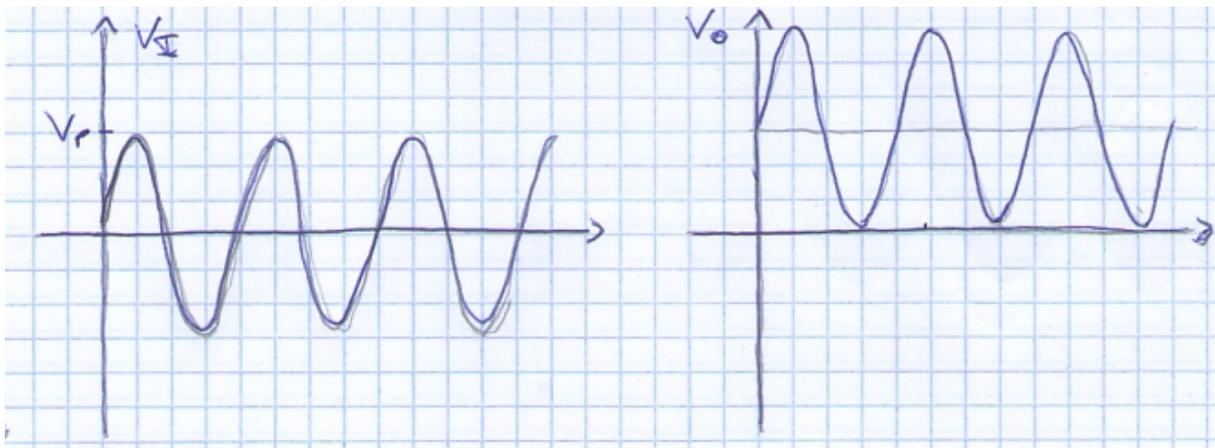
Supponiamo che in ingresso ci sia una tensione sinusoidale:

$$V_I = V_p \sin(\omega t)$$

Sul condensatore ritroverò una tensione pari a $V_c = V_p$, come abbiamo visto quando abbiamo trattato il rivelatore di picco.

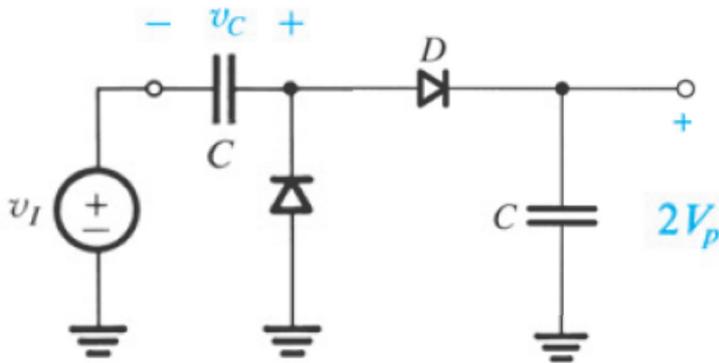
Mentre sul diodo avrò $V_o = V_I + V_c = V_p + V_p \sin(\omega t)$.

Andiamo a disegnare questa V_o . E' la tensione sinusoidale, ma traslata in alto di V_p .



Duplicatore di tensione

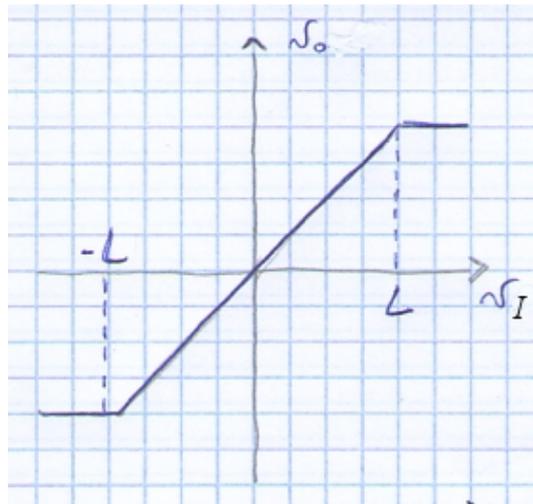
Se in cascata al circuito di ripristino della continua metto un altro diodo e un altro condensatore (quindi un rivelatore di picco, credo) ottengo in uscita una tensione positiva continua pari a $2V_p$.



Se voglio una tensione negativa continua pari $-2V_p$ (adottando lo stesso verso di sopra), basta girare entrambi i diodi.

Circuiti limitatori

Un circuito limitatore è un dispositivo il cui comportamento desiderato è descritto dalla seguente funzione di trasferimento:



Quindi fornisce in uscita una tensione v_o pari a quella di ingresso v_I (con una caratteristica a 45°), quando questa è compresa tra $-L$ e L , e una tensione costante, quando la tensione di ingresso è al di fuori di questo intervallo: pari a L quando $v_I > L$, pari a $-L$ quando $v_I < -L$.

Le applicazioni di questi circuiti limitatori:

se abbiamo un segnale di ingresso che viene dal mondo esterno, e quindi non sappiamo che valori può assumere, e dobbiamo in qualche modo elaborare questo segnale, la prima cosa è mettere un limitatore di questo tipo. In modo da essere sicuro che se sul quel segnale arriva un disturbo imprevisto troppo grande, i circuiti a valle non vadano a distruggersi.

Quindi ad esempio le antenne di un qualsiasi ricevitore (radio, tv, ecc).

Cominciamo a vedere come si giunge al circuito limitatore.

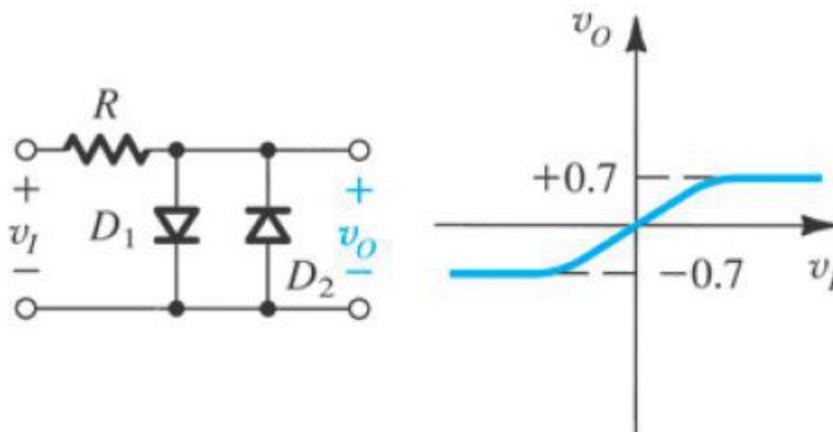
Un circuito che realizza solo parzialmente il comportamento desiderato è il seguente:



Quando la tensione di ingresso è negativa il diodo non conduce, quindi la corrente che passa per il diodo è zero, la caduta sulla R è zero, la tensione di uscita è uguale a quella di ingresso.

Quando la tensione di ingresso è positiva, se questa tensione positiva supera la V_{ON} del diodo, 0.7 V, il diodo entra in conduzione e la tensione di uscita diventa la V_{ON} del diodo.

Per completare il circuito e realizzare quella funzione di trasferimento, basta mettere un altro diodo al contrario.

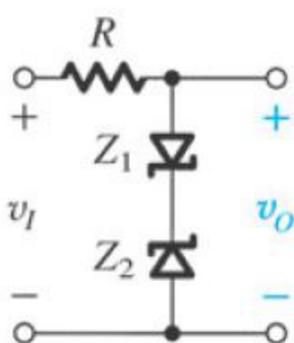


Il diodo D_2 avrà lo stesso effetto del diodo D_1 , e ci consentirà però di bloccare la tensione quando questa diventa negativa, e supera la soglia di $-V_{ON} = -0.7$ V.

In questo modo la caratteristica viene cimata, sia per positivi che per negativi.

“E se non ci piace questo 0.7 V, e vogliamo un valore diverso? Ad esempio ± 2 V?”

Possiamo usare il seguente circuito con i diodi zener:



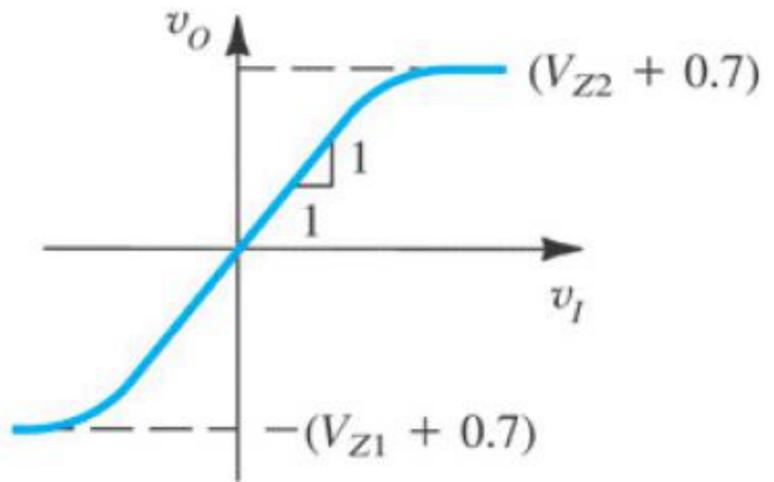
(Se li avessimo messi in parallelo ci saremmo esattamente nella versione di prima, perchè il diodo spento non arriverà mai a condurre per effetto zener, perchè la tensione inversa a cui è sottoposto, è negativa, ma è $0,7$ V, per effetto del diodo acceso, e non è una tensione tale da farlo arrivare in breakdown).

Supponiamo che questi diodi abbiano una tensione di rottura pari a V_{Z1} e V_{Z2} , quale sarà il campo di variazione dell'uscita?

Quando la tensione d'ingresso è positiva, Z_1 è polarizzato direttamente, mentre Z_2 è polarizzato inversamente. Finché la tensione di ingresso è inferiore a $V_{Z2} + V_{on}$, Z_2 si comporta come un circuito aperto, quindi la

tensione di uscita è pari a quella di ingresso. Quando la tensione di ingresso supera $V_{Z2} + V_{on}$, Z_2 si trova in breakdown e conduce, quindi l'uscita è costante e pari a $V_{Z2} + V_{on}$ (forse abbiamo modellato il diodo in breakdown come un generatore di tensione senza resistenza). Discorso analogo per quando la tensione di ingresso è negativa.

(Comunque non ho capito perchè il professore ha detto che possiamo ottenere una limitazione arbitraria. Forse perchè posso scegliere i diodi con V_{Z1} e V_{Z2} tali da realizzare la limitazione desiderata)



MOSFET

È un dispositivo di fondamentale importanza nell'elettronica digitale.

L'acronimo più ampio è MOSFET (Metal Oxide Semiconductor Field Effect Transistor), ovvero transistor a effetto di campo costituito da un sandwich metallo-ossido -semiconduttore. L'acronimo MOSFET è troppo lungo e spesso viene abbreviato con MOS.

Esistono diverse sottoclassi di MOS.

Questi transistori possono essere infatti suddivisi a seconda della “**modalità operativa**”, che può essere **ad arricchimento** oppure **a svuotamento**, e a seconda del **tipo di canale** che può essere di tipo n, e quindi parleremo di **NMOS**, o di tipo p, e quindi parleremo di **PMOS**.

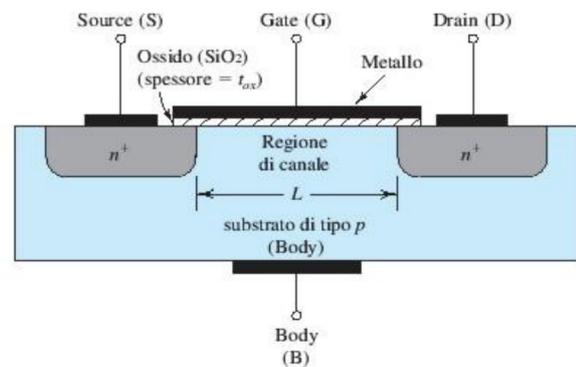
Quindi in totale abbiamo 4 tipi di transistori MOS: l'NMOS ad arricchimento, NMOS a svuotamento, PMOS ad arricchimento e PMOS a svuotamento.

Le versioni a svuotamento hanno delle applicazioni molto limitate, quindi non le considereremo mai. Ci focalizzeremo solo su NMOS ad arricchimento e PMOS ad arricchimento. Per semplicità li chiameremo solo NMOS e PMOS.

Come è fatto il transistor NMOS?

Analizziamolo guardando la sezione.

Abbiamo innanzitutto un substrato di silicio di tipo p, quindi del silicio drogato con atomi accettori. Questo substrato è contattato (sul bordo inferiore), e il terminale viene indicato con la lettera **B (body)**, ed è anche detto “**terminale di substrato**”



Nella parte superiore di questo substrato di tipo p si vengono a realizzare due zone n.

Queste due zone n sono a loro volta contattate, e quindi qui danno luogo a due ulteriori terminali del dispositivo, che indichiamo con le lettere **S (source)** e **D (drain)**.

Questi due terminali S e D sono perfettamente uguali tra di loro, cioè guardando semplicemente al dispositivo scollegato dal circuito, non è possibile dire chi è S e chi è D.

Viene chiamato drain quello tra i due che si trova a potenziale più alto.

La zona che separa queste due regioni di source e drain è detta **canale**.

Nella parte superiore, sovrastante il canale, viene depositato uno strato di **ossido di silicio**: uno strato isolante.

Questo strato di ossido deve avere uno spessore accuratamente controllato, questo spessore lo indicheremo con il simbolo t_{ox} , ed è dell'ordine di qualche nanometro.

Al di sopra dello strato di ossido, e quindi isolato da tutto il resto, viene depositato l'ultimo morsetto del nostro dispositivo, che è un metallo e che indichiamo con **G (gate)**, la porta con la quale si comanda il funzionamento del dispositivo.

Un parametro fondamentale è la **lunghezza del canale**, che indichiamo con **L**.

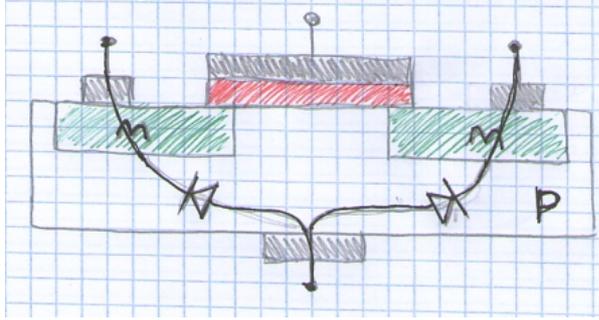
La dimensione del canale nella direzione perpendicolare a L la indichiamo con **W**, e rappresenterà la **larghezza del canale**.

«Questo è il nostro NMOS, “NMOS” perchè il source e il drain sono n (vò, diciamo così).»

Cominciamo a vedere alcune delle caratteristiche che deve avere il nostro dispositivo.

Una prima osservazione che noi possiamo fare è che in questo dispositivo ci sono dei diodi, rappresentati dalle due giunzioni p-n.

Possiamo riportarli schematicamente così:



Di questi due diodi non ci interessa nulla, sono due dispositivi parassiti: se non ci fossero sarebbe meglio.

Quindi noi vogliamo evitare nel modo più assoluto che questi due diodi entrino in conduzione: se questi due diodi entrassero in conduzione, il funzionamento del nostro MOSFET verrebbe completamente azzerato.

Quindi dobbiamo essere certi che siano inversamente polarizzati.

Se questi diodi sono inversamente polarizzati, è come se non ci fossero. C'è solo la corrente di saturazione inversa, una corrente molto piccola. In alcuni casi vedremo che darà dei problemi anche quella corrente molto piccola, ma comunque ce la dobbiamo tenere.

Per essere certi di questa condizione, andremo a collegare il morsetto di substrato al potenziale più basso presente nel circuito.

Quindi è vero che il nostro MOSFET c'ha quattro terminali, ma di questi quattro uno è vincolato, non ci andiamo ad agire. Tant'è che spesso andremo a disegnare i nostri circuiti evidenziando per il MOSFET solo dove sono collegati S, G e D, dando per scontato che B sia collegato al potenziale più basso del circuito.

Ripeto, questa cosa è così perchè vogliamo che i due diodi siano sempre inversamente polarizzati. Nel morsetto di substrato quindi entreranno solo le due correnti di saturazione inversa, che sono dell'ordine dei picoampere, nanoampere.

Una seconda osservazione importante riguarda la gate.

Grazie alla presenza dello strato di ossido, la gate è perfettamente isolata dal resto del dispositivo. Sotto certi aspetti, la gate e il resto del dispositivo possono essere viste come le armature di un condensatore.

In condizioni stazionarie, la corrente di gate è nulla, perchè la gate è isolata. Nonostante ciò, la gate è il nostro terminale di controllo, Cioè agendo sulla gate posso cambiare a mio piacimento la corrente che passa tra source e drain. (come se fosse una valvola)

Il fatto che la corrente di gate sia nulla in condizioni stazionarie è un grandissimo vantaggio, perchè la potenza che devo applicare per girare questa valvola è zero, perchè ci metto una tensione, ma non passa corrente, e quindi nella gate, la potenza che serve per controllare il dispositivo è piccolissima, praticamente trascurabile.

Si deve osservare che la corrente è nulla in condizioni stazionarie.

Durante, invece, il funzionamento dinamico, se io cambio la tensione sulla gate, durante i transitori, della corrente, invece, passa. Così come durante un transitorio, in un condensatore passa della corrente.

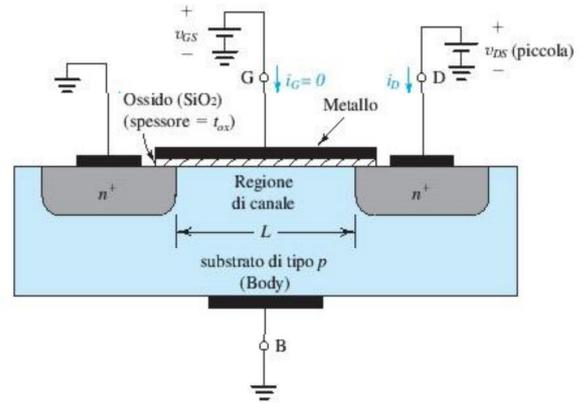
Collegiamo delle tensioni al nostro dispositivo e vediamo cosa succede.

Supponiamo di utilizzare solo delle tensioni positive rispetto a massa.

Quindi abbiamo un potenziale più basso, quello di riferimento, la massa, rispetto a quello mettiamo dei generatori.

Quindi il nostro substrato lo colleghiamo a massa.

I morsetti S e D li polarizzo in questo modo: quello di sinistra lo collego a massa, quello di destra lo collego a una batteria, quindi a un certo potenziale che chiamiamo $v_D > 0$. Quindi in questo caso il source è a sinistra, il drain a destra.



Il morsetto della gate lo colleghiamo a un'altra batteria di valore v_G .

Nel tracciare le caratteristiche, spesso si usano le tensioni tra drain e source, v_{DS} , e tra gate e source, v_{GS} . In questo caso il source è a massa, quindi $v_{DS} = v_D$ e $v_{GS} = v_G$.

Qual è la corrente che entra nel morsetto di gate, i_G , in condizioni stazionarie? Zero

Qual è la corrente che fluisce nel morsetto di substrato? Le correnti di saturazione dei diodi, quindi praticamente zero.

L'unica corrente possibile è la corrente che entra nel morsetto di drain, i_D , che, siccome le correnti che fluiscono dagli altri morsetti sono nulle, è anche la corrente che esce dal morsetto di source.

Vediamo quali sono le curve caratteristiche del dispositivo.

Per ricavarle sperimentalmente fissiamo un valore di v_{GS} , e aumentiamo man mano v_{DS} osservando le variazioni di i_D .

Avremo diverse caratteristiche a seconda di quale valore di v_{GS} fissiamo.

Quando $v_{GS} = 0$, risulta che $i_D = 0 \quad \forall v_{DS}$.

Otterremo lo stesso risultato anche per un certo intervallo di valori positivi di v_{GS} .

Esiste un particolare valore di tensione sulla gate che fa sì che il dispositivo cominci a condurre corrente. Questo valore critico prende il nome di **tensione di soglia** e si indica con V_T .

Questa V_T dipende da come è fatto il dispositivo.

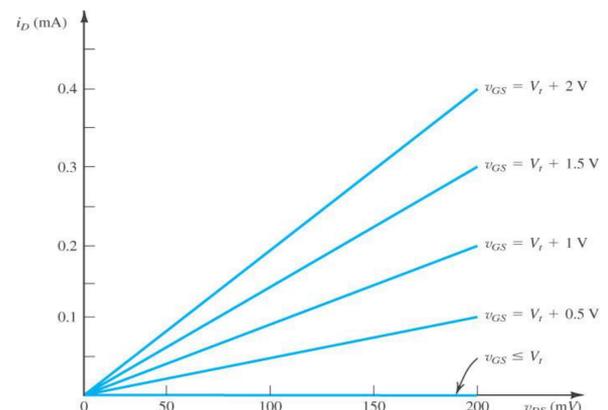
(Sfortunatamente si usa il simbolo V_T che abbiamo già usato na mezzavolta indicando la tensione termica, quando abbiamo introdotto la caratteristica precisa del diodo. Comunque sono due cose completamente diverse.)

In prossimità dell'origine avremo le seguenti caratteristiche:

Le caratteristiche diventano via via più ripide all'aumentare di v_{GS} .

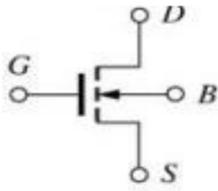
Le caratteristiche sono lineari solo in prossimità dell'origine.

Comunque, restando nei pressi dell'origine, possiamo pensare ai transistor come a dei resistori la cui resistenza dipende da v_{GS} , che, in particolare decresce all'aumentare di v_{GS} .

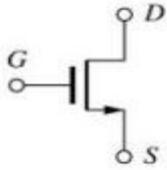


Lezione 7

Il dispositivo può essere rappresentato in diversi modi:



Questo è il simbolo più completo, in quanto evidenzia la presenza di tutti e quattro i morsetti.

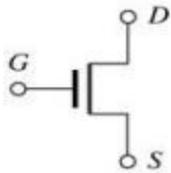


Si può utilizzare quest'altro simbolo un pò più compatto.

Il terminale di substrato non viene rappresentato, perchè sappiamo già implicitamente che è collegato al potenziale più basso presente nel circuito.

Il source viene indicato da una freccia uscente.

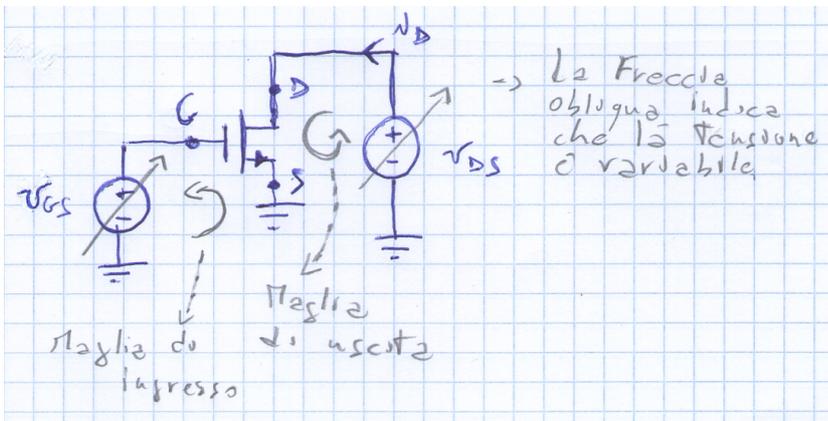
La freccia uscente ci ricorda che, poiché il source è il morsetto a potenziale più basso tra source e drain, se c'è passaggio di corrente, questo va nel verso indicato dalla freccia.



Questa è la versione, proprio ridotta all'osso, nella quale omettiamo anche il verso della corrente.

La usiamo quando non sappiamo chi sia il source e chi il drain. Cioè quando non sappiamo chi tra i due morsetti sia quello a potenziale maggiore.

Utilizzando il secondo di questi simboli, rappresentiamo il circuito che avevamo introdotto la scorsa lezione:



Abbiamo detto che...

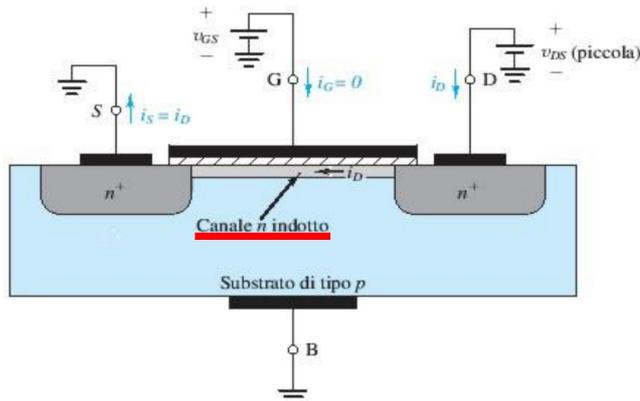
Quando la $v_{GS} = 0$, la caratteristica che indica l'andamento di i_D in funzione della tensione v_{DS} è completamente schiacciata sull'asse x.

Questa situazione persiste, finché v_{GS} si mantiene al di sotto di un valore critico, V_T detto tensione di soglia, e dipende dal dispositivo.

Quando v_{GS} supera V_T , le caratteristiche sono di tipo lineare (nell'intorno dell'origine).

Questo avviene perché, quando v_{GS} supera V_T , nella zona sottostante all'ossido il semiconduttore cambia la sua specie: anziché essere di tipo p, diviene di tipo n: si genera quello che viene chiamato il **canale di inversione**.

Questo canale di inversione si genera perché quando poniamo una tensione positiva sulla gate, nella regione sottostante all'ossido si crea un campo elettrico particolarmente forte diretto verso il basso. Il campo elettrico è particolarmente forte perché lo spessore dell'ossido è piccolissimo, di qualche nanometro (il campo elettrico in valore assoluto è il rapporto fra la tensione applicata sulla gate e t_{OX}).



Questo campo elettrico molto grande respinge le lacune che sono presenti nella zona di tipo p e attrae lì gli elettroni.

Questi elettroni, non potendo andare nell'ossido, perché l'ossido è isolante, possono muoversi in senso orizzontale, se c'è una tensione applicata tra drain e source.

Quindi si genera un canale che mette in contatto le due zone n, che in qualche modo è assimilabile a un resistore.

Questo fenomeno di inversione è tanto più evidente quanto più è grande la v_{GS} , ecco perché aumentando la v_{GS} , la resistenza offerta dal dispositivo si riduce.

Come mai questo meccanismo si innesca solo quando la v_{GS} supera la tensione di soglia? Non lo studiamo, lo diamo per assodato.

Affinchè questo meccanismo funzioni correttamente, è necessario che la zona del silicio che si interfaccia all'ossido sia priva di impurità e perfettamente piana, e poi, ripeto, che lo strato di ossido sia estremamente sottile, così che il campo sia notevole.

Cerchiamo ora di vedere come possiamo rappresentare, mediante una molto formula semplificata, le caratteristiche di uscita: $i_D = f(v_{DS}, v_{GS})$.

Nella zona cosiddetta **lineare**, la relazione tra i_D e v_{DS} è, appunto, di tipo lineare.

Quindi una prima cosa che possiamo osservare è la seguente:

$$i_D \propto v_{DS} \quad (\propto \text{significa "proporzionale a"})$$

Il fattore di proporzionalità dipenderà da v_{GS} .

Quindi da questa osservazione, possiamo scrivere che

$$i_D = \begin{cases} 0 & \text{se } v_{GS} < V_T \\ K(v_{GS} - V_T)v_{DS} & \text{se } v_{GS} \geq V_T \end{cases}$$

K si misura in A/V^2 e dipende dalla struttura fisica del nostro transistor.

Essa dipende innanzitutto dai parametri geometrici: L e W.

Se io aumento la L, cosa succede a questo canale che può essere considerato come un resistore?

E' come se io aumentassi la lunghezza di una barretta di materiale conduttore. Cosa ottengo? Che a parità di tensione, la corrente diminuisce all'aumentare della lunghezza.

Quindi K è inversamente proporzionale a L.

Qual è invece la relazione che c'è tra K e W? Se della suddetta barretta aumentassi la sezione, a parità di tensione, la corrente aumenta.

$$\text{Quindi possiamo scrivere } K = K' \frac{W}{L}$$

dove K' , si misura sempre in A/V^2 , e dipende dalla tecnologia utilizzata per la costruzione del dispositivo.

Si può dimostrare che $K' = \mu_n \frac{\epsilon_{OX}}{t_{OX}}$, dove μ_n è la mobilità degli elettroni e ϵ_{OX} è la **costante dielettrica dell'ossido**.

Che cos'è questo rapporto $\frac{\epsilon_{OX}}{t_{OX}}$?

Come ho accennato la volta scorsa, dal punto di vista della gate, il dispositivo si comporta come una specie di condensatore, perchè la gate è isolata dal resto del transistor. Qual è la capacità di questo condensatore?

La capacità C di un condensatore in generale come la possiamo scrivere?

$$C = \frac{(\text{costante dielettrica})(\text{area della faccia})}{\text{spessore del dielettrico}}$$

Quindi in questo caso abbiamo che la capacità vista dalla gate è $C_G = \frac{\epsilon_{OX} W L}{t_{OX}}$

Quindi $\frac{\epsilon_{OX}}{t_{OX}}$ è la **capacità per unità di area**, e si può indicare con C_{OX} . Ovviamente si misurerà in F/m^2 .

N.B.: il fattore tecnologico K' è fissato, nel senso che un progettista ha una tecnologia a disposizione e quella è. La larghezza e la lunghezza del canale possono essere scelti a seconda degli utilizzi.

Ritorniamo alle caratteristiche.

L'andamento lineare, come ho già anticipato, è rispettato solo quando questa v_{DS} è molto piccola.

Per un certo valore della v_{DS} , la crescita si rallenta, e alla fine la caratteristica diventa (in prima approssimazione) praticamente costante.

Come mai si ha questo fenomeno?

Per cercare di dare una risposta a questa domanda, dobbiamo andare un po' più nel dettaglio su quello che succede qui, nel canale del nostro dispositivo.

Abbiamo capito che c'è questa zona n di inversione, che l'ampiezza di questa zona n, la concentrazione, dipende dalla differenza di potenziale ai capi di questo "condensatore".

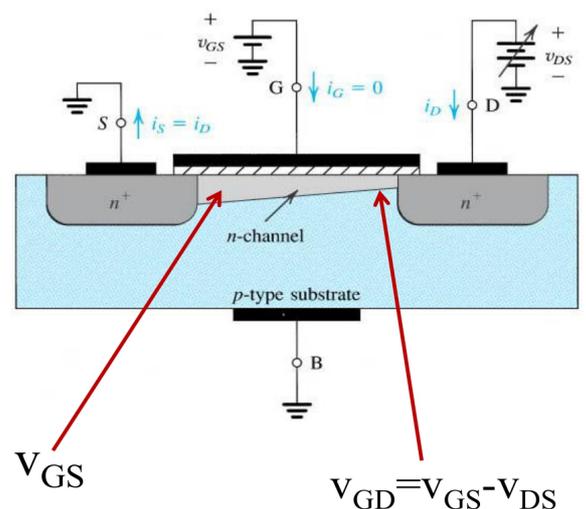
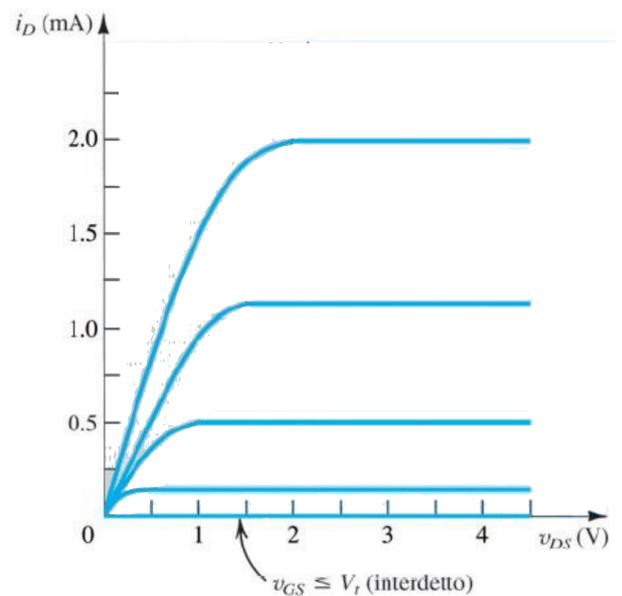
Bisogna osservare che la differenza di potenziale ai capi di questo "condensatore" non è costante.

Dalla parte del source questa differenza di potenziale è $v_G - v_S = v_{GS}$. Dalla parte del drain la differenza di potenziale invece è

$$v_G - v_D = (v_{GS} + v_S) - (v_{DS} + v_S) = v_{GS} - v_{DS}$$

Quindi l'ampiezza del canale n non è uniforme come abbiamo disegnato in precedenza, perchè il campo non è uniforme, perchè la differenza di potenziale non è uniforme.

Questo canale è più largo dalla parte del source, e più stretto dalla parte del drain. Ed è tanto più stretto dalla parte del drain, quanto più è grande v_{DS} .



Questo cosa comporta?

Comporta che se io mi muovo su questa curva aumentando la v_{DS} , ho due fenomeni: da un lato ho una resistenza, e aumento la tensione ai capi della resistenza, aumentando la corrente, dall'altro aumento anche il valore della resistenza (perchè riduco la sezione della "barretta" dalla quale passa la corrente). Quindi la corrente comincia a crescere meno che linearmente. Ecco perchè la curva comincia a piegarsi verso il basso.

Perchè all'inizio non mi accorgo che si piega verso il basso?

Perchè per un certo intervallo di valori di v_{DS} , piccoli rispetto a v_{GS} , posso assumere che la resistenza non aumenti, cioè che "la barretta rimanga rettangolare"

Quando invece aumenta questa v_{DS} , e comincia a diventare confrontabile con la v_{GS} , le curve cominciano a piegarsi verso il basso.

Aumentando sempre di più la v_{DS} si arriva ad una condizione limite detta **di pinch-off (di strozzamento)**, dovuta al fatto che il canale "si strozza" dalla parte del drain, diventando "triangolare".

Si ha lo strozzamento non quando, come si potrebbe pensare, $v_{GS} - v_{DS} = 0$, perchè comunque il canale si crea quando $v_{GS} = V_T$, ma è sufficiente che $v_{GS} - v_{DS} = V_T$, cioè $v_{DS} = v_{GS} - V_T$.

Si può dimostrare, ma non lo faremo, che da questo punto in poi ogni aumento della tensione v_{DS} che noi applichiamo su questo "resistore" è compensato da un aumento della resistenza, in modo tale che la corrente rimanga costante.

Quindi dopo che abbiamo raggiunto la condizione di strozzamento, la corrente nel nostro dispositivo resta pressoché costante. Da qui in poi siamo nella **zona di pinch-off**.

Quindi, quando $v_{DS} \geq v_{GS} - V_T$, se ci serve, possiamo utilizzare il nostro dispositivo come generatore di corrente controllato dalla v_{GS} .

Quando invece $v_{DS} < v_{GS} - V_T$, possiamo utilizzare il dispositivo come resistore lineare controllato dalla v_{GS} .

Approfondiamo ancora meglio gli aspetti relativi alle caratteristiche del dispositivo.

Innanzitutto c'è da dire che esiste un insieme di punti nei quali le caratteristiche passano dalla zona lineare, fino a diventare costanti. Questo luogo di punti è una parabola. Lo dimostreremo più avanti, per il momento diamolo per assodato.

Le caratteristiche hanno un primo tratto lineare, poi piegano verso il basso, giungono su questa zona limite, e diventano costanti.

Vediamo come descrivere questo andamento con delle formule.

Partiamo dalle equazioni che abbiamo scritto inizialmente, e modifichiamole così da portare in conto il fatto che queste curve si abbassano e poi diventano costanti.

Una prima equazione l'avevamo già individuata ed è valida in generale:

Se la $v_{GS} < V_T$, il dispositivo è spento. Quindi $i_D = 0$, se $v_{GS} < V_T$.

Questa zona viene chiamata **zona di interdizione**: se il dispositivo è interdetto, si comporta come un circuito aperto, non fa passare corrente.

Vediamo l'altra relazione. Avevamo detto $i_D = K (v_{GS} - V_T) v_{DS}$, quando $v_{GS} > V_T$.

In questo caso dobbiamo introdurre un termine correttivo del secondo ordine (quindi non lineare) che deve portare in conto il fatto che le caratteristiche si abbassano al crescere di v_{DS} .

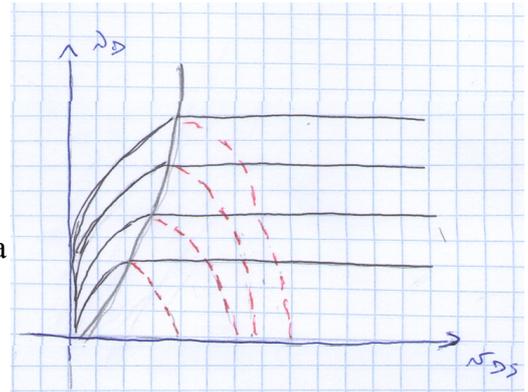
Proviamo ad aggiungere il termine $-\frac{K}{2} v_{DS}^2$.

Quindi abbiamo $i_D = K \left[(v_{GS} - V_T) v_{DS} - \frac{1}{2} v_{DS}^2 \right]$ per $v_{GS} > V_T$

Vediamo se questa relazione riesce a rendere conto del funzionamento del nostro dispositivo.

La nostra caratteristica, non è più una retta, ma una parabola. Poichè il termine quadratico c'ha il segno meno, la parabola è rivolta verso il basso e inoltre passa per l'origine, perchè non c'è nessuna costante.

Ovviamente non sarà tutta la parabola a rappresentare la nostra caratteristica, ne prendiamo solo un pezzo: il pezzo che va dall'origine fino a questo punto in cui abbiamo il vertice della parabola.



Dobbiamo allora verificare che questa costante $\frac{1}{2}$ sia tale da darci il vertice proprio nel punto di passaggio verso la regione di pinch-off, cioè in corrispondenza della tensione di pinch-off.

Andiamo a calcolare il vertice di questa parabola $i_D = K \left[(v_{GS} - V_T) v_{DS} - \frac{1}{2} v_{DS}^2 \right]$.

Facciamo la derivata rispetto a v_{DS} e vedere dove si annulla.

Chiamiamo v_{DS}^* il valore di v_{DS} che verifica questa condizione.

Si ha che $v_{GS} - V_T - \frac{1}{2} 2 v_{DS}^* = 0$, da cui $v_{DS}^* = v_{GS} - V_T$ che è proprio la tensione di pinch-off.

Quindi il termine $\frac{1}{2}$ è giustificato.

Questa equazione $i_D = K \left[(v_{GS} - V_T) v_{DS} - \frac{1}{2} v_{DS}^2 \right]$ dove è valida?

E' valida quando $v_{GS} > V_T$, perchè altrimenti la corrente è nulla.

Per quanto riguarda v_{DS} , invece, è valida per $v_{DS} \leq v_{GS} - V_T$.

Quindi abbiamo due condizioni che identificano la zona in cui questa equazione è valida.

Questa zona viene anche detta **zona lineare** o **zona di triodo**.

Quando siamo in zona di pinch-off, la corrente deve rimanere costante e pari alla corrente di pinch-off, cioè alla corrente massima che si raggiunge alla tensione di pinch-off $v_{DS}^* = v_{GS} - V_T$

Quindi, per ricavarmi questa corrente basta sostituire nell'equazione della corrente in zona lineare, la tensione di pinch-off v_{DS}^* .

$$i_D^* = K \left[(v_{GS} - V_T)(v_{GS} - V_T) - \frac{1}{2} (v_{GS} - V_T)^2 \right] = \frac{K}{2} (v_{GS} - V_T)^2$$

Quindi in definitiva si ha:

$$i_D = \begin{cases} 0 & \text{se } v_{GS} < V_T & \text{[zona di interdizione]} \\ K \left[(v_{GS} - V_T) v_{DS} - \frac{1}{2} v_{DS}^2 \right] & \text{se } v_{GS} \geq V_T \text{ e } v_{DS} \leq v_{GS} - V_T & \text{[zona lineare]} \\ \frac{K}{2} (v_{GS} - V_T)^2 & \text{se } v_{GS} \geq V_T \text{ e } v_{DS} \geq v_{GS} - V_T & \text{[zona di pinch-off]} \end{cases}$$

Ricordiamoci che in tutte queste equazioni V_T è una costante e che $K = K' \frac{W}{L}$.

Cerchiamo di ottenere l'equazione che descrive la curva che separa la zona lineare dalla zona di pinch-off, che è la relazione tra corrente e tensione quando stiamo in pinch-off.

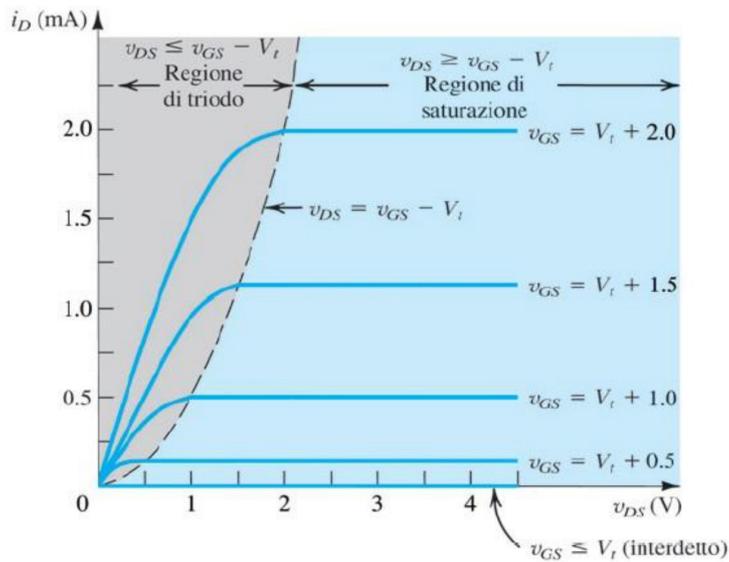
Questa è il luogo dei punti (di pinch-off) nei quali valgono contemporaneamente queste due condizioni:

la prima sulla tensione: $v_{DS} = v_{GS} - V_T$;

la seconda sulla corrente: $i_D = \frac{K}{2} (v_{GS} - V_T)^2$.

Per ottenere l'equazione che descrive la curva basta intersecare le due equazioni, in questo modo

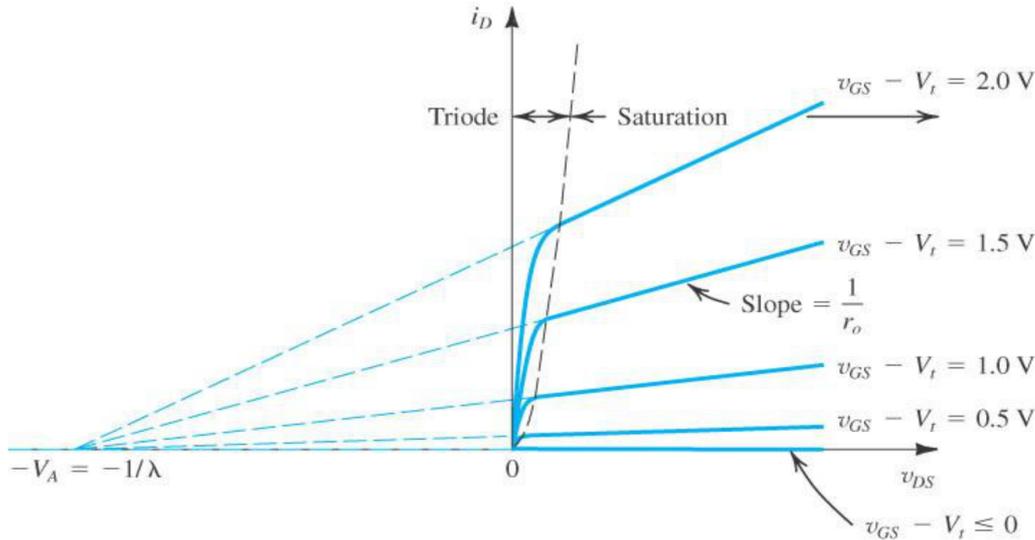
ottengo: $i_D = \frac{K}{2} v_{DS}^2$, che è proprio una parabola che passa per l'origine, come avevo anticipato.



Lezione 8

In realtà, a voler essere rigorosi, in zona di pinch-off le caratteristiche non sono orizzontali, bensì presentano una lieve pendenza.

Quindi, il dispositivo, in zona di pinch-off approssima bene il comportamento di un generatore di corrente, ma un generatore di corrente NON ideale.



Se andiamo ad estrapolare la curva in zona di pinch-off, (insomma, se prolunghiamo a sinistra tutte le curve, mentre si trovano in pinch-off), vediamo che convergono tutte in un solo punto dell'asse delle ascisse.

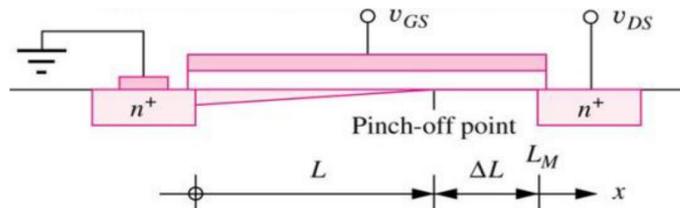
Questa tensione la indichiamo con $-V_A = -\frac{1}{\lambda}$

Per portare in conto questa pendenza delle curve in zona di pinch-off, dobbiamo aggiungere il termine $(1 + \lambda v_{DS})$.

E quindi l'equazione della corrente in zona di pinch-off diventa:

$$i_D = \frac{K}{2} (v_{GS} - V_T)^2 (1 + \lambda v_{DS}), \text{ se } v_{GS} > V_T \text{ e } v_{DS} > v_{GS} - V_T.$$

Questo comportamento è dovuto a un fenomeno chiamato **modulazione della lunghezza del canale**:



Abbiamo detto che quando il dispositivo è in conduzione, viene a crearsi un canale di inversione che collega le due zone n, che tende ad assottigliarsi dalla parte del drain all'aumentare di v_{DS} . Quando poi v_{DS} raggiunge la tensione di pinch-off l'ampiezza del canale dalla parte del drain diventa zero.

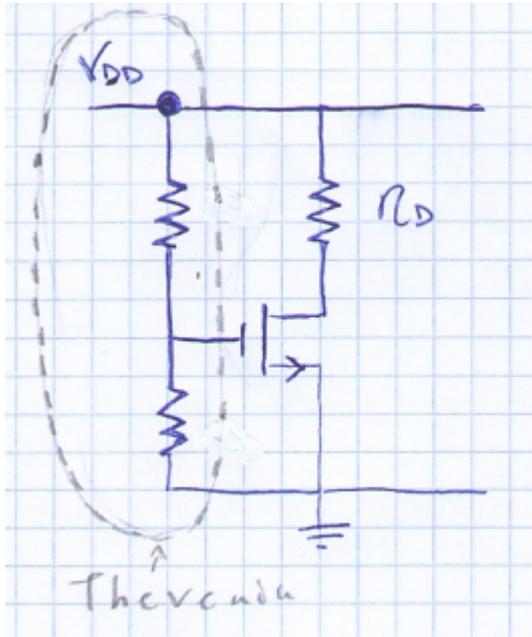
Ora, quando v_{DS} supera $v_{GS} - V_T$, il canale si chiude prima di raggiungere il drain, è come se la lunghezza del canale si riducesse. In particolare all'aumentare di v_{DS} il canale si chiude sempre più lontano dal drain, quindi il canale si accorcia all'aumentare di v_{DS} .

Ovviamente l'aumento della corrente all'accorciarsi del canale è dovuto al fatto che la corrente è legata a $K = K' \frac{W}{L}$ con L che si riduce.

Questo fenomeno, comunque lo trascureremo nella maggior parte dei casi, e considereremo la caratteristica come costante, quando il MOSFET si trova in zona di pinch-off.

Esempio

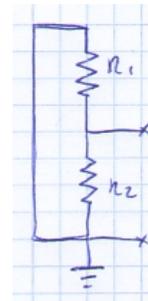
Consideriamo il seguente circuito.



Supponiamo che la tensione di alimentazione sia $V_{DD} = 10\text{ V}$ e che l'NMOS abbia i seguenti parametri: tensione di soglia $V_T = 1\text{ V}$; $K = 1\text{ mA/V}^2$; trascuriamo il fenomeno di modulazione della lunghezza del canale, quindi assumiamo $\lambda \approx 0\text{ V}^{-1}$; $R_2 = 200\text{ k}\Omega$, $R_1 = 800\text{ k}\Omega$, $R_D = 20\text{ k}\Omega$;

Calcoliamo tensioni e correnti di questo circuito.

Rappresentiamo con Thevenin la parte del circuito collegata alla gate.

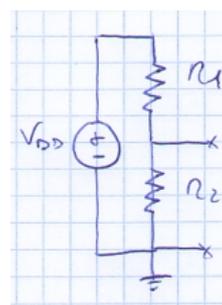


Cortocircuitiamo la batteria e calcoliamo R_{eq} .

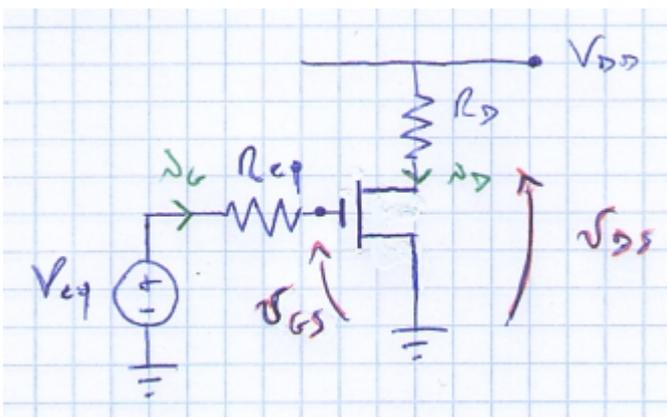
$$R_{eq} = R_1 // R_2 = 800\text{k} // 200\text{k} = 160\text{k}$$

Per quanto riguarda la V_{eq} :

$$V_{eq} = V_{DD} \frac{R_2}{R_1 + R_2} = 10\text{ V} \frac{200\text{k}}{200\text{k} + 800\text{k}} = 2\text{ V}$$



Quindi, il circuito semplificato è il seguente:



Essendo nulla la i_G , la tensione di comando $v_{GS} = V_{eq} = 2\text{ V}$.

A questo punto ci resta da calcolare la i_D . Se conosciamo questa corrente, abbiamo risolto tutto, perchè possiamo calcolare la caduta su R_D e la v_{DS} .

Siccome abbiamo trascurato il termine λ , noi sappiamo che

$$i_D = \begin{cases} 0 & \text{se } v_{GS} < V_T & \text{[zona di interdizione]} \\ K \left[(v_{GS} - V_T) v_{DS} - \frac{1}{2} v_{DS}^2 \right] & \text{se } v_{GS} \geq V_T \text{ e } v_{DS} \leq v_{GS} - V_T & \text{[zona lineare]} \\ \frac{K}{2} (v_{GS} - V_T)^2 & \text{se } v_{GS} \geq V_T \text{ e } v_{DS} \geq v_{GS} - V_T & \text{[zona di pinch-off]} \end{cases}$$

In quale caso ci troviamo? Quale delle tre equazioni è quella giusta?

Innanzitutto, possiamo scartare la prima delle tre, in quanto $v_{GS} = 2V > V_T = 1V$, quindi certamente non siamo in interdizione.

In quale delle altre due zone siamo?

Non lo sappiamo, quindi dobbiamo procedere in maniera simile a quanto abbiamo fatto con i circuiti a diodi: facciamo l'ipotesi di trovarci in una certa zona, risolviamo il circuito, e poi verifichiamo se l'ipotesi è corretta o meno.

Supponiamo di stare in zona di pinch-off.

Partiamo da questa, poiché l'equazione è più semplice.

$$i_D = \frac{K}{2} (v_{GS} - V_T)^2 = \frac{1\text{m}}{2} (2 - 1)^2 = 0.5 \text{ mA}$$

Ora l'ipotesi fatta è corretta se $v_{DS} \geq v_{GS} - V_T$.

$$v_{DS} = V_{DD} - R_D i_D = 10 - 20\text{k} \cdot 0.5 \text{ mA} = 0 \text{ V}$$

Pertanto l'ipotesi NON è corretta.

Questo vuol dire che il dispositivo opera in regione di triodo, avendo scartate le altre due ipotesi.

$$i_D = K \left[(v_{GS} - V_T) v_{DS} - \frac{1}{2} v_{DS}^2 \right]$$

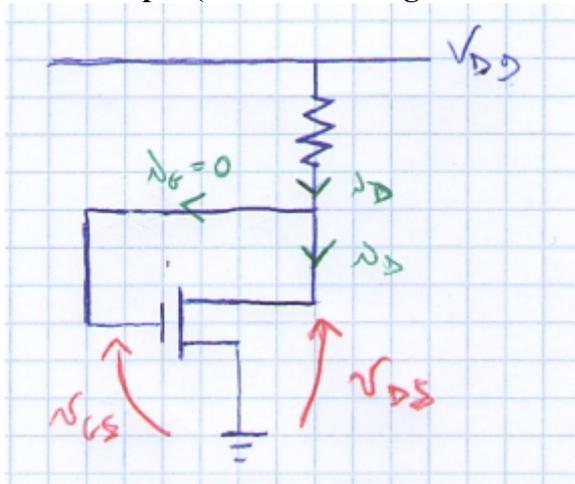
Non conoscendo la v_{DS} , sfrutto quest'altra equazione $v_{DS} = V_{DD} - R_D i_D$.

$$\text{Quindi si ha } v_{DS} = V_{DD} - R_D K \left[(v_{GS} - V_T) v_{DS} - \frac{1}{2} v_{DS}^2 \right]$$

Risolviendo questa equazione di secondo grado ottengo il risultato del problema

Quindi ho un sistema di due equazioni e due incognite: v_{DS} e i_D .

Altro esempio (con MOS collegato "a diodo")



Utilizziamo lo stesso transistor di prima: quindi

$$V_T = 1 \text{ V} \text{ e } K = 1 \text{ mA/V}^2$$

La tensione di alimentazione $V_{DD} = 10 \text{ V}$,

$$R_D = 10\text{k} \Omega$$

Collego tra di loro gate e drain (MOS collegato "a diodo").

La corrente che passa nella resistenza è proprio i_D , in quanto la corrente i_G è nulla.

A questo punto l'unica incognita è la i_D , in quanto conoscendo la i_D , possiamo calcolare v_{DS} , v_{GS} e la caduta sulla resistenza.

Dobbiamo, però capire quale sia la regione di funzionamento del nostro dispositivo, per poter applicare l'equazione giusta.

Avendo cortocircuitato drain e gate, il potenziale sui due morsetti sarà lo stesso, e quindi

$$v_{DS} = v_{GS}$$

Essendo $v_{DS} = v_{GS}$, $v_{DS} > v_{GS} - V_T$, quindi possiamo escludere la possibilità di essere in zona lineare. O siamo in interdizione o in pinch-off.

Supponiamo di essere in interdizione: $i_D = 0$

$$v_{DS} = v_{GS} = V_{DD} = 10V \text{ perchè non c'è caduta sulla resistenza.}$$

Verifichiamo l'ipotesi:

$$v_{GS} > V_T \Rightarrow \text{l'ipotesi NON è corretta.}$$

Quindi siamo in regione di pinch-off.

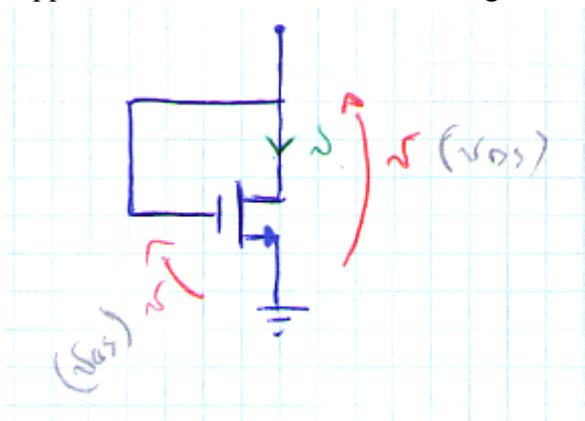
$$i_D = \frac{K}{2}(v_{GS} - V_T)^2. \text{ Anche in questo caso trascuriamo il termine } i + \lambda v_{DS}, \text{ per semplicità.}$$

Sfruttiamo l'uguaglianza $v_{GS} = V_{DD} - R_D i_D$

$$\text{Quindi troviamo che } i_D = \frac{K}{2}(V_{DD} - R_D i_D - V_T)^2$$

Risolvendo l'equazione di secondo grado risolviamo il circuito.

Supponiamo di avere un NMOS collegato a diodo:

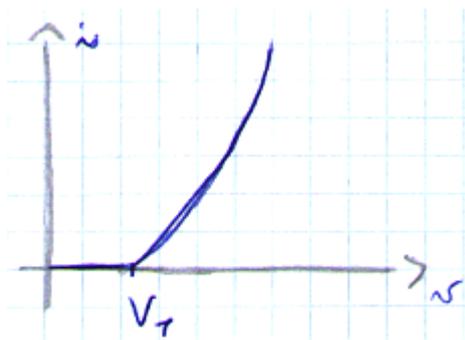


Proviamo a tracciare la caratteristica tensione – corrente $i = f(v)$.

Come abbiamo visto nell'esempio il dispositivo può essere o in interdizione o in pinch-off.

$$i_D = \begin{cases} 0 & \text{se } v < V_T & \text{[zona di interdizione]} & \text{in quanto } v \equiv v_{GS} \\ \frac{K}{2}(v - V_T)^2 & \text{se } v \geq V_T & \text{[zona di pinch-off]} \end{cases}$$

Se l'andiamo a riportare su un grafico, quindi, la caratteristica di questo dispositivo collegato a diodo, abbiamo questo andamento:



Quindi ci ricorda molto vagamente la caratteristica di un diodo, con la differenza che questo dispositivo conduce quando la tensione è superiore a V_T , anziché a V_{ON} , e che qui l'andamento della corrente è quadratico anziché esponenziale.

Questa configurazione può essere utile per valutare i due parametri K e V_T , qualora questi due parametri fossero ignoti: colleghiamo il dispositivo a diodo, lo alimentiamo con varie tensioni e misuriamo le correnti corrispondenti, la tensione per cui la corrente smette di essere nulla sarà V_T , poi prendo una tensione $> V_T$ e la corrente corrispondente, sostituisco nell'equazione e mi ricavo K

Alcune osservazioni sulle **capacità interne del dispositivo**.

La capacità più rilevante, ricordiamoci solo questo, è la capacità collegata alla gate, che fa a capo alla gate del transistor. Questa capacità come abbiamo già visto è $C_G = C_{OX} W L$ dove

$$C_{OX} = \frac{\epsilon_{OX}}{t_{OX}} \cdot$$

Vedremo più avanti cosa fa questa capacità.

E' un elemento che nella maggior parte dei casi ci dà dei problemi, perchè dover caricare e scaricare questa capacità rallenta i circuiti. Quindi viene spesso chiamata **capacità parassita**.

Avremo tuttavia modo di vedere anche delle applicazioni in cui sfruttiamo la presenza di quella capacità a nostro vantaggio. Ma questo lo vedremo più avanti.

Abbiamo quindi visto le caratteristiche del dispositivo NMOS.

NMOS perchè il dispositivo è a canale n.

Esiste una versione duale di questo dispositivo che si chiama **PMOS**.

Vedremo più avanti a cosa serve, per il momento teniamo presente che esiste questa versione duale.

Non descriviamo ora le caratteristiche ma le richiamiamo quando questo transistor ci verrà utile.

Quindi per adesso ci fermiamo sulle caratteristiche in generale del transistor MOS e cominciamo a vedere delle applicazioni

Queste applicazioni sono fondamentalmente nell'ambito dell'elettronica digitale.

Lezione 9

Electronica Digitale

I circuiti elettronici digitali hanno subito una profonda evoluzione nel corso degli anni. Questi dispositivi erano inizialmente realizzati con dei transistori bipolari (che ancora non abbiamo studiato).

Chiamiamo **famiglia logica** un insieme di porte logiche realizzate con la medesima tecnologia, col medesimo circuito di base.

La famiglia logica che nel passato la faceva da padrone era la TTL (transistor-transistor logic), che è venuta dopo la RTL (resistor-transistor logic) e la DTL (diode-transistor logic).

Questa TTL era una vecchia famiglia logica cosiddetta bipolare, proprio perchè utilizzava i transistori bipolari.

Accanto alla TTL, vi era un'altra famiglia logica, sempre basata sui transistori bipolari, che si chiamava ECL (emitter-coupled logic, logica ad accoppiamento di emettitore), che era più veloce dell'altra ma dissipava di più.

Queste logiche bipolari ormai sono del tutto obsolete, quindi non le studiamo proprio, però l'acronimo forse è utile ricordarlo, perchè essendo stati, in particolare la TTL, per tanti anni l'unica famiglia logica, ancora oggi in parecchie applicazioni si richiede che i livelli di tensione siano compatibili con quelli della logica TTL (poi vedremo cosa vuol dire questa cosa).

Queste vecchie famiglie bipolari sono state poi soppiantate da quelle MOS, sia per la velocità superiore di queste ultime, sia per la loro facilità di integrazione (nel senso che si può mettere su microchip tutta la logica che si vuole).

Inizialmente sono state sviluppate delle logiche che si chiamano **logiche NMOS**, cioè dei circuiti logici che utilizzano soltanto transistori NMOS, come quelli che abbiamo da poco finito di studiare. Questo tipo di logica è quella che predominava all'inizio degli anni 80, e consentiva un'ottima integrazione, ma aveva un grosso problema di dissipazione di potenza.

Quindi a causa di questo problema della dissipazione di potenza, pur essendo concettualmente più integrabile, questa logica NMOS è stata soppiantata dalla cosiddetta **logica CMOS**, che è quella che oggi prevale di gran lunga.

Nella logica CMOS (Complementary MOS) si utilizzano NMOS e PMOS, e niente altro: né resistenze, né capacità, ecc.

Noi studieremo fondamentalmente la logica CMOS. Ma prima di fare questo daremo qualche indicazione sulla logica NMOS, sia perchè i circuiti sono più facili da studiare, sia perchè ancora oggi, in alcuni particolari circuiti CMOS è possibile inserire delle parti realizzate con logica NMOS.

Porte logiche

Le **porte logiche ideali** devono trattare con delle grandezze che sono associate ai due valori booleani 1 e 0.

La porta logica più semplice è l'invertitore. Altre porte logiche che vedremo come si realizzano sono la porta AND, NAND, OR, NOR ecc.

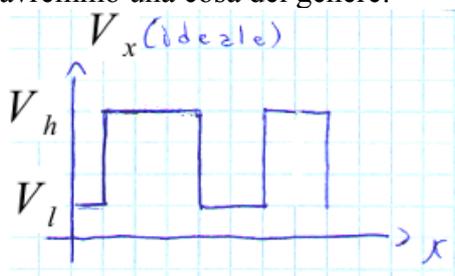
Vedremo che le porte logiche che realizzano la funzione negata sono più facilmente realizzabili, pertanto vengono utilizzate molto diffusamente.

Chiamiamo **livelli logici** i livelli di tensione associati ai valori logici 0 e 1.

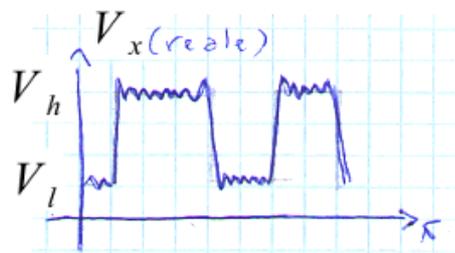
Chiamiamo **segnale logico ideale** un segnale che può assumere i soli due valori di tensione associati a 0 e 1.

Supponiamo che di associare la tensione V_l a 0, e la tensione V_h a 1, con $V_h > V_l$ (potremmo anche associare il livello alto a 0, non c'è nessuna differenza).

Quindi, se in ingresso ad una porta logica poniamo, ad esempio, la sequenza 01110011, idealmente avremmo una cosa del genere:

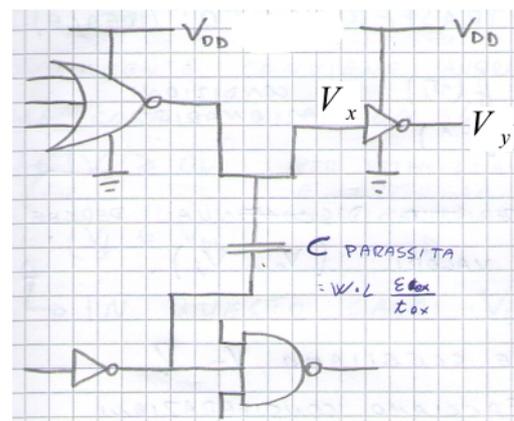


Nei circuiti reali, i segnali non saranno così precisi, ma saranno accompagnati da dei disturbi (o rumore) che causano delle fluttuazioni intorno a questi valori V_l e V_h :



Questi disturbi potrebbero essere, ad esempio, causati dalla presenza di capacità parassite che collegano in maniera indesiderata due linee di interconnessione che in teoria dovrebbero essere indipendenti.

Facendo riferimento allo schema in figura, quando c'è una commutazione dalla linea di sotto a quella di sopra, la capacità parassita indurrà dei disturbi sul segnale V_x in ingresso all'invertitore.



Questo è solo un esempio di causa di disturbi, ce ne sono altre, e comunque aumentano all'aumentare della complessità del circuito.

La proprietà fondamentale delle porte logiche ideali è la **reiezione dei disturbi**: forniscono un'uscita priva di disturbi, anche quando l'ingresso ne è afflitto.

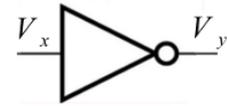
Si dice che i livelli logici vengono **rigenerati**.

Questo comunque è quello che accade per le porte logiche ideali, in pratica non riusciamo a fare una cosa così perfetta, ma comunque facciamo in modo che il disturbo sovrapposto all'uscita sia più piccolo di quello sovrapposto all'ingresso.

Questa caratteristica fondamentale è l'unica che ci consente di collegare tante porte logiche in cascata, garantendo un funzionamento corretto del circuito stesso. Poiché, se il rumore rimanesse inalterato, o addirittura venisse amplificato, si avrebbe un cumulo del rumore che comprometterebbe il funzionamento del circuito.

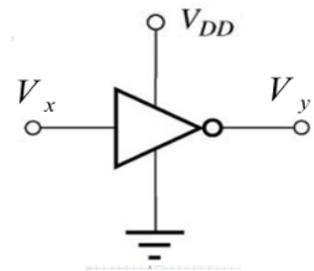
Invertitore

È il dispositivo che, dato l'ingresso V_x , mi dà in uscita una tensione V_y , tale che, se $V_x = V_h \Rightarrow V_y = V_l$, viceversa se $V_x = V_l \Rightarrow V_y = V_h$



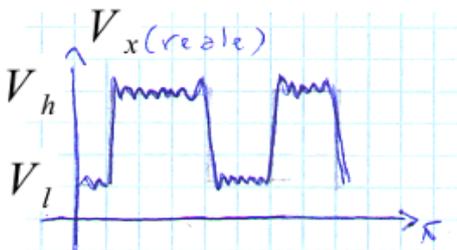
Anche se andremo a disegnare l'invertitore come sopra, non dobbiamo dimenticarci che è presente un morsetto di alimentazione e uno di massa.

Tralaltro, in un circuito composto da più porte logiche, l'alimentazione deve essere la stessa per tutti, affinché siano compatibili.

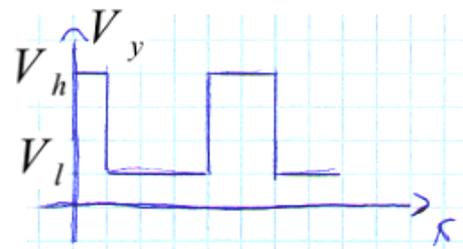


Un invertitore ideale, per quanto abbiamo detto in precedenza, sebbene pilotato da un segnale reale darà in uscita un segnale V_y ideale privo di disturbi.

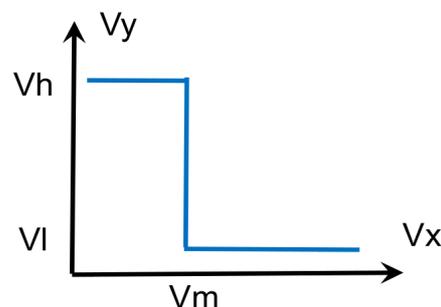
Quindi, se ad esempio poniamo in ingresso il segnale reale visto prima,



fornirà in uscita il seguente segnale:



La caratteristica dell'invertitore, ovvero la $V_y = f(V_x)$, in condizioni stazionarie, cioè quando siamo a regime, è la seguente:



La differenza $V_h - V_l$ viene detta **escursione logica**.

Siccome l'uscita non dovrà assumere nessuno dei valori compresi tra V_h e V_l , la caratteristica sarà a gradino: commuta in maniera brusca in corrispondenza di una tensione di ingresso che indichiamo con V_m , detta **soglia logica** dell'invertitore.

Ci chiediamo quale sia il valore più opportuno per questa soglia logica.

Supponiamo che l'invertitore sia pilotato da una porta logica qualsiasi che eroga $V_l + \text{disturbo}$, l'ampiezza massima tollerabile del disturbo affinché l'invertitore si comporti correttamente, cioè riconosca che si tratta del livello basso, sarà $V_m - V_l$. Se il disturbo supera questo valore, l'invertitore si comporterà erroneamente come se al suo ingresso fosse posto un livello logico alto. Questa grandezza prende il nome di **margin di rumore per il livello logico basso**, e la indichiamo con NM_L .

Analogamente, se al suo ingresso è posto $V_h + \text{disturbo}$, l'ampiezza massima tollerabile del disturbo sarà $V_h - V_m$, che chiamiamo **margin di rumore per il livello logico alto**, e che denotiamo con NM_H .

L'effettivo parametro di qualità per l'invertitore sarà il minimo tra i due parametri precedenti, perchè, ad esempio, di un invertitore poco sensibile ai disturbi sovrapposti al livello basso e molto sensibile ai disturbi sovrapposti al livello alto mi interessa sapere la seconda delle due cose, perchè è quella che limita le prestazioni del dispositivo in termini di immunità ai disturbi.

Quindi definiamo il **margin di rumore**, $NM = \min(NM_L, NM_H)$.

Il circuito è tanto più robusto quanto più è grande NM.

Tenuto conto di ciò, fissati V_h e V_l , il valore di V_m che massimizza NM è $V_m = \frac{V_h + V_l}{2}$.

In questo modo il margin di rumore $NM = NM_H = NM_L = \frac{V_h - V_l}{2}$.

Dunque, il margin di rumore per un invertitore ideale è pari alla metà dell'escursione logica.

Questa quantità, che abbiamo ottenuto ragionando su un invertitore ideale, rappresenta un limite superiore per un invertitore reale.

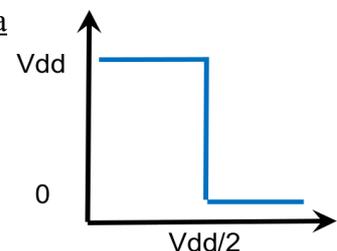
Cioè, qualunque sia l'invertitore reale, se conosciamo V_l e V_h , possiamo dire immediatamente che il suo margin di rumore $NM \leq \frac{V_h - V_l}{2}$.

Risulta evidente che un invertitore è tanto più robusto quanto maggiore è la sua escursione logica. Questa escursione logica in pratica è limitata superiormente dalla tensione di alimentazione e inferiormente dalla massa.

Pertanto, fissata la tensione di alimentazione V_{DD} , la nostra porta logica è ottimizzata quando $V_h = V_{DD}$ e $V_l = 0$.

Un circuito digitale che ha l'escursione logica pari alla tensione di alimentazione si dice anche che ha una “**escursione logica completa**”.

In questo caso $V_m = NM = \frac{V_{DD}}{2}$.

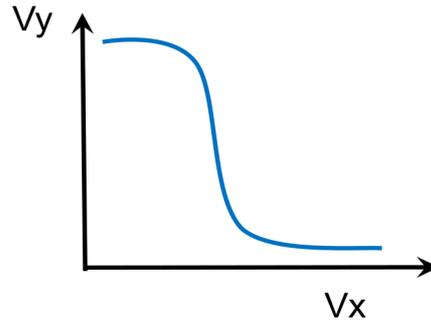


Siccome l'escursione logica è limitata dalla tensione di alimentazione, capiamo che dal punto di vista dell'immunità ai disturbi, sarebbe bene avere una tensione di alimentazione grande, perchè più è grande la tensione di alimentazione, più separiamo fra di loro livello alto e livello basso.

Questo è un problema delle attuali tecnologie dove, per altri motivi, soprattutto legati alla dissipazione di potenza, si tende a ridurre la tensione di alimentazione, e quindi il problema dell'immunità ai disturbi diventa sempre più complicato da affrontare.

Ora concentriamoci sul caso reale.

Nel caso reale avremo una caratteristica $V_y = f(V_x)$ del genere:



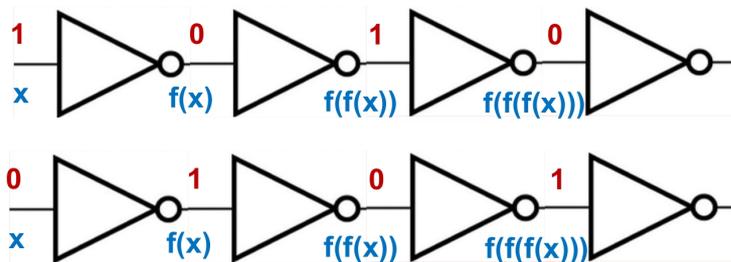
Quindi con due tratti non perfettamente costanti, ma con una derivata molto piccola in valore assoluto, raccordati da una zona con una pendenza assai più pronunciata, quindi con una derivata in valore assoluto $\gg 1$.

Ovviamente, siccome la caratteristica è invertente (se in ingresso ho il livello alto, in uscita avrò quello basso e viceversa), la derivata è ovunque negativa.

Cerchiamo di definire i livelli logici e i margini di rumore nel caso reale.

Partiamo con i livelli logici, che in questo frangente indicheremo con i simboli V_{OH} e V_{OL} .
(Sarebbero gli analoghi di V_h e V_l di cui abbiamo parlato nel caso ideale)

Consideriamo una cascata di invertitori. Chiamiamo x la tensione in ingresso del primo invertitore. La tensione di ingresso del secondo invertitore sarà $f(x)$, dove $f()$ rappresenta la caratteristica di trasferimento dell'invertitore. All'ingresso del terzo ci sarà $f(f(x))$, e così via.



Sia nel caso in cui x sia associato al livello 1, che nel caso in cui sia associato al livello 0, la tensione di ingresso x soddisfa l'equazione $x = f(f(x))$.

In definitiva le due tensioni corrispondenti ai due livelli logici '1' e '0', V_{OH} e V_{OL} vanno ricercate fra le soluzioni dell'equazione $x = f(f(x))$.

Ora, per ottenere le radici di quella equazione, non ricorriamo all'espressione precisa della caratteristica.

Procederemo in maniera semplificata, per via grafica.

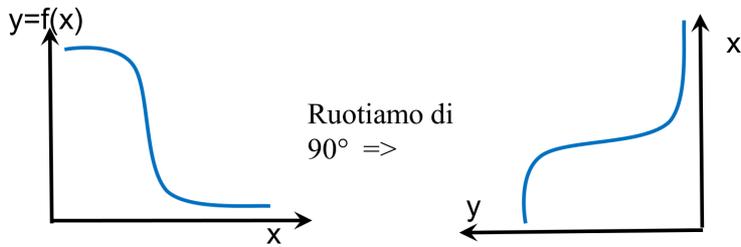
Innanzitutto applichiamo la funzione inversa f^{-1} al primo e al secondo membro, ottenendo:

$$f^{-1}(x) = f^{-1}(f(f(x)))$$

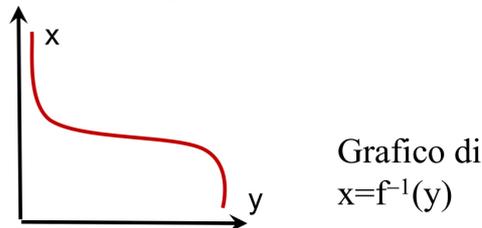
cioè $f^{-1}(x) = f(x)$.

Le soluzioni dell'equazione saranno i punti in cui il grafico della funzione e quello della funzione inversa si intersecano.

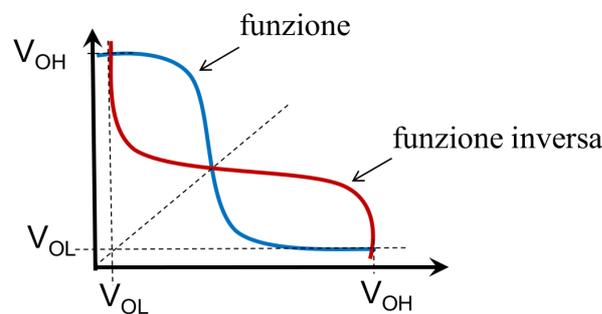
Per ottenere il grafico della funzione inversa procedo nel modo seguente:



Ribaltiamo ora il grafico rispetto all'asse orizzontale:



Intersecando i due grafici, otteniamo le soluzioni:



Avremo tre soluzioni:

La tensione più piccola sarà V_{OL} , quella più grande V_{OH} .

La terza intersezione, quella che si trova in mezzo, lo possiamo vedere come un'estensione del termine V_m , la soglia logica di cui abbiamo parlato prima, ma nel caso reale è un parametro che non ha utilità, perchè in questo caso la caratteristica è continua

Ora cerchiamo di definire i margini di rumore NM_H e NM_L .

Sempre in riferimento alla stessa caratteristica di trasferimento, se in ingresso all'invertitore pongo la tensione $V_x = x_0$, in uscita avrò una tensione $V_y = f(x_0)$.

Supponiamo, però, che al segnale d'ingresso x_0 , sia sovrapposto un certo disturbo. Indichiamo questo disturbo con una certa tensione δ .

La tensione di uscita sarà $V_y = f(x_0 + \delta)$.

Se il disturbo è piccolo, possiamo approssimare questa funzione col suo sviluppo in serie di Taylor arrestato al primo ordine, quindi

$$V_y \approx f(x_0) + f'(x_0)\delta.$$

Vogliamo che l'uscita relativa al disturbo, chiamiamola $\delta_{OUT} = f'(x_0)\delta$, sia la più piccola possibile, in particolare vogliamo che sia più piccola del disturbo in ingresso, vogliamo che il disturbo si attenui passando tra l'ingresso e l'uscita del nostro circuito. Vogliamo che $|\delta_{OUT}| < |\delta|$.

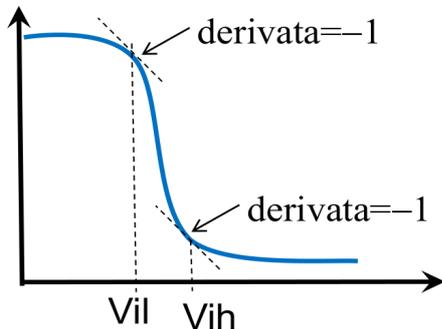
(eh, frà, vogliamo, vogliamo, vogliamo.....ma lo sai dove cresce l'erba "voglio"? Ne, lo sai?)

Questo accade solo se $|f'(x_0)| < 1$.

Se è vera questa condizione, un disturbo in ingresso, in uscita si riduce.

Se invece, per errore, questo valore x_0 si trova in un punto in cui la derivata è in valore assoluto più grande di 1, il disturbo è amplificato, il che può essere dannoso soprattutto se in cascata all'invertitore si trovano altri dispositivi.

Sulla caratteristica di trasferimento si individuano due punti in cui la derivata è -1. Indichiamo le tensioni corrispondenti con V_{IL} e V_{IH} . (con $V_{IL} < V_{IH}$) .



V_{IL} è la massima tensione d'ingresso che viene ancora riconosciuta come livello logico basso.

V_{IH} è la minima tensione d'ingresso che viene ancora riconosciuta come livello logico alto.

Quindi, la tensione di ingresso non dovrà mai trovarsi nella fascia di tensioni comprese tra V_{IL} e V_{IH} .

Ora, supponiamo che l'invertitore sia pilotato da una porta logica qualsiasi che eroga V_{OL} + disturbo, l'ampiezza massima tollerabile del disturbo affinché l'invertitore si comporti correttamente sarà $V_{IL} - V_{OL}$.

Quindi, **nel caso reale, il margine di rumore per il livello logico basso è $NM_L = V_{IL} - V_{OL}$.**

Analogamente, se al suo ingresso è posto V_{IH} + disturbo, l'ampiezza massima tollerabile del disturbo sarà $V_{OH} - V_{IH}$.

Quindi, **nel caso reale, il margine di rumore per il livello logico alto è $NM_H = V_{OH} - V_{IH}$.**

Come prima, definiamo il **margine di rumore** come $NM = \min(NM_H, NM_L)$.

Notiamo che per ottenere con precisione i margini di rumore, nel caso reale è piuttosto complicato. L'informazione immediata che possiamo avere è che, ripeto, il margine di rumore è limitato superiormente da metà dell'escursione logica (in questo caso $V_{OH} - V_{OL}$); quantità a sua volta limitata dalla metà della tensione di alimentazione:

$$NM \leq \frac{V_{OH} - V_{OL}}{2} \leq \frac{V_{DD}}{2}$$

Abbiamo definito livelli logici e margini di rumore per il nostro invertitore.

Questi vengono detti **parametri statici**, perchè ci servono a valutare il comportamento statico, stazionario dell'invertitore

Accanto a questi possiamo definire dei **parametri dinamici**, quali sono i **tempi di propagazione**.

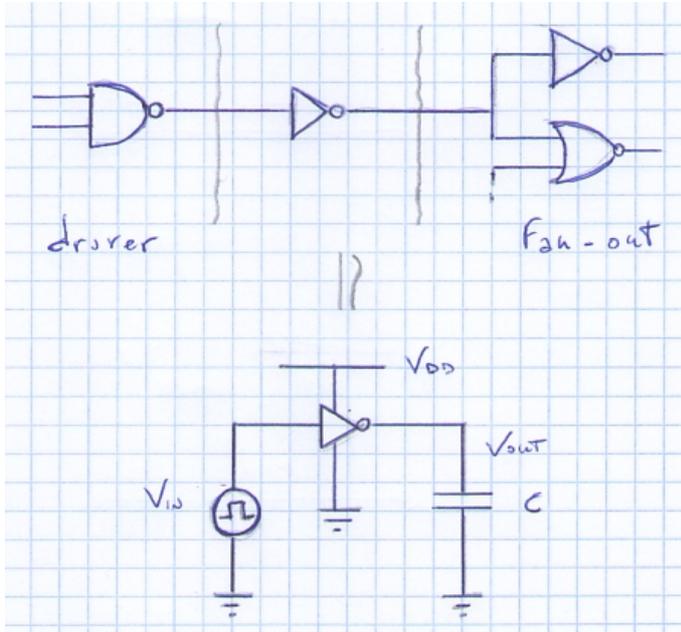
Un altro parametro di estrema importanza è la dissipazione di potenza, che ha sia un contributo statico che dinamico (ma che non vediamo, almeno in questa lezione).

Tempi di propagazione

Essi caratterizzano la “velocità” con la quale commuta la nostra porta logica.

Prendiamo il nostro invertitore e modelliamo quello che c'è a monte di questo invertitore (driver) con un generatore di tensione impulsiva, e quello che c'è a valle (fan-out) con una capacità di carico.

Cioè se ad esempio ho:



I tempi di propagazione sono definiti a partire da un diagramma nel dominio del tempo che riporta l'andamento della tensione di ingresso e di quella di uscita. Quindi riportiamo qui sopra questo diagramma.

Le tensioni, supponiamo di non considerare la presenza di disturbi, commuteranno fra i due valori: V_{OL} e V_{OH} .

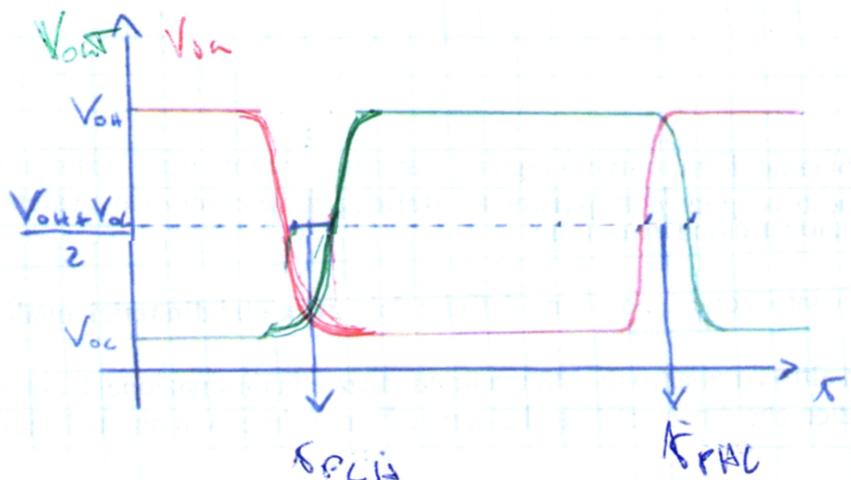
La tensione di ingresso, supponiamo che effettui una commutazione dal livello basso al livello alto, poi dal livello alto al livello basso.

Ovviamente, quando l'ingresso è basso, l'uscita non potrà che essere alta, quindi inizialmente la tensione di uscita sarà alta. In seguito cambia la tensione di ingresso, che si porta dal livello basso a quello alto, e quindi, con un certo ritardo la tensione di uscita commuterà dal livello alto a quello basso.

Per definire i tempi di propagazione introduciamo una **tensione di riferimento**: il valore medio tra

$$V_{OH} \text{ e } V_{OL} : \frac{V_{OH} + V_{OL}}{2}$$

Calcoleremo i tempi di propagazione considerando gli istanti di tempo in cui le tensioni attraversano questa tensione di riferimento.



Chiamiamo t_{PHL} : il tempo di propagazione dal livello alto al livello basso
 t_{PLH} : il tempo di propagazione dal livello basso al livello alto

“Quindi se all'esame vi chiedo “come sono definiti i tempi di propagazione?” Fate il grafico, mettete le tensioni di ingresso, quelle di uscita, la tensione di riferimento in mezzo, e gli istanti di tempo in cui l'ingresso e l'uscita attraversano questa tensione di riferimento”.

Possiamo anche definire il **tempo di propagazione** (e basta) $t_p = \frac{(t_{phl} + t_{plh})}{2}$, che è il valor medio tra i due.

Lezione 10

In generale i tempi di propagazione t_{PLH} e t_{PHL} sono diversi.

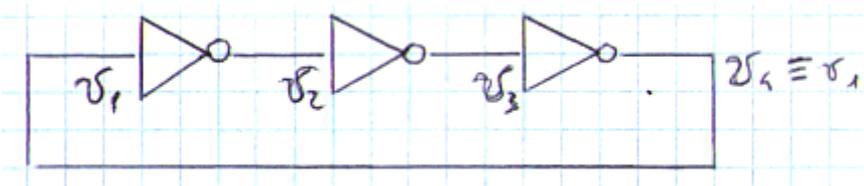
Pertanto chiamiamo **tempo di propagazione** la media tra i due $t_p = \frac{t_{PLH} + t_{PHL}}{2}$

Perchè ci interessa considerare il valore medio tra i due?

Per rispondere a questa domanda consideriamo il seguente circuito digitale:

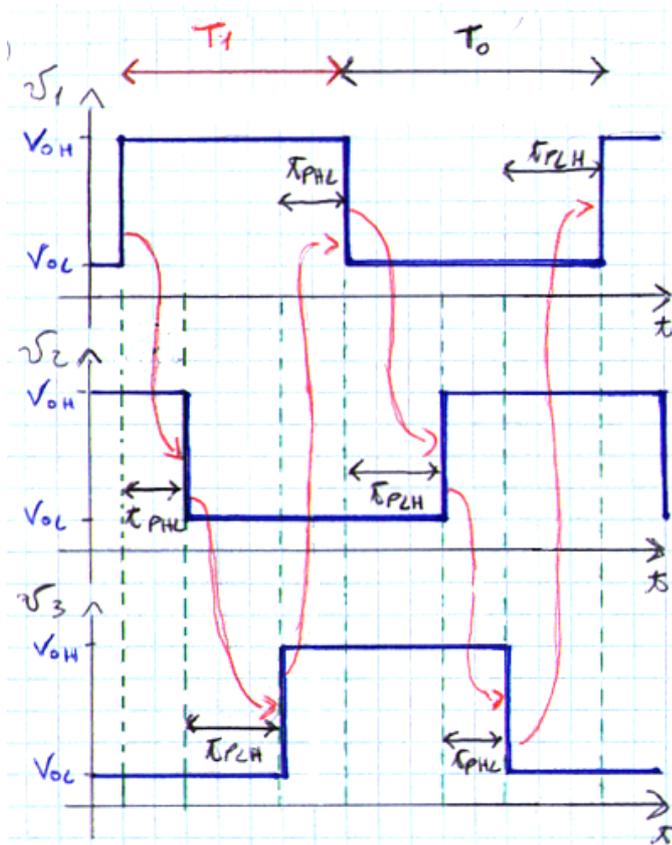
Oscillatore ad Anello

Andiamo a collegare tra di loro tre invertitori, collegando l'uscita dell'ultimo all'ingresso del primo:



Questo dispositivo **non possiede stati stabili**, infatti se in un dato istante v_1 diventa alto, dopo un certo intervallo di tempo v_2 sarà basso, dopo un altro intervallo di tempo v_3 sarà alto, e dopo un altro intervallo di tempo, v_1 , che coincide con l'uscita dell'ultimo invertitore commuta a basso. Quindi, siccome le tensioni su ogni nodo assumono periodicamente il livello basso e il livello alto, è evidente che il sistema non possiede stati stabili.

Rappresentiamo nel dominio del tempo quello che accade per questi tre segnali:



(Supponiamo che i tre invertitori siano uguali, e che quindi t_{PHL} e t_{PLH} siano uguali per tutti e tre gli invertitori).

Chiamiamo l'intervallo di tempo in cui il segnale è alto $T_1 = t_{PHL} + t_{PLH} + t_{PHL} = 2t_{PHL} + t_{PLH}$
e l'intervallo di tempo in cui il segnale è basso $T_0 = t_{PLH} + t_{PHL} + t_{PLH} = 2t_{PLH} + t_{PHL}$

Quindi questo circuito produce in uscita un'onda rettangolare periodica di periodo

$$T = T_1 + T_0 = 3 t_{PHL} + 3 t_{PLH} = 2 \cdot 3 \frac{t_{PHL} + t_{PLH}}{2} = 2 \cdot 3 t_p$$

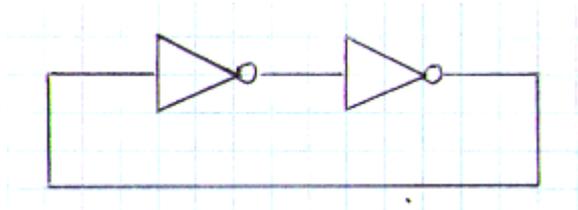
Più in generale, usando un numero N dispari qualsiasi di invertitori, $T = 2 \cdot N t_p$.

Comunque un oscillatore realizzato in questo modo, sebbene molto economico, ha un periodo, e quindi una frequenza, non stabile. E' soggetta a delle fluttuazioni.

Se mettessimo un numero pari di invertitori, chiaramente, lo stato è stabile (boh, forse per stato si intende l'uscita dell'uscita dell'ultimo invertitore).

Siccome possono essere assunti due stati stabili: o 1 o 0, un circuito formato da un numero pari di invertitori in serie con l'ultimo invertitore collegato al primo prende il nome di **circuito bistabile**.

Circuito Bistabile



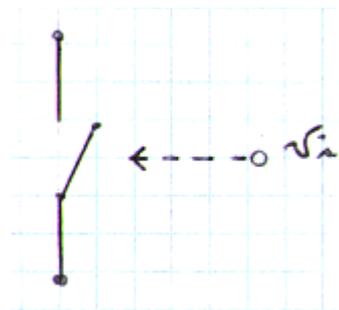
Chiaramente, se per N pari qualsiasi, ottengo lo stesso risultato, tanto vale avere $N = 2$.

Il circuito bistabile è il dispositivo più semplice di memorizzazione. Mi permette di memorizzare un bit.

L'ultimo parametro, a proposito degli invertitori, di cui dovevamo discutere era la dissipazione di potenza. Di questo parametro discuteremo mentre vediamo di volta in volta come realizzare i nostri invertitori. Quindi passiamo da una descrizione concettuale del comportamento degli invertitori ad una prima realizzazione circuitale.

Per adesso andremo a realizzare i nostri invertitori mediante **interruttori e resistenze**, quindi con dei relè (*ebbene si, tutto il blocco sono interruttori controllati da alcuni segnali + resistenze*). Tutte le caratteristiche che troveremo nei circuiti realizzati con questi interruttori e queste resistenze li ritroveremo con minime differenze quando al posto degli interruttori metteremo i transistor.

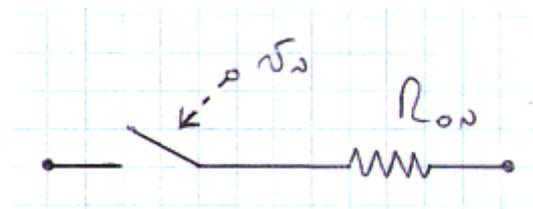
Interruttore controllato in tensione



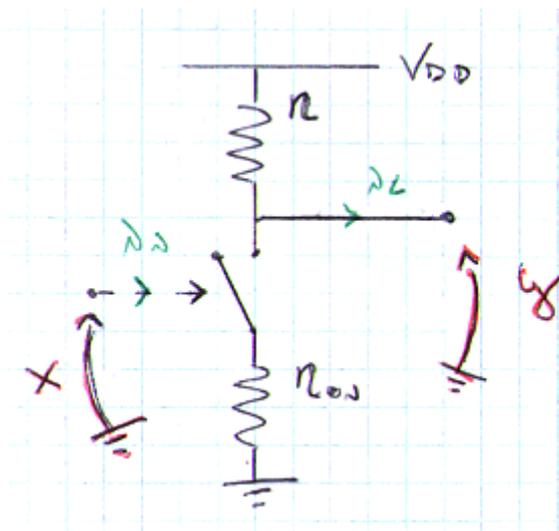
Idealmente, quando la tensione v_i è alta l'interruttore si chiude ed è modellabile come un cortocircuito, quando la v_i è bassa l'interruttore si apre, ed è modellabile come un circuito aperto. Questa è una versione del tutto ideale del nostro dispositivo, e spesso è veramente troppo lontana dalla pratica realizzabilità.

Nella pratica, l'interruttore controllato aperto si comporta molto bene come circuito aperto. Viceversa, quando l'interruttore controllato è chiuso, modellarlo come un cortocircuito ideale è un po' una forzatura, perchè la caduta di tensione ai suoi capi, in presenza di corrente, non è proprio nulla.

Quindi, per approssimare un po' meglio il funzionamento dell'interruttore controllato, lo schematizziamo come un interruttore controllato ideale, in serie a una resistenza R_{ON} molto piccola.



Prima realizzazione di un Invertitore



Definiamo un attimo meglio come funziona l'interruttore.

Detto V_T una certa tensione di riferimento, abbiamo che l'interruttore è

- Chiuso se $v_i > V_T$
- Aperto (interdetto) se $v_i < V_T$

Inoltre, un'altra proprietà importante del nostro interruttore è che la corrente di ingresso richiesta per pilotarlo è nulla: $i_i = 0$. Il che ci ricorda la gate di un MOSFET.

A valle, siccome avremo altre porte logiche, possiamo ipotizzare che la corrente assorbita dal carico sia nulla, $i_L = 0$

Proviamo a vedere qual è la **caratteristica** di trasferimento del nostro circuito.

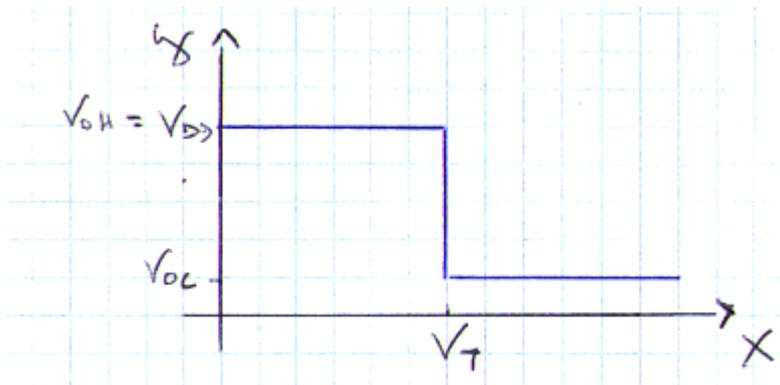
Supponiamo inizialmente che la tensione $x < V_T$, quindi l'interruttore è aperto.

Siccome la corrente che attraversa il dispositivo è nulla, la caduta su R è nulla, e quindi

$$y = V_{DD} .$$

Quando invece $x > V_T$, l'interruttore si chiude, si genera un partitore di tensione, e quindi

$$y = V_{DD} \frac{R_{ON}}{R + R_{ON}} .$$



Quindi i livelli logici sono $V_{OH} = V_{DD}$ e $V_{OL} = V_{DD} \frac{R_{ON}}{R + R_{ON}}$.

Per quanto riguarda V_{IL} e V_{IH} .

Dovrei trovare le ascisse in cui la derivata è pari a -1.

In questo caso la caratteristica è discontinua, quindi possiamo considerare $V_{IL} = V_{IH} = V_T$.

Come conviene che siano R e R_{ON} ?

Siccome il margine di rumore è maggiorato dall'escursione logica: $NM \leq \frac{V_{SW}}{2} = \frac{V_{OH} - V_{OL}}{2}$,

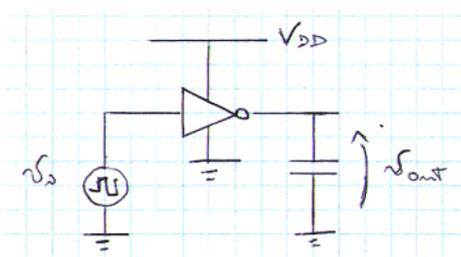
conviene massimizzare l'escursione logica e quindi avere $R_{ON} \ll R$.

Tempi di propagazione

Modelliamo il fan-out con una capacità.

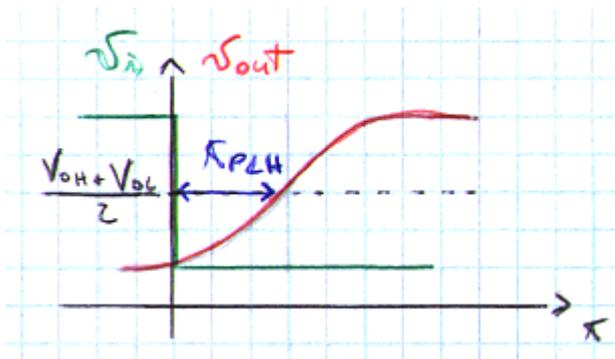
Le porte logiche a valle non assorbono corrente in condizioni stazionarie, ma solo durante i transitori: si comportano come condensatori.

Andiamo a studiare questi transitori.

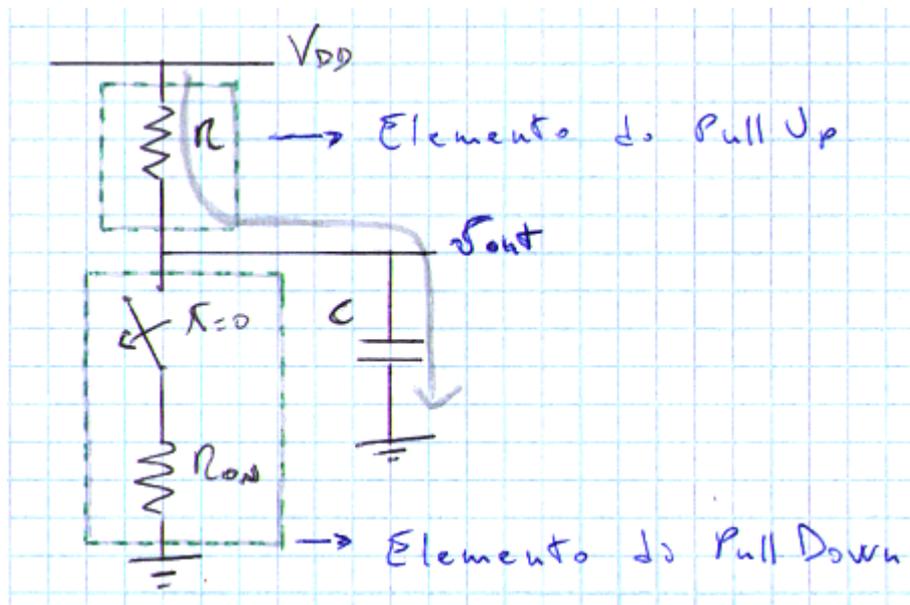


Supponiamo che la tensione di ingresso v_i , al tempo 0, commuti dal livello alto a quello basso. L'uscita, dopo un certo transitorio, andrà al livello alto V_{OH} .

Vogliamo calcolare il t_{PLH} .



Ricordiamoci che il t_{PLH} è l'intervallo di tempo che intercorre tra l'istante in cui l'ingresso raggiunge il valore di riferimento $\frac{V_{OH} + V_{OL}}{2}$, mentre commuta da alto a basso, all'istante in cui l'uscita raggiunge lo stesso valore di riferimento, mentre commuta da basso a alto.



Quindi al tempo 0 l'interruttore è chiuso e $v_{out}(0) = V_{OL}$.

Al tempo 0^+ l'interruttore si apre, e a regime $v_{out}(\infty) = V_{OH}$.

Osserviamo che la resistenza R ha il compito di portare l'uscita verso il livello logico alto, pertanto viene chiamato **elemento di pull up**.

L'interruttore controllato, invece, ha il compito di portare giù la tensione di uscita, pertanto viene chiamato **elemento di pull down**.

L'andamento della tensione sulla capacità la possiamo descrivere come:

$$v_{out}(t) = A + B e^{-\frac{t}{\tau}} \quad \text{con } \tau = RC$$

$$A = v_{out}(\infty) = V_{OH},$$

$$A + B = v_{out}(0) = V_{OL} \Rightarrow B = V_{OL} - V_{OH}$$

$$v_{out}(t) = V_{OH} - (V_{OH} - V_{OL}) e^{-\frac{t}{\tau}}$$

Sappiamo che $v_{out}(t_{PLH}) = \frac{V_{OH} + V_{OL}}{2}$, quindi

$$V_{OH} - (V_{OH} - V_{OL}) e^{-\frac{t_{PLH}}{\tau}} = \frac{V_{OH} + V_{OL}}{2}$$

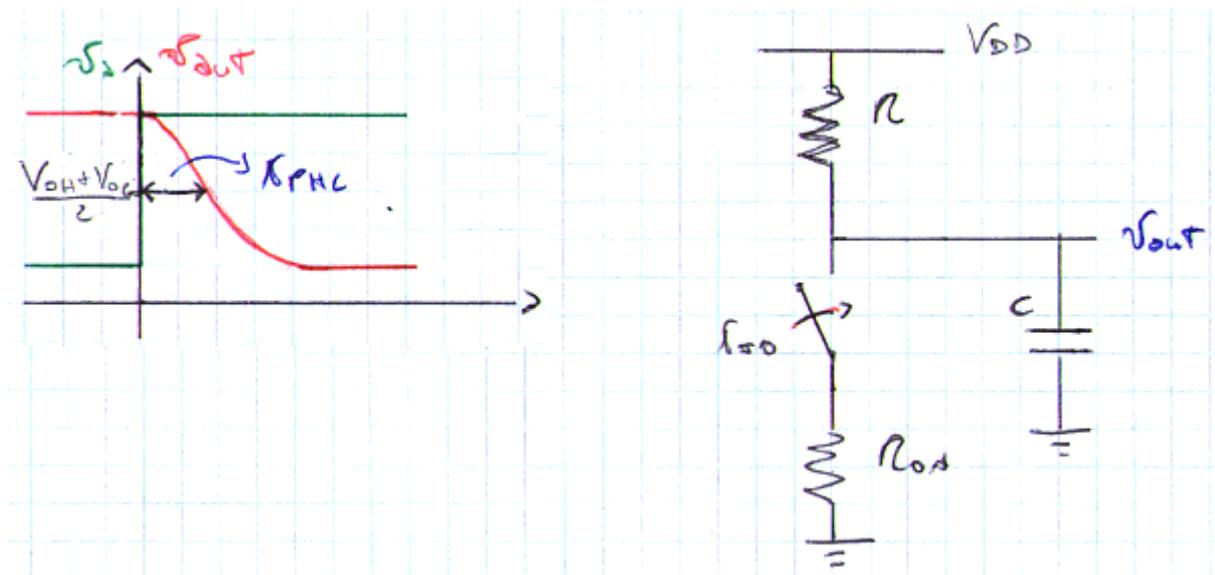
$$(V_{OH} - V_{OL}) e^{-\frac{t_{PLH}}{\tau}} = V_{OH} - \frac{V_{OH} + V_{OL}}{2}$$

$$e^{-\frac{t_{PLH}}{\tau}} = \frac{1}{2} \quad \Rightarrow \quad e^{\frac{t_{PLH}}{\tau}} = 2 \quad \Rightarrow \quad t_{PLH} = \tau \ln(2) = 0,69 RC .$$

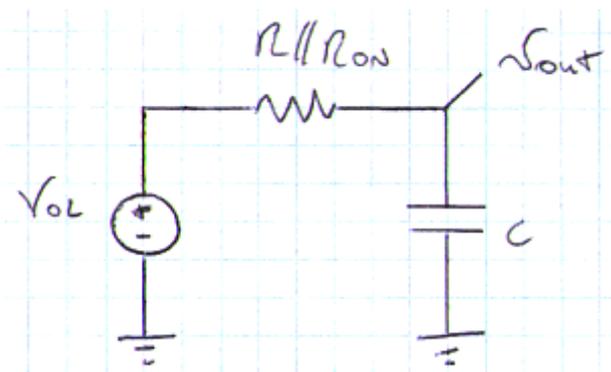
Ora calcoliamo il t_{PHL} .

Quindi al tempo 0 l'interruttore è aperto e $v_{out}(0) = V_{OH}$.

Al tempo 0^+ l'interruttore si chiude, e a regime $v_{out}(\infty) = V_{OL}$.



Semplifichiamo il circuito con Thevenin:



Ci aspettiamo che l'espressione sia la stessa, con una costante di tempo diversa.

Verifichiamolo:

$$v_{out}(t) = A + B e^{-\frac{t}{\tau}} \quad \text{con } \tau = (R // R_{ON}) C$$

$$A = v_{out}(\infty) = V_{OL},$$

$$A + B = v_{out}(0) = V_{OH} \Rightarrow B = V_{OH} - V_{OL}$$

$$v_{out}(t) = V_{OL} + (V_{OH} - V_{OL}) e^{-\frac{t}{\tau}}$$

Sappiamo che $v_{out}(t_{PHL}) \stackrel{\text{def}}{=} \frac{V_{OH} + V_{OL}}{2}$, quindi

$$V_{OL} + (V_{OH} - V_{OL}) e^{-\frac{t_{PHL}}{\tau}} = \frac{V_{OH} + V_{OL}}{2} \quad [\dots]$$

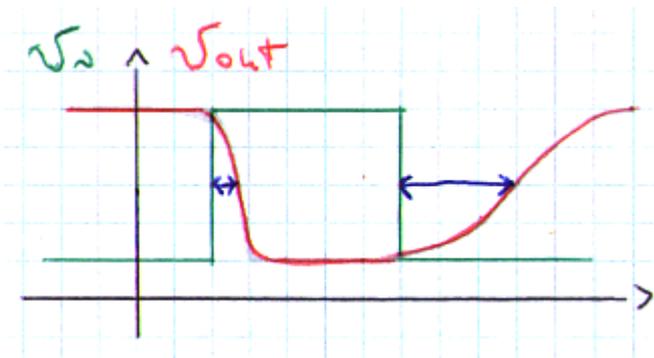
$$t_{PHL} = \tau \ln(2) = 0,69 (R // R_{ON}) C$$

Affinchè il circuito sia progettato bene, in termini di margine di rumore, deve accadere che $R_{ON} \ll R$.

Pertanto, si ha che $t_{PHL} \ll t_{PLH}$

Pertanto il tempo di propagazione $t_p = \frac{t_{PHL} + t_{PLH}}{2} \simeq \frac{t_{PLH}}{2} \simeq 0,35 RC$

Graficamente l'andamento della tensione di uscita è il seguente.



Per quello che abbiamo detto, risulta facile intuire che per ridurre il tempo di propagazione bisogna ridurre la resistenza R , però ci sono delle controindicazioni:

- innanzitutto, devo considerare che deve valere $R_{ON} \ll R$, quindi ridurre sempre di più R mi costringe a ridurre sempre di più R_{ON} , e questa cosa ha dei limiti;
- in secondo luogo, se R è via via più piccola, la corrente che attraversa la resistenza è più grande, e quindi aumenta la **potenza dissipata**.

In generale (anticipazione per le prossime lezioni), quando si tende a velocizzare un circuito, questo dissiperà di più.

Lezione 11

Dissipazione di Potenza

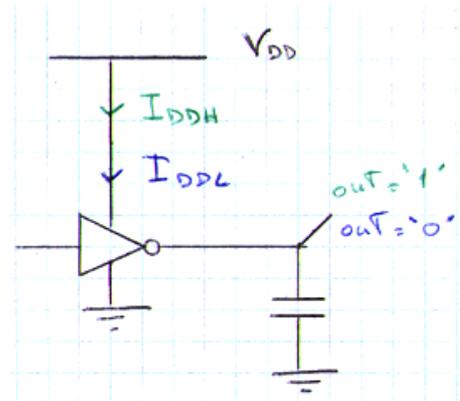
Abbiamo già accennato al fatto che abbiamo due tipi di dissipazione di potenza: dissipazione di potenza **statica** e dissipazione di potenza **dinamica**.

Dissipazione di Potenza Statica

Supponiamo di stare in condizioni stazionarie.

Chiamiamo I_{DDH} la corrente assorbita dall'invertitore quando l'uscita è alta e I_{DDL} la corrente assorbita quando l'uscita è bassa.

(intendo corrente assorbita dall'invertitore, perchè il carico è modellabile da una capacità che in condizioni stazionarie non assorbe corrente)



La potenza statica assorbita quando l'uscita è alta la chiamiamo $P_H \stackrel{\text{def}}{=} V_{DD} \cdot I_{DDH}$.

Mentre la potenza statica assorbita quando l'uscita è bassa la chiamiamo $P_L \stackrel{\text{def}}{=} V_{DD} \cdot I_{DDL}$.

Supponendo che l'uscita sia per il 50% del tempo alta, e per l'altro 50% bassa, possiamo definire in

generale la potenza statica dissipata come $P_{STAT} = \frac{P_H + P_L}{2}$.

La **potenza dinamica**, invece, per il momento non la calcoliamo, l'andremo a valutare dopo, ed è legata alla carica e scarica della capacità di uscita. Per caricare e scaricare questa capacità è necessaria una certa quantità di energia.

Per adesso quello che possiamo dire è che qualora sia presente un'aliquota di dissipazione di potenza statica, questa generalmente è predominante rispetto a quella dinamica:

$$\text{Se } P_{STAT} \neq 0 \Rightarrow P_{STAT} > P_{DIN} .$$

Cerchiamo di quantificare la potenza statica dissipata.

Andiamo quindi a calcolare I_{DDH} e I_{DDL} .

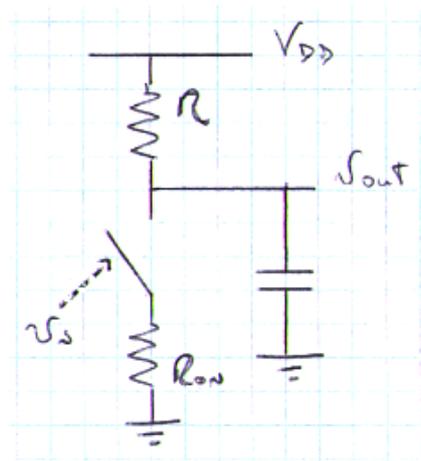
Quando l'uscita è alta, quindi quando l'ingresso è basso e di conseguenza l'interruttore è aperto, non passa corrente, pertanto

$$I_{DDH} = 0 .$$

Quando l'uscita è bassa, l'interruttore è chiuso, e quindi abbiamo un passaggio di corrente attraverso la serie di R e R_{ON} , quindi

$$I_{DDL} = \frac{V_{DD}}{R + R_{ON}} \simeq \frac{V_{DD}}{R}$$

↑ (se $R_{ON} \ll R$)



Da queste osservazioni otteniamo che $P_H = 0$, mentre $P_L = \frac{V_{DD}^2}{R}$.

Dunque, la potenza statica sarà $P_{STAT} = \frac{1}{2} \frac{V_{DD}^2}{R}$

(sempre supponendo che per metà del tempo l'uscita è alta, per l'altra metà bassa).

Osserviamo che sia il tempo di propagazione che la dissipazione di potenza dipendono da R , la R è il parametro con il quale possiamo agire sul nostro circuito.

Osserviamo che questo parametro gioca in maniera opposta, cioè se voglio ridurre il tempo di propagazione devo ridurre la R , mentre se voglio ridurre la potenza dissipata devo aumentare la R .

Chiamiamo **Fattore di Merito** il prodotto *ritardo* · *potenza dissipata* :

$$t_P \cdot P = 0,35 RC \cdot \frac{1}{2} \frac{V_{DD}^2}{R} \simeq 0,18 C V_{DD}^2 \cdot \text{[in Joule, in quanto potenza x tempo]}$$

Migliorando questo parametro riusciamo a migliorare contemporaneamente tempi di propagazione e potenza dissipata.

Chiaramente più piccola è la capacità di carico meglio è, ma non abbiamo ampi margini di azione sul fan-out-

Riducendo l'alimentazione miglioreremmo questo parametro, ma bisogna tener presente che riducendo la tensione di alimentazione si riduce l'escursione logica e quindi i margini di rumore.

Quindi abbiamo visto questo primo invertitore.

L'invertitore così realizzato è alla base delle cosiddette **porte logiche a rapporto**.

Vengono chiamate così perchè per consentire un corretto funzionamento deve accadere che

$$\frac{R_{ON}}{R} \ll 1 \text{ (ricordo: perchè altrimenti } V_{OL} \text{ non è abbastanza bassa rispetto a } V_{OH} \text{)}.$$

Esiste un'altra serie di porte logiche dette **porte logiche non a rapporto**, che invece non hanno questo vincolo, e quindi presentano qualche vantaggio.

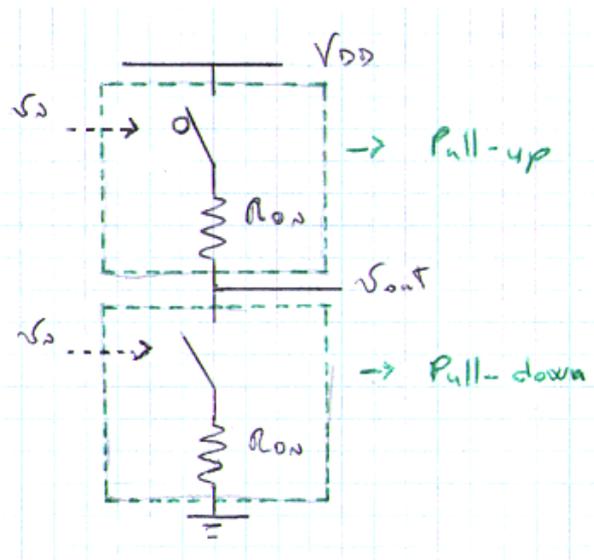
L'idea di base consiste nell'utilizzare degli interruttori sia nella rete di pull-up che nella rete di pull-down.

Vediamo l'interruttore "non a rapporto".

La rete di pull-down la lasciamo inalterata, quindi il solito interruttore controllato e resistenza serie. Andiamo, invece, ad agire sulla rete di pull-up.

Mettiamo un interruttore e relativa resistenza serie anche nella rete di pull-up, ma l'interruttore deve funzionare in maniera complementare a quello nella rete di pull-down, diciamo un **"interruttore negato"**:

quando v_i è alta, quest'interruttore si apre, quando v_i è bassa, l'interruttore si chiude.



- Quando $v_i = '1'$

La rete di pull-down conduce, mentre quella di pull-up è interdetta.

L'uscita è collegata a massa tramite una resistenza, nella quale non passa corrente, quindi

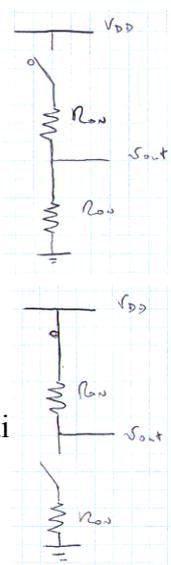
$$v_{out} = '0', I_{DDL} = 0.$$

- Quando $v_i = '0'$

La rete di pull-down è interdetta, mentre quella di pull-up conduce

L'uscita è pari alla tensione di alimentazione, perchè non passa corrente, quindi la caduta su R_{ON} è zero.

$$v_{out} = '1', I_{DDH} = 1.$$



Quindi abbiamo innanzitutto il vantaggio di avere escursione logica completa $\begin{cases} V_{OH} = V_{DD} \\ V_{OL} = 0 \end{cases}$

Un altro e più importante vantaggio è che la potenza statica dissipata è nulla: $P_{STAT} = 0$, perchè la corrente statica che assorbe il circuito è nulla.

Per quanto riguarda i **tempi di propagazione**:

Supponiamo che in un dato istante l'ingresso commuti dal livello basso al livello alto, in uscita avremo la transizione opposta. Quindi la capacità di carico si scarica.

Il t_{PHL} è 0,69 volte la costante di tempo, quindi $t_{PHL} = 0,69 R_{ON} C$.

In maniera analoga, quando l'ingresso commuta dal livello basso a quello alto,

$$t_{PLH} = 0,69 R_{ON} C.$$

Al contrario di quanto avveniva nella logica a rapporto, i tempi di propagazione sono uguali (a patto che le R_{ON} dei due interruttori siano uguali).

Lo svantaggio dei circuiti non a rapporto è che la presenza di due interruttori controllati aumenta la complessità.

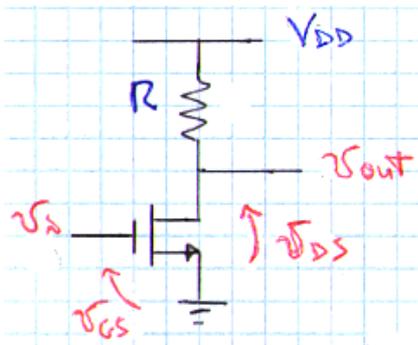
Comunque l'enorme vantaggio sulla dissipazione di potenza fa sì che le porte logiche non a rapporto vengono utilizzate molto di più.

Ora comunque studiamo un'altra logica a rapporto:

Logiche NMOS

Invertitore NMOS con carico resistivo

Sostanzialmente, al posto dell'interruttore controllato (reale, quindi comprensivo di resistenza serie) andiamo a mettere un transistore NMOS:



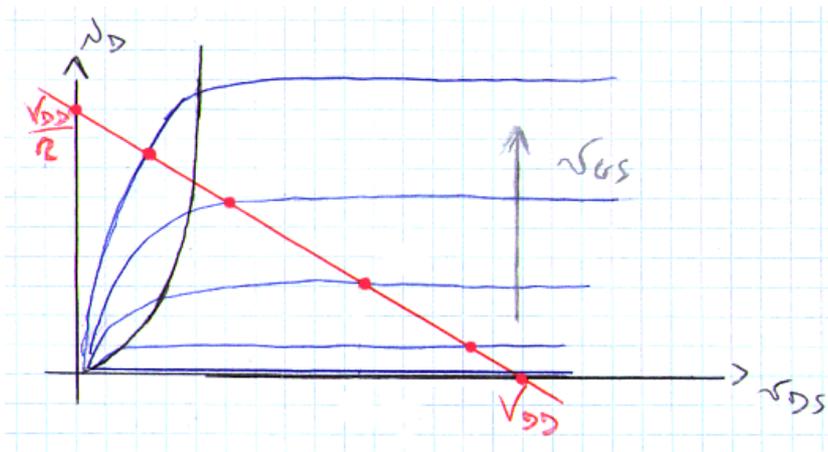
Prima di studiare il comportamento di questo circuito già possiamo aspettarci a priori che:

$$\begin{cases} V_{OH} = V_{DD} \\ V_{OL} \neq 0 \end{cases}, P_{STAT} \neq 0, t_{PLH} \gg t_{PHL}$$

Cerchiamo di ottenere la **caratteristica di trasferimento** di questo circuito (la relazione tra tensione di ingresso e tensione di uscita in condizioni stazionarie):

In questo caso $v_i \equiv v_{GS}$ e $v_{out} \equiv v_{DS}$. Quindi cerchiamo la relazione $v_{DS} = f(v_{GS})$.

Intersechiamo le caratteristiche di uscita del MOSFET con la retta di carico $v_{DS} = V_{DD} - R i_D$



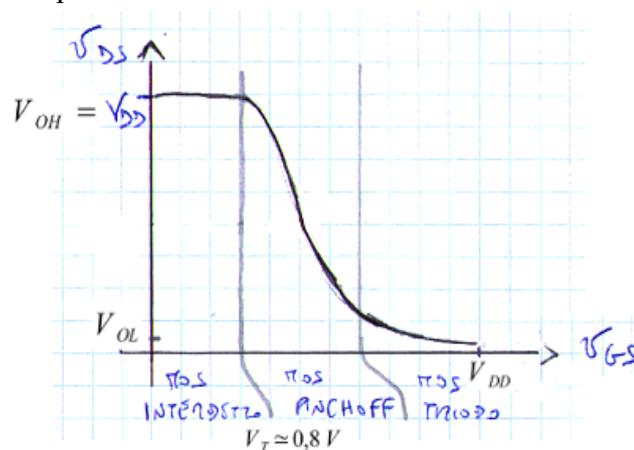
Per trovare la funzione di trasferimento del dispositivo, riportiamo su un grafico la tensione v_{DS} dei punti di intersezione tra la retta di carico e la caratteristica del MOS, al variare di v_{GS} .

Per $v_{GS} < V_T$ “ (tensione di soglia che supponiamo essere di 0,8 V) ”, quando il MOSFET è interdetto, il punto di intersezione è sulle ascisse: $v_{DS} = V_{DD}$

Una volta che v_{GS} supera la tensione di soglia, il MOSFET si trova in zona di pinch-off. I punti di intersezione, all'aumentare della v_{GS} , si avvicinano velocemente alla zona triodo, quindi la tensione v_{DS} relativa a questi punti diminuisce velocemente.

Aumentando ancora la v_{GS} i punti di intersezione si trovano in regione di triodo, la tensione v_{DS} relativa a questi punti, è prossima allo zero, ma la decrescita è più lenta.

Quindi abbiamo questo tipo di andamento:



$$V_{OH} = V_{DD}$$

$V_{OL} = ?$ (La tensione di uscita quando in ingresso c'è il livello alto, quindi quando in ingresso c'è V_{DD})

In zona di triodo: $i_D = K \left[(v_{GS} - V_T) v_{DS} - \frac{1}{2} v_{DS}^2 \right]$, la retta di carico $v_{DS} = V_{DD} - R i_D$

Quindi la caratteristica, quando il MOSFET è in zona di triodo è la seguente:

$$v_{DS} = V_{DD} - R K \left[(v_{GS} - V_T) v_{DS} - \frac{1}{2} v_{DS}^2 \right]$$

Otengo l'uscita bassa, $v_{DS} = V_{OL}$, quando l'ingresso è alto $v_{GS} = V_{OH} = V_{DD}$.

Quindi, sostituendo:

$$V_{OL} = V_{DD} - R K \left[(V_{DD} - V_T) V_{OL} - \frac{1}{2} V_{OL}^2 \right]$$

lo trascuriamo perchè $\frac{1}{2} V_{OL}^2 \ll (V_{DD} - V_T) V_{OL}$

$$\Rightarrow V_{OL} [1 + R K (V_{DD} - V_T)] \simeq V_{DD}$$

$$\Rightarrow V_{OL} \simeq \frac{V_{DD}}{1 + R K (V_{DD} - V_T)}$$

Nel caso dell'invertitore realizzato con l'interruttore avevamo che

$$V_{OL} = V_{DD} \frac{R_{ON}}{R + R_{ON}} = \frac{V_{DD}}{1 + \frac{R}{R_{ON}}}$$

Le due equazioni sono uguali se chiamiamo $R_{ON} \stackrel{\text{def}}{=} \frac{1}{K(V_{DD} - V_T)}$.

Quindi diciamo che il nostro transistor, per il calcolo della V_{OL} si può approssimare con questa resistenza.

Per migliorare le prestazioni dell'invertitore, dobbiamo ridurre la R_{ON} , sempre per massimizzare l'escursione logica.

Per ridurre la R_{ON} possiamo aumentare K , che ricordiamo essere definita come $K = K' \frac{W}{L}$ con W larghezza del canale e L lunghezza del canale.

Per ridurre la R_{ON} , quindi, o riduciamo L , o aumentiamo W .

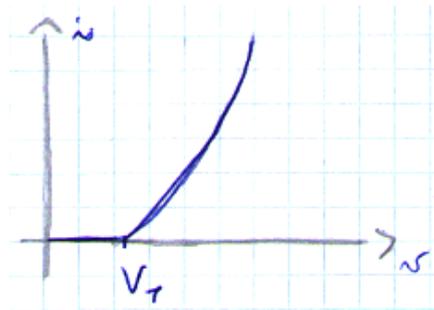
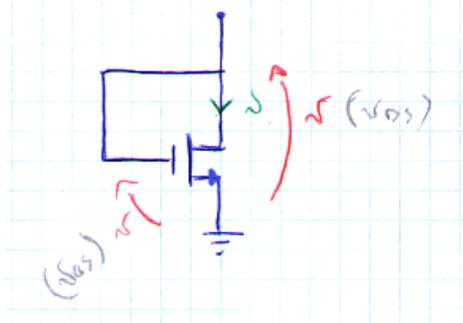
Conviene ridurre la L , così da avere anche un dispositivo più piccolo.

Quindi, ricapitolando, riducendo L rendo il dispositivo più piccolo e riduco la "resistenza" che modella il dispositivo, così da migliorarne le prestazioni, perchè riduco la V_{OL} .

Non ci sono controindicazioni nel ridurre la L . Il problema è che è difficile realizzare transistor con questa lunghezza del canale sempre più piccola.

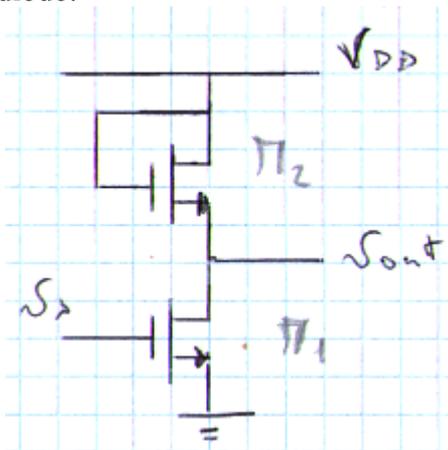
Siccome i resistori nei circuiti integrati occuperebbero la maggior parte dello spazio, l'utilizzo dei resistori è stato soppiantato da un utilizzo particolare dei transistor stessi.

Un **primo esempio** è costituito dai transistor collegati a diodo:



Invertitore NMOS con elemento di carico costituito da un NMOS collegato a diodo

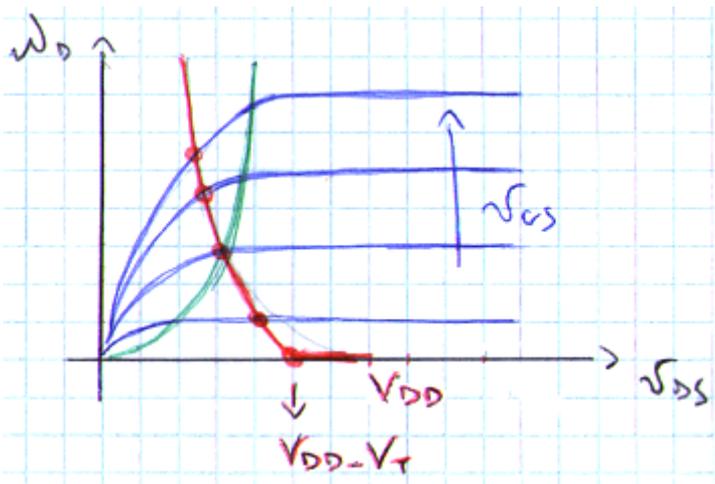
Quindi sostituiamo al resistore (il prof lo chiama resistore di carico) con questo NMOS collegato a diodo.



La caratteristica del dispositivo:

Sovrapponiamo al piano delle caratteristiche del MOSFET M1 e ci sovrapponiamo la caratteristica di M2 (curva di carico).

Nel sovrapporre la curva di carico di M2 (qua non ho la relazione matematica), ribalto rispetto all'asse verticale e traslo di V_{DD} (come ho implicitamente fatto nel caso del resistore).



Dopodichè possiamo trovare la caratteristica del dispositivo così come abbiamo fatto prima, cioè andando a vedere la v_{DS} delle intersezioni al variare di v_{GS} .

Senza vedere nello specifico la caratteristica, facciamo solo la seguente considerazione

Quando l'ingresso è zero, cioè la v_{GS} l'intersezione ha $v_{DS} = V_{DD} - V_T$.

Quindi il livello alto non è più V_{DD} , ma $V_{DD} - V_T$.

Questo non va bene, perchè riduciamo l'escursione logica, e quindi i margini di rumore.

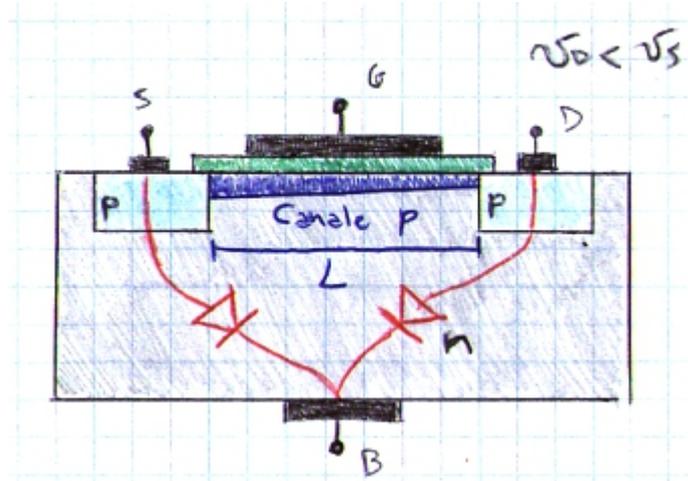
Questo è il motivo per cui le logiche NMOS sono state abbandonate.

Dobbiamo trovare un altro modo per emulare quella resistenza usando dei transistori.
La cosa migliore sarebbe quella di usare un transistore **PMOS**.

(li vediamo la prossima lezione)

Lezione 12

PMOS



E' un dispositivo complementare all'NMOS.

E' costituito a partire da un substrato, sta volta di tipo n, contattato con il solito terminale di substrato, detto B (**body**).

All'interno del substrato sono introdotte due zone di tipo p, che sono contattate e i due morsetti saranno S (**source**) e D (**drain**).

In questo caso chiamiamo drain il morsetto tra i due che è a potenziale minore.

Tra le due zone abbiamo la regione di canale, che in questo caso sarà di tipo p, e che avrà lunghezza L e larghezza W.

Abbiamo il solito ossido di isolamento al di sopra del quale abbiamo il morsetto G (**gate**).

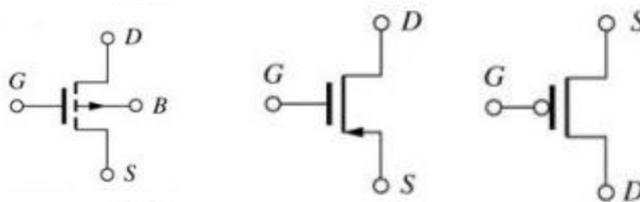
Il terminale di substrato anche in questo caso è vincolato.

Perchè anche in questo caso si vuole inibire l'utilizzo del dispositivo come se fosse costituito da due diodi (come rappresentato in figura).

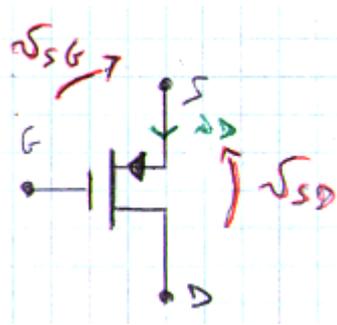
In questo caso, anodo e catodo dei diodi sono invertiti rispetto a quanto visto per l'NMOS, e siccome vogliamo che i diodi siano sempre polarizzati inversamente, è necessario che il morsetto di substrato sia sempre al potenziale più alto della rete (tipicamente la tensione di alimentazione

V_{DD})

Anche in questo caso abbiamo diversi simboli per rappresentare il dispositivo:



Noi comunque utilizziamo perlopiù questo ↑ e questo ↑ (col pallino).



Siccome il potenziale più alto è quello sul source, conviene considerare come **tensione di uscita**, la v_{SD} , e come **tensione di comando**, la v_{SG} , così da poter considerare delle tensioni positive.

La corrente positiva $i_D \equiv i_S$, sta volta, entra dal source e esce dal drain.

La tensione di soglia, per evitare confusione, la considereremo come valore assoluto di una tensione negativa: $|V_{TP}|$

Le equazioni che regolano il funzionamento del PMOS sono perfettamente analoghe a quelle dell'NMOS:

$$i_D = \begin{cases} 0 & \text{se } v_{SG} < |V_{TP}| & \text{[interdizione]} \\ K \left[(v_{SG} - |V_{TP}|) v_{SD} - \frac{1}{2} v_{SD}^2 \right] & \text{se } v_{SG} \geq |V_{TP}| \text{ e } v_{SD} \leq v_{SG} - |V_{TP}| & \text{[triodo]} \\ \frac{K}{2} (v_{SG} - |V_{TP}|)^2 & \text{se } v_{SG} \geq |V_{TP}| \text{ e } v_{SD} \geq v_{SG} - |V_{TP}| & \text{[pinch-off]} \end{cases}$$

Il parametro K nel caso del PMOS:

$K = K'_p \frac{W}{L}$ dove $K'_p = \mu_p \frac{\epsilon_{OX}}{t_{OX}}$ dove μ_p è la mobilità delle lacune che in generale è più piccola di quella degli elettroni μ_n , da cui dipendeva il K' dell'NMOS. In particolare si può dimostrare che $\mu_n \simeq 2 - 2,5 \mu_p$.

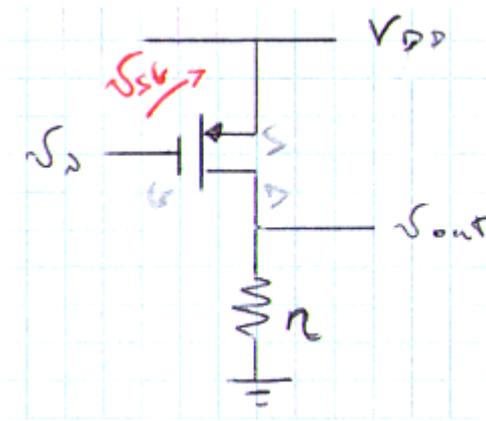
A causa di questa unica differenza tra NMOS e PMOS, possiamo dire che, a parità di dimensione geometrica e a parità di tensioni con cui sono polarizzati i dispositivi, la corrente che circola nell'NMOS è circa il doppio di quella che circola nel PMOS (gli NMOS affinale so migliori).

Nel seguito, tra PMOS e NMOS (credo quando sono all'interno dello stesso circuito) supporremo di avere le **stesse tensioni soglia**.

$|V_{TP}| \simeq V_{TN}$ (dove per V_{TN} intendo la tensione di soglia dell'NMOS che chiamavamo V_T)
Se questo accade, chiamiamo V_T la tensione di soglia comune ai dispositivi.

Invertitore PMOS

(per capire che il PMOS funziona come un interruttore negato)



Questa è la versione duale dell'invertitore con NMOS e resistenza, che vedremo dopo aver sostituito all'interruttore l'NMOS.

In questo caso il PMOS lo colleghiamo col source alla tensione più alta del circuito, la tensione di alimentazione.

Si ha che la tensione di comando $v_{SG} = V_{DD} - v_i$, quindi

quando la tensione di ingresso è alta: $v_i = V_{DD} \Rightarrow$

$v_{SG} = 0$ il dispositivo è spento

quando la tensione di ingresso è bassa: $v_i = 0 \Rightarrow v_{SG} = V_{DD}$ il dispositivo conduce

Lo possiamo vedere come un interruttore che funziona in logica negata.

Ecco perchè esiste la notazione col pallino sulla gate.

Il dispositivo realizza un invertitore.

I livelli logici me li dovrei calcolare come ho fatto per il caso con l'NMOS. Ma il prof non fa ulteriori calcoli.

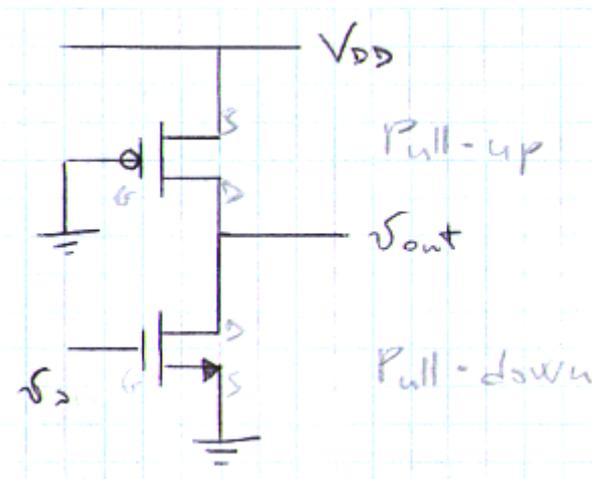
E' meglio l'invertitore "NMOS + resistenza" o questo "PMOS + resistenza"?

Apparentemente sono uguali.

E' meglio quello con l'NMOS in quanto a parità di dimensione del transistor il PMOS fa passare il doppio della corrente, e quindi la R_{ON} del transistor (che a quanto pare si chiama **resistenza in conduzione**) è la metà, il che migliora le prestazioni del dispositivo.

Ritorniamo sull'invertitore "NMOS + resistenza" e vediamo di utilizzare al posto dell'**elemento di carico** R , nella rete di pull-up, il PMOS con l'elemento di carico. (Ricordiamoci che abbiamo provato pure a mettere l'NMOS collegato a diodo come elemento di carico, ma non ci piaceva)

Invertitore Pseudo NMOS



(Il carico è costituito dal nostro PMOS, lo disegno col pallino sulla gate)

Voglio che il PMOS sia in conduzione. Per accendere il PMOS basta collegare la gate a massa.

Questa struttura viene chiamata **pseudo NMOS**, perchè ci ricorda la logica NMOS, ma non c'è la resistenza, c'è un dispositivo a canale p di carico.

Questo circuito si studia in maniera analoga a quanto visto per la resistenza, solo che anziché avere una retta di carico, abbiamo una curva di carico data da una delle caratteristiche del PMOS.

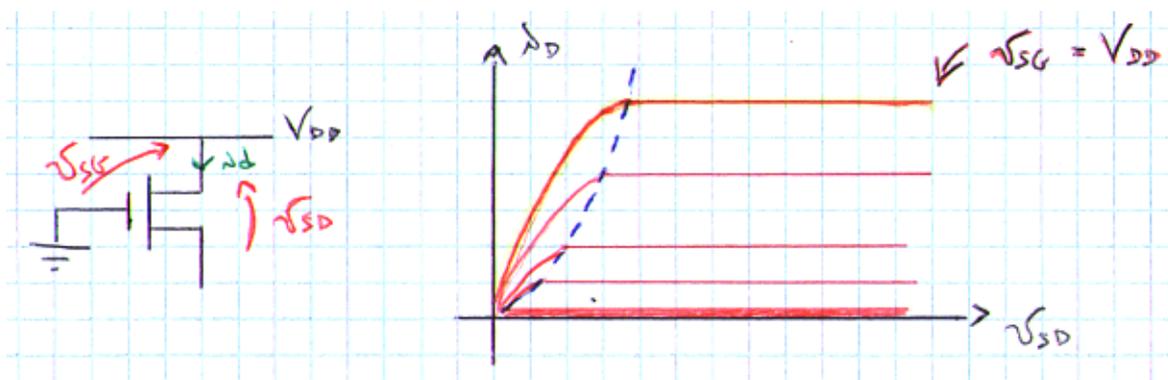
Data questa analogia, possiamo aspettarci subito che

$$\begin{cases} V_{OH} = V_{DD} \\ V_{OL} \neq 0 \end{cases}, \text{ che } t_{PHL} \ll t_{PLH} \text{ e che (ricordandoci quello che succedeva con}$$

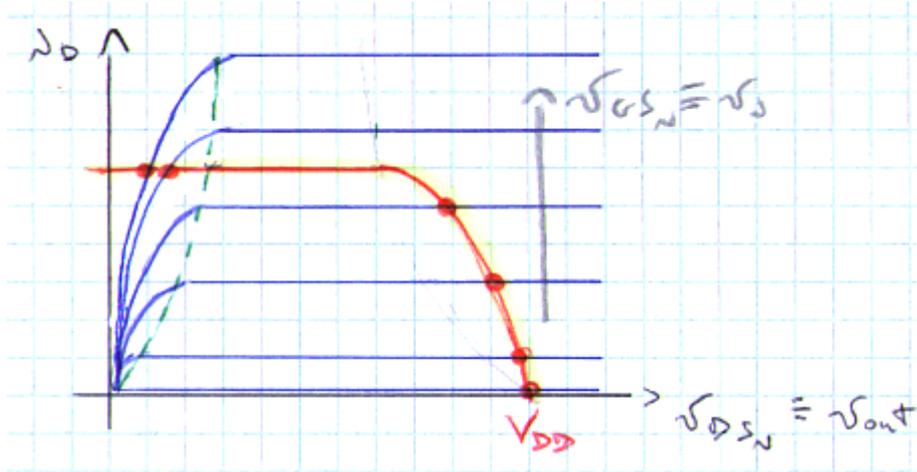
l'invertitore con l'interruttore, perchè con l'NMOS non l'abbiamo fatto, ma comunque si può dire la stessa cosa) $P_{STAT} \neq 0$. In particolare si ha dissipazione di potenza quando l'uscita è bassa, perchè solo in quel caso il dispositivo assorbe corrente continua.

Cerchiamo di tracciare la **caratteristica** del circuito.

Innanzitutto la caratteristica dell'elemento di carico è la seguente (la curva per cui $v_{SG} = V_{DD}$):



Sovrapponiamo la caratteristica dell'elemento di carico al piano delle caratteristiche dell'NMOS: (ribaltiamo e trasliamo di V_{DD} la caratteristica dell'elemento di carico).



Come al solito, per tracciare la caratteristica cerchiamo di capire da questo grafico come variano le v_{DS} relative ai punti di intersezione, al variare di v_{GS} .

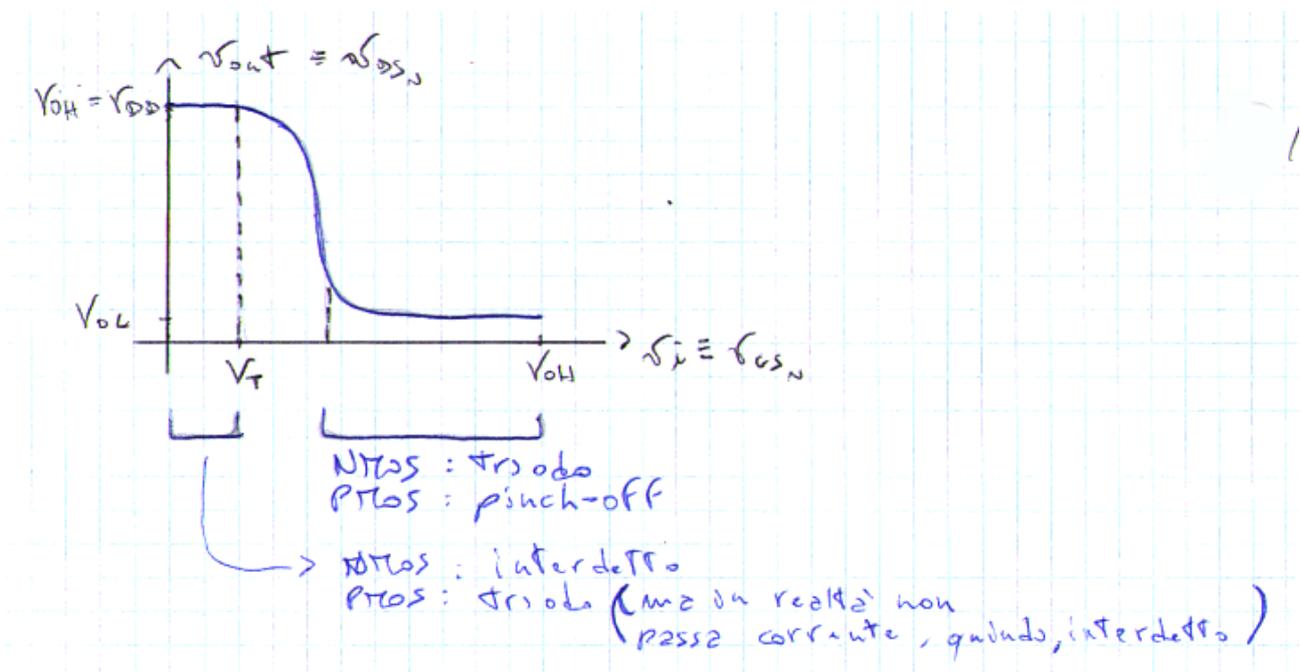
Finchè la tensione di ingresso (la v_{GS} dell'NMOS) non raggiunge la tensione di soglia dell'NMOS, V_T la tensione di uscita (la v_{DS} dell'NMOS) rimane costante e pari a V_{DD} .

Quindi $V_{OH} = V_{DD}$.

Quando la tensione di ingresso supera la tensione di soglia, le intersezioni cominciano a distanziarsi in termini di v_{DS} , prima più lentamente poi molto rapidamente, finchè le tensioni di ingresso non sono tali per cui l'NMOS si trova in zona di triodo, e qui di nuovo abbiamo che le intersezioni sono distanziate di poco man mano che considero v_{GS} sempre più grandi.

Infine, quando considero v_{GS} massima, cioè $v_{GS} = V_{DD}$, ottengo l'intersezione con la v_{DS} di valore minimo, che quindi sarà V_{OL} .

La caratteristica sarà qualcosa del genere:



Sappiamo che $V_{OH} = V_{DD}$.

Calcoliamoci V_{OL} .

Sappiamo che la corrente dell'NMOS, quando è in zona di triodo ha il seguente andamento:

$$i_{D_N} = K_N \left[(v_{GS} - V_T) v_{DS} - \frac{1}{2} v_{DS}^2 \right]$$

↑ lo trascuriamo

Se l'ingresso è alto, $v_i \equiv v_{GS} = V_{DD}$, l'uscita sarà bassa $v_{out} \equiv v_{DS} = V_{OL}$ e la corrente sarà

$$i_{D_N} \simeq K_N (V_{DD} - V_T) V_{OL}$$

In generale il piano delle caratteristiche dell'PMOS, quando è in pinch-off è descritto da:

$$i_{D_P} = K_P \frac{1}{2} (v_{SG} - V_T)^2$$

La v_{SG} è fissata a V_{DD} , quindi prendiamo solo la retta

$$i_{D_P} = K_P \frac{1}{2} (V_{DD} - V_T)^2.$$

La corrente del PMOS e dell'NMOS sono uguali (infatti prima abbiamo intersecato i grafici uguagliando implicitamente le i_D), quindi posso uguagliare le due espressioni:

$$K_N (V_{DD} - V_T) V_{OL} \simeq K_P \frac{1}{2} (V_{DD} - V_T)^2$$

$$V_{OL} \simeq \frac{1}{2} \frac{K_P}{K_N} (V_{DD} - V_T)$$

Sapendo che

$$\frac{K_P}{K_N} = \frac{\mu_P \frac{\epsilon_{OX}}{t_{OX}} \left(\frac{W}{L} \right)_P}{\mu_N \frac{\epsilon_{OX}}{t_{OX}} \left(\frac{W}{L} \right)_N} = \frac{1}{2,5} \frac{(W/L)_P}{(W/L)_N}$$

Abbiamo che

$$V_{OL} \simeq \frac{1}{5} \frac{(W/L)_P}{(W/L)_N} (V_{DD} - V_T)$$

Quindi di solito si sceglie il W/L del PMOS molto più piccolo del W/L dell'NMOS.

Calcoliamo la **Potenza Dissipata**.

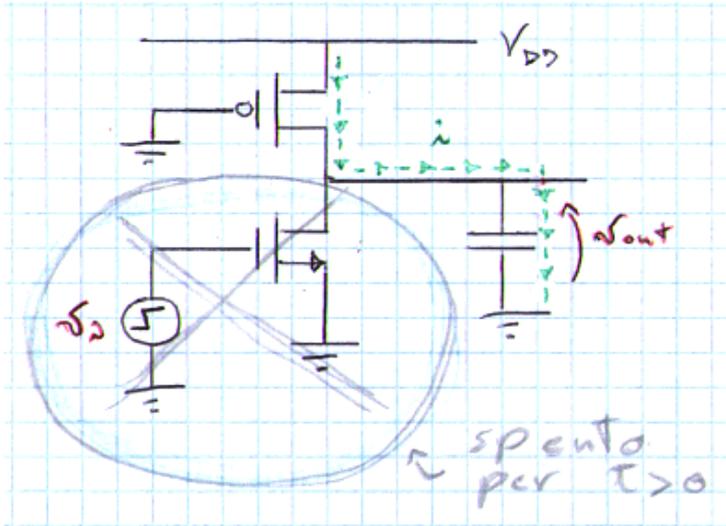
$$P_{STAT} = \frac{V_{DD} I_{DDH} + V_{DD} I_{DDL}}{2} \quad (\text{quando l'uscita è alta non passa corrente})$$

dove

$$I_{DDL} = \frac{1}{2} K_P (V_{DD} - V_T)^2.$$

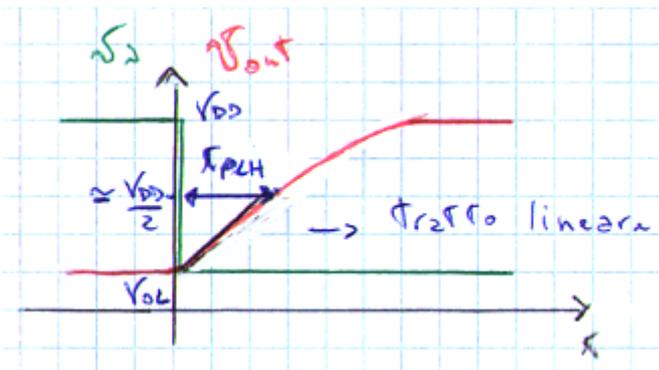
Calcoliamo i **Tempi di propagazione**. (Attenzione, i conti valgono anche per le logiche CMOS)

Partiamo con t_{PLH} .



All'istante 0 l'ingresso è alto e l'uscita è bassa: $v_i(0) = V_{DD}$, $v_{out}(0) = V_{OL}$

All'istante 0^+ l'ingresso v_i commuta da alto a basso: $v_i(0^+) = V_{OL}$, l'NMOS si spegne, la capacità in uscita si carica grazie alla corrente che fluisce attraverso il PMOS e, dopo un certo transitorio, l'uscita si porta a $v_{out}(\infty) = V_{DD}$.



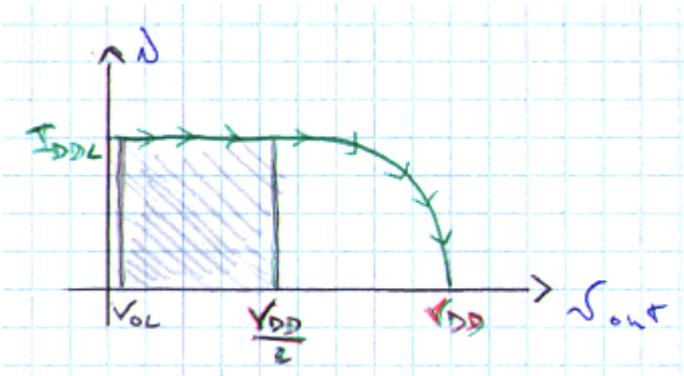
Come al solito dobbiamo calcolare l'intervallo di tempo che intercorre tra l'istante in cui la tensione di ingresso raggiunge la tensione di riferimento mentre scende, a quello in cui la tensione di uscita raggiunge la tensione di riferimento mentre sale.

Come tensione di riferimento prendiamo come al

solito
$$\frac{V_{OH} + V_{OL}}{2} \approx \frac{V_{DD}}{2}$$

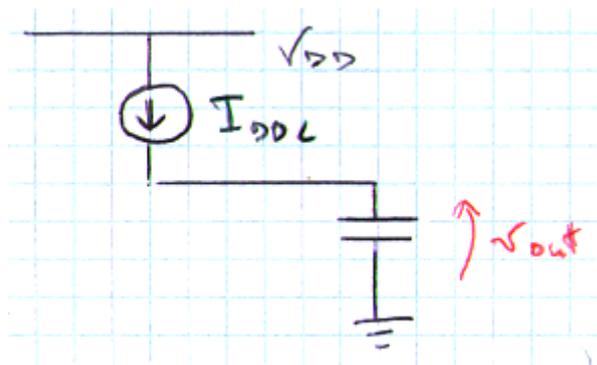
Siamo interessati l'andamento della corrente di carica quando la tensione di uscita varia tra V_{OL} e $\frac{V_{DD}}{2}$.

La corrente di carica, cioè quella che passa nel PMOS, in funzione della tensione di uscita è la seguente:



Nel tratto che ci interessa, la corrente di carica è costante e pari a I_{DDL} .

Quindi possiamo approssimare il circuito in questo modo:



$$C \frac{dv}{dt} \approx I_{DDL}$$

Quindi nel primo tratto stiamo approssimando l'andamento della tensione di uscita come se fosse lineare rispetto al tempo.
(l'approssimazione credo stia nel fatto che in realtà, nel grafico della corrente di carica, se considerassimo il condensatore, non sarebbe perfettamente lineare, manco nel primo tratto)

$$\text{Quindi la tensione di uscita sarà } v_{out}(t) \approx v_{out}(0) + \frac{I_{DDL}}{C} t = V_{OL} + \frac{I_{DDL}}{C} t$$

$$\text{Imponiamo la condizione che } v(t_{PLH}) \approx \frac{V_{DD}}{2}$$

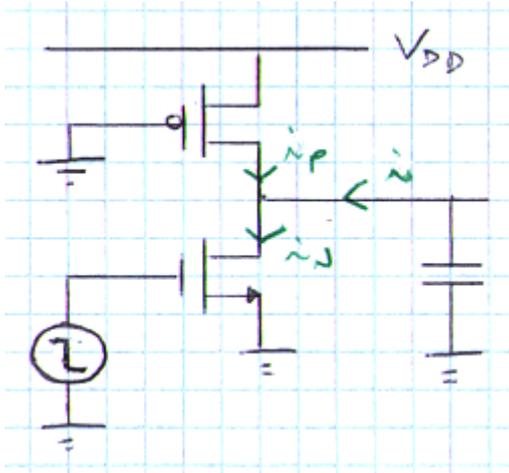
Nell'approssimare la tensione di riferimento a $\frac{V_{DD}}{2}$, abbiamo trascurato V_{OL} . Quindi nell'imporre l'uguaglianza trascuriamo anche V_{OL} che sta nell'andamento della v_{out} :

$$\frac{I_{DDL}}{C} t_{PLH} = \frac{V_{DD}}{2} \Rightarrow$$

$$t_{PLH} = \frac{C V_{DD}}{2 I_{DDL}}$$

Per il tempo di propagazione ci converrebbe avere una corrente I_{DDL} grande, ma la potenza dissipata sarebbe maggiore.

Calcoliamo ora invece il t_{PHL} .



Abbiamo ovviamente il comportamento opposto.

All'istante 0 l'ingresso è basso e l'uscita è alta:

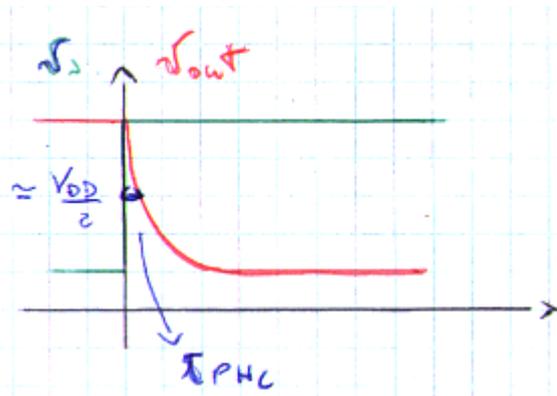
$$v_i(0) = V_{OL}, v_{out}(0) = V_{DD}$$

All'istante 0^+ l'ingresso v_i commuta da basso a alto:

$$v_i(0^+) = V_{DD}, \text{ l'NMOS si accende, la capacità in uscita}$$

si scarica e, dopo un certo transitorio, l'uscita si porta a

$$v_{out}(\infty) = V_{OL}.$$

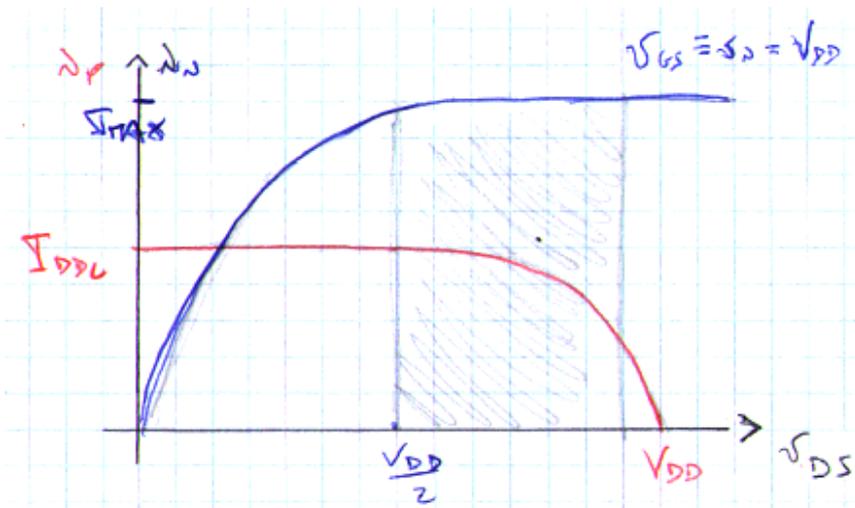


La corrente di scarica del condensatore è data dalla differenza tra la corrente che fluisce nell'NMOS e la corrente che fluisce nel PMOS:

$$i = i_N - i_P$$

L'andamento della i_N (credo, come prima, sempre facendo finta che la capacità non esista) è la curva del piano delle caratteristiche del MOSFET per cui la $v_{GS} = V_{DD}$, quindi la curva più in alto.

L'andamento della i_P è quello di prima.



La corrente di scarica, i , è la differenza delle due, ma semplifichiamo l'analisi trascurando la corrente del PMOS, quindi semplifichiamo: $i \approx i_N$.

Siamo interessati l'andamento della "corrente di scarica", i_N quando la tensione di uscita varia tra

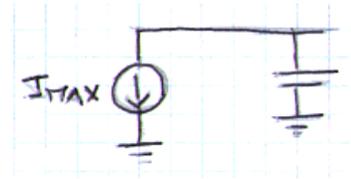
$$V_{DD} \text{ e } \frac{V_{DD}}{2} .$$

Nel tratto che ci interessa, la corrente è costante e pari a un certo I_{MAX} , che è la corrente dell' NMOS in pinch-off, (con $v_{GS} = V_{DD}$), quindi

$$I_{MAX} = \frac{1}{2} K_N (V_{DD} - V_T)^2 .$$

Quindi ragionando come prima (immagino che avrei potuto semplificare il circuito così:

$$\text{otteniamo } t_{PHL} = \frac{C V_{DD}}{2 I_{MAX}}$$



Siccome la W/L del PMOS è scelta molto più piccola di quella dell'NMOS, $I_{MAX} \gg I_{DDL}$, e quindi

$$t_{PHL} \ll t_{PLH}$$

$$t_P = \frac{t_{PLH} + t_{PHL}}{2} \simeq \frac{1}{2} t_{PLH} \simeq \frac{1}{4} \frac{C V_{DD}}{I_{DDL}}$$

Il **Fattore di Merito** (*ritardo · potenza dissipata*) è

$$\left(\frac{1}{2} V_{DD} I_{DDL} \right) \left(\frac{1}{4} \frac{C V_{DD}}{I_{DDL}} \right) = \frac{1}{8} C V_{DD}^2$$

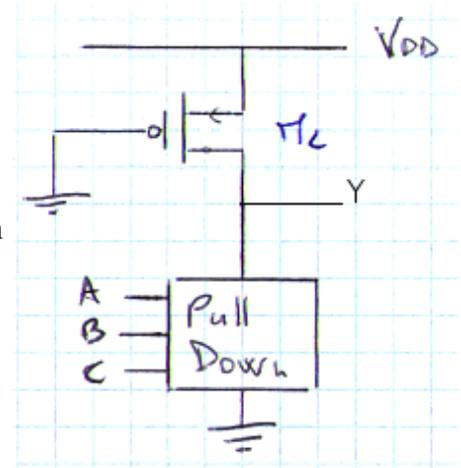
Lezione 13

Porte logiche Pseudo NMOS

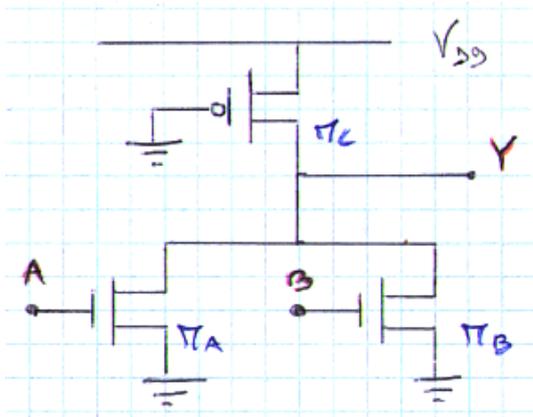
La topologia alla quale facciamo riferimento è quella nella quale resta un dispositivo di pull-up sempre attivo.

E andiamo a sostituire il semplice dispositivo che compone la rete di pull-down di un invertitore con una rete più complessa, che collga tra di loro diversi dispositivi NMOS tutti pilotati da un certo numero di segnali di ingresso.

In relazione a come realizziamo l'interconnessione tra questi dispositivi all'interno di questa rete, potremo realizzare diverse funzioni logiche.



NOR



Il circuito è simile a quello dell'invertitore, ad eccezione del fatto che nella rete di pull-down abbiamo due NMOS in parallelo.

I due NMOS sono pilotati dai due ingressi sui quali vogliamo effettuare la funzione NOR.

Supponiamo che i due dispositivi siano uguali.

Se entrambi gli NMOS sono spenti, conduce solo il PMOS, quindi l'uscita è alta. E' sufficiente che uno dei due dispositivi NMOS sia acceso, per portare in conduzione la rete di pull-down e quindi ottenere uscita bassa.

$$V_{OH} = V_{DD}$$

Calcoliamo la V_{OL}

Possiamo schematizzare ciascun dispositivo NMOS con la serie di un interruttore ideale, seguito

dalla resistenza in conduzione R_{ON} di valore $R_{ON} = \frac{1}{K_N (V_{DD} - V_T)}$.

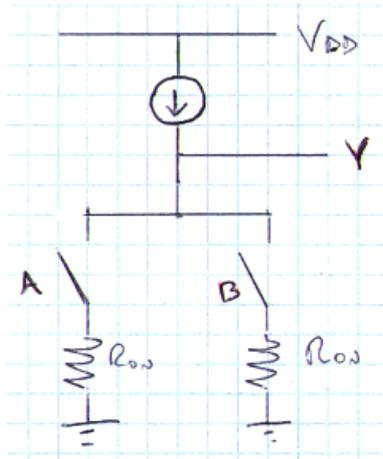
Quando l'uscita è bassa la corrente continua assorbita dal dispositivo è la corrente di pinch-off del

A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0

$$\text{PMOS: } I_{DDL} = \frac{1}{2} K_P (V_{DD} - V_T)^2 .$$

Quindi schematizziamo il PMOS come un generatore di corrente I_{DDL} :

Invertitore Equivalente (NOR)



Dobbiamo considerare i 3 casi in cui l'uscita è bassa: (A=1, B=0), (A=0, B=1), (A=1, B=1), perchè in generale non è detto che V_{OL} sia la stessa per tutti e tre.

A	B	R_{eq}	V_{OL}
0	1	R_{ON}	$I_{DDL} \cdot R_{ON}$
1	0	R_{ON}	$I_{DDL} \cdot R_{ON}$
1	1	$R_{ON}/2$	$I_{DDL} \cdot R_{ON}/2$

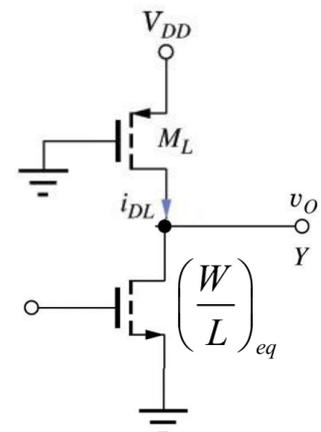
Nei primi due casi, cioè quando è solo uno dei due NMOS/interruttori ad essere acceso, abbiamo lo stesso comportamento di un invertitore, quindi la rete di pull-down dalla sola resistenza di valore R_{ON} e la $V_{OL} = I_{DDL} \cdot R_{ON}$.

Nel caso in cui entrambi i dispositivi sono accesi, la rete di pull-down dell'invertitore equivalente è una resistenza di valore $R_{eq} = \frac{R_{ON}}{2}$, pertanto la $V_{OL} = I_{DDL} \cdot R_{eq} = \frac{I_{DDL} \cdot R_{ON}}{2}$.

Quindi abbiamo un caso più favorevole in cui la V_{OL} è più piccola, e due casi peggiori in cui la V_{OL} assume il doppio del valore. (Per l'ennesima volta: aumentare V_{OL} implica una diminuzione dell'escursione logica => peggioramento dei margini di rumore e quindi delle prestazioni del dispositivo)

Notiamo che R_{ON} è inversamente proporzionale a $\left(\frac{W}{L}\right)_N$, pertanto due NMOS in parallelo possono essere visti come un unico NMOS di larghezza doppia (o di lunghezza metà), cioè $2\left(\frac{W}{L}\right)_N$, che quindi ha una resistenza in conduzione che è metà di quella dei singoli NMOS:

$$\frac{R_{ON}}{2} .$$



(questo è l'"invertitore equivalente" →

è un invertitore a cui possiamo ricondurre una porta logica con una particolare combinazione di ingressi. Le dimensioni dei dispositivi dell'invertitore equivalente variano a seconda di come sono collegati i dispositivi nella porta logica che modella e quali di questi sono attivi

Di solito ci interessa il caso peggiore)

Tempi di propagazione (NOR)

Mettiamo la solita capacità che modella il fan-out.

Il t_{PLH} dipende solo dal dispositivo di pull-up, difatti l'uscita si può portare al livello alto solo quando si spengono entrambi gli NMOS.

Il meccanismo di carica della capacità è esattamente quello visto per l'invertitore, cioè il dispositivo si carica con una corrente costante che è la corrente di pinch-off del PMOS, I_{DDL} .

$$t_{PLH} = \frac{C V_{DD}}{2 I_{DDL}}$$

Per quanto riguarda il tempo di propagazione t_{PHL} .

Esso dipende, invece, dalla corrente che attraversa la rete di pull-down.

Avremo tempi di propagazione diversi, a seconda che sia solo uno dei due dispositivi ad essere acceso o entrambi i dispositivi.

Il t_{PHL} nel quale conduce solo uno dei dispositivi, analogamente a quanto visto per l'invertitore,

detta $I_{MAX} = \frac{1}{2} K_N (V_{DD} - V_T)^2$ la corrente di pinch-off dell'NMOS (con tensione di comando V_{DD}) è

$$t_{PHL} = \frac{C V_{DD}}{2 I_{MAX}}$$

Per quanto riguarda il t_{PHL} nel quale conducono entrambi i dispositivi, possiamo approssimare il parallelo dei due dispositivi con un dispositivo equivalente largo il doppio, e quindi avente una

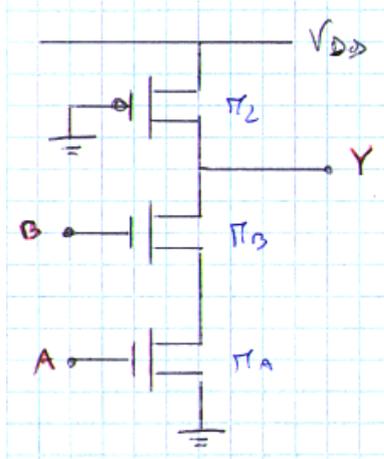
resistenza in conduzione $R_{eq} = \frac{R_{ON}}{2}$, quindi con una corrente di pinch-off doppia rispetto a quella del singolo dispositivo:

$$t_{PHL} = \frac{C V_{DD}}{4 I_{MAX}}$$

I tempi di propagazione sono asimmetrici: $t_{PHL} \ll t_{PLH}$, come vedremo, tralaltro per tutte le porte in logica Pseudo NMOS, sempre per via della questione che scegliamo il W/L del PMOS più piccolo di quelli degli NMOS, e quindi possiamo definire:

$$t_P \simeq \frac{t_{PLH}}{2} = \frac{C V_{DD}}{4 I_{DDL}} \quad (\text{come quella dell'invertitore pseudo nmos}).$$

NAND



A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

E' la porta duale alla NOR. In questo caso gli NMOS nella rete di pull-down sono in serie.

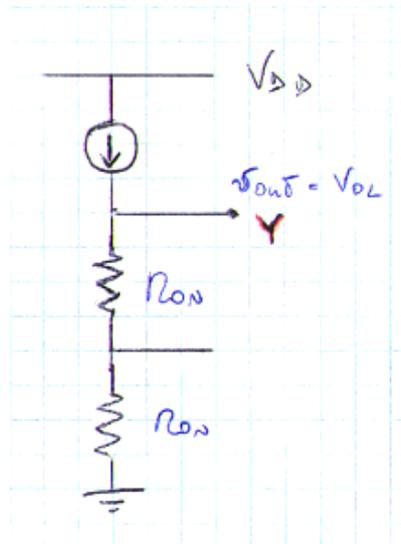
La rete di pull-down conduce solo quando entrambi gli NMOS sono contemporaneamente accesi.

Quindi l'uscita è bassa solo quando entrambi i dispositivi sono accesi, in tutti gli altri i casi l'uscita sarà alta.

Calcoliamo la V_{OL} :

Invertitore Equivalente (NAND)

In questo caso c'è una sola condizione per cui l'uscita sia bassa, e cioè quella in cui entrambi i dispositivi conducono, quindi, sempre schematizzando il PMOS come un generatore di corrente costante I_{DDL} , semplifichiamo il circuito in questo modo:

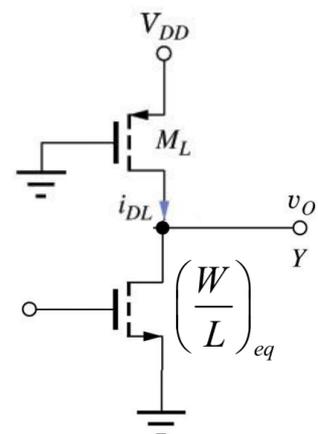


$$\text{Quindi abbiamo } V_{OL} = 2 I_{DDL} R_{ON} .$$

Rispetto all'invertitore e alla NOR abbiamo un degrado delle prestazioni, perchè la V_{OL} è più grande.

Ovviamente, in questo caso, è come se avessimo un unico NMOS con resistenza in conduzione pari a $2 R_{ON}$, quindi con

$$\frac{1}{2} \left(\frac{W}{L} \right)_N$$



Tempi di propagazione (NAND)

Il discorso è analogo a quello fatto per la NOR.

Supponiamo sempre di collegare una capacità che modella il fan-out, e abbiamo un t_{PLH} che dipende solo dalla rete di pull-up, e un t_{PHL} che dipende solo dalla rete di pull-down.

I calcoli seguenti li deduco io, il prof non li fa.

Siccome la rete di pull-up è sempre la stessa, avremo sempre $t_{PLH} = \frac{C V_{DD}}{2 I_{DDL}}$ nei 3 casi in cui

l'uscita è alta.

Quando la rete di pull-down conduce, invece, possiamo approssimare i due NMOS in serie come un

unico NMOS avente $\frac{1}{2} \left(\frac{W}{L} \right)_N$, quindi con una resistenza in conduzione $2 R_{ON}$, e quindi con

una corrente di pinch-off $\frac{I_{MAX}}{2}$. Pertanto $t_{PHL} = \frac{C V_{DD}}{I_{MAX}}$.

I tempi di propagazione sono asimmetrici, come ci aspettavamo $t_{PHL} \ll t_{PLH}$. E quindi ancora

una volta possiamo approssimare il ritardo di propagazione come: $t_p \simeq \frac{t_{PLH}}{2} = \frac{C V_{DD}}{4 I_{DDL}}$.

Porte logiche complesse

In logica Pseudo NMOS possiamo realizzare efficacemente funzioni logiche complesse in forma AND-OR-INVERT, ovvero una OR di termini AND, il tutto alla fine negato, oppure in forma OR-AND-INVERT, cioè una AND di termini OR, il tutto alla fine negato.

Oltre a questo, comunque, possiamo realizzare qualunque tipo di funzione che è il negato di una funzione che ha al suo interno solo AND e OR.

Tecnicamente, per De Morgan, qualsiasi funzione booleana la potrei implementare a sole porte NAND o a sole porte NOR, perchè ognuna di esse di per sè rappresenta un insieme funzionalmente completo.

Comunque la realizzazione tramite una sola di questi due tipi di porte potrebbe non essere la realizzazione più efficiente.

Quindi proviamo a realizzare circuiti che realizzino in un unica porta quei tipi di funzioni descritte prima.

Innanzitutto osserviamo che, per quanto abbiamo visto, quando la rete di pull-down conduce l'uscita si porta a 0, non a 1. Ciò vuol dire che la funzione booleana che realizziamo è il complemento della funzione booleana che ci dice quand'è che la rete di pull-down conduce (nella NAND la rete di pull-down conduce se entrambi gli ingressi sono alti (AND), nella NOR se uno dei due ingressi è alto (OR)).

Il negato della funzione booleana che stiamo realizzando, cioè quella che attiva il pull-down la chiamiamo **funzione di attivazione**.

A questo punto posso procedere suddividendo il mio problema in sottoproblemi tenendo presente che la OR, in termini di funzione di attivazione corrisponde al parallelo di due reti e la AND alla serie di due reti.

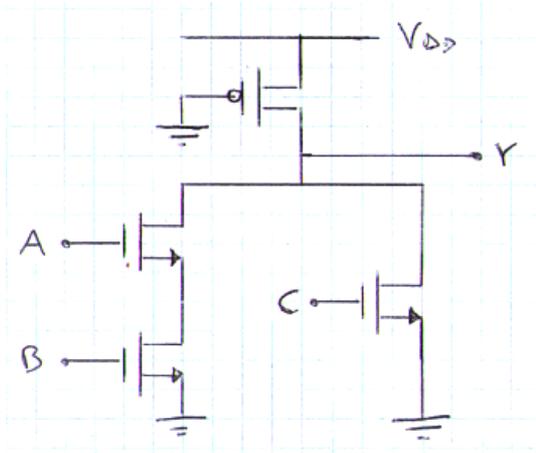
Quindi se voglio realizzare una funzione $Y = \overline{A \cdot B + C}$, la funzione di attivazione della rete di

pull-down è $A \cdot B + C$ (and-or-invert).

Quindi devo realizzare una funzione di attivazione che è la OR di due termini: uno che è $A \cdot B$, e l'altro che è C .

Quindi dovrò realizzare la rete di pull-down come il parallelo di due sottoreti: una che realizza $A \cdot B$, e l'altra che corrisponde proprio a C , quindi avrò semplicemente un dispositivo NMOS pilotato da C .

Infine la sottorete che realizza $A \cdot B$ sarà costituita dalla serie di due NMOS pilotati da A e B .



Proviamo a vedere un altro esempio.

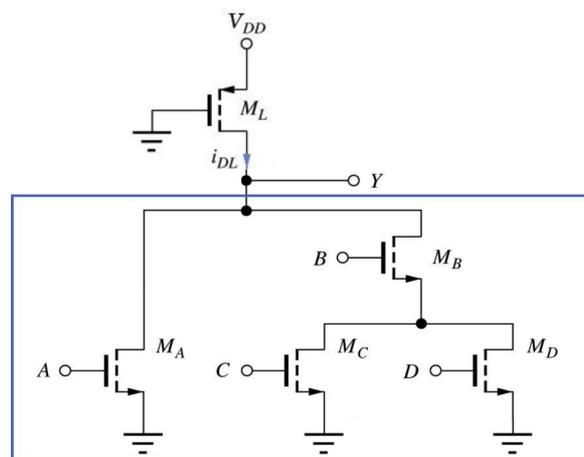
Consideriamo la funzione $Y = \overline{A + B \cdot (C + D)}$

Questa non è né una AND-OR-INVERT, né una OR-AND-INVERT, è un misto delle due.

Però ancora una volta è una funzione che possiamo realizzare, perchè si presenta come il negato di una funzione che prevede solo operatori AND e OR.

La funzione di attivazione sarà $A + B \cdot (C + D)$.

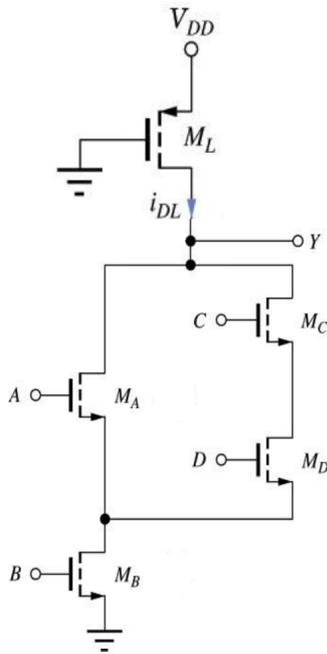
Da qui, ragionando come prima, otteniamo il seguente schema:



Dimensionamento dei dispositivi nelle porte logiche complesse

Per ragionare sul dimensionamento dei dispositivi, consideriamo questa funzione booleana:

$$Y = \overline{B \cdot (A + C \cdot D)}$$



Innanzitutto osserviamo che il tempo di propagazione e la potenza dissipata dipendono dalla $\frac{W}{L}$ solo del PMOS.

L'una è inversamente proporzionale, l'altra direttamente. Sono in trade-off perfetto.

La V_{OL} , invece è funzione sia della $\frac{W}{L}$ del PMOS che della $\frac{W}{L}$ equivalente della rete di pull-down, che a sua volta dipende da quali dispositivi NMOS sono attivi.

Nel dimensionare i dispositivi in una porta qualsiasi si procede nel seguente modo:

Si sceglie la $\frac{W}{L}$ del PMOS, più o meno grande a seconda di quale

requisito si vuole soddisfare: dissipazione di potenza bassa o ritardo di propagazione breve.

A questo punto si sceglie la $\frac{W}{L}$ equivalente della rete di pull-down in modo tale che, tenendo presente la scelta fatta col PMOS, la V_{OL} risulta sufficientemente bassa.

Ora, cominciamo a dimensionare i singoli dispositivi NMOS in modo tale che **nel caso peggiore** la $\frac{W}{L}$ equivalente della rete di pull-down risulti quella selezionata. Il caso peggiore è rappresentato dal caso in cui sono attivi solo i dispositivi che formano la serie più lunga all'interno della rete di pull-down.

I dispositivi che non appartengono al cammino peggiore, si dimensionano in modo diverso *ma non so spiegare come. Ho capito solo come funziona nell'esempio.*

Ad **esempio**:

Supponiamo che nel grafico precedente, dopo aver dimensionato il PMOS, un valore opportuno della $\left(\frac{W}{L}\right)_{eq}$, affinché la V_{OL} sia adeguata, sia $\left(\frac{W}{L}\right)_{eq} = 2,22$.

Il caso peggiore, in questo caso, si ha quando sono attivi C, D, B.

Infatti, come abbiamo visto nella NAND, la serie di 3 dispositivi (con la stessa $\frac{W}{L}$) nella rete di

pull-down mi dà una $\left(\frac{W}{L}\right)_{eq} = \frac{1}{3} \frac{W}{L}$. Quindi è necessario che per i 3 dispositivi

$\frac{W}{L} = 6,66$. Per quanto riguarda A, siccome possono essere attivi A e B, oppure C, D, e B,

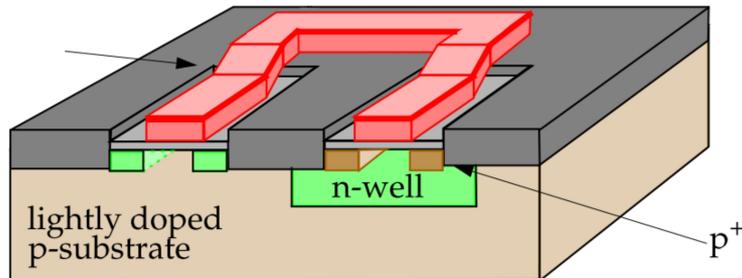
scegliamo la $\frac{W}{L}$ di A, come la $\frac{W}{L}$ equivalente della serie di C e D, ovvero: $\frac{W}{L} = 3,33$.

In questo modo abbiamo ottenuto i parametri desiderati, ottimizzando l'area occupata dalla porta.

Logiche CMOS

La tecnologia CMOS (Complementary MOS) viene utilizzata, ad oggi, per la realizzazione di tutti i circuiti digitali integrati.

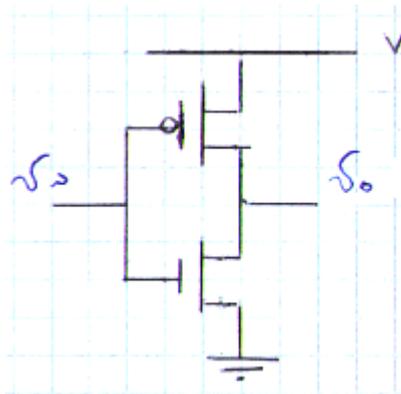
I circuiti CMOS utilizzano sia dispositivi NMOS che PMOS integrati nello stesso circuito integrato. Questo risultato si ottiene partendo dallo stesso substrato di tipo p, che abbiamo visto nel caso NMOS, e introducendo, oltre alle zone di tipo n, necessarie per la realizzazione degli NMOS delle zone dette **n-well**, che sono delle zone di tipo n che fanno da substrato a dei PMOS, quindi all'interno di questa zona n-well ci saranno delle zone di tipo p che daranno luogo a source e drain del PMOS.



(Non idea di come faccia l'n-well ad essere collegato al potenziale più alto e il substrato p a quello più basso.)

Invertitore CMOS

L'invertitore CMOS, come quello Pseudo NMOS, è realizzato ponendo una rete di pull-down costituita da un solo dispositivo NMOS e una rete di pull-up costituita da un solo dispositivo PMOS. La caratteristica che contraddistingue la logica CMOS rispetto alle logiche che abbiamo visto finora è che nella logica CMOS utilizziamo il nostro ingresso per pilotare sia la rete di pull-down che quella di pull-up.



Se $v_i = V_{DD}$, il PMOS è interdetto, mentre l'NMOS conduce. Non c'è corrente assorbita =>
=> La tensione di uscita $v_{out} = 0$. Abbiamo finalmente $V_{OL} = 0$.

Se $v_i = 0$ il PMOS conduce, mentre l'NMOS è interdetto. La corrente assorbita è zero, come negli altri invertitori che abbiamo visto. => La tensione di uscita $v_{out} = V_{DD}$. Quindi $V_{OH} = V_{DD}$.

Abbiamo escursione logica completa.

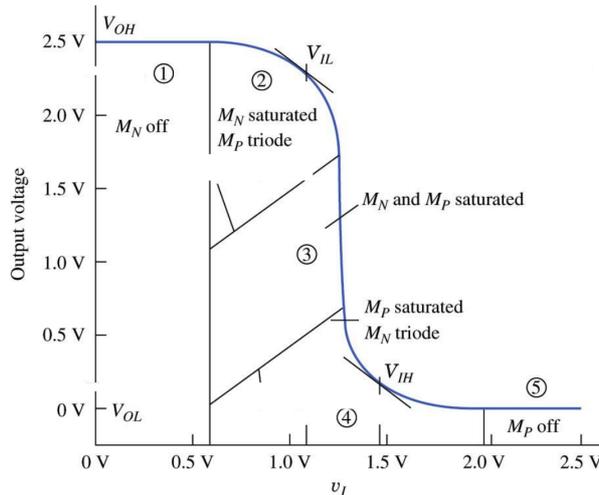
Essendo le correnti continue assorbite nulle, la $P_{STAT} = 0$ (ricordo che

$$P_{STAT} = \frac{V_{DD} \cdot I_{DDL} + V_{DD} \cdot I_{DDH}}{2} .$$

E' una logica non a rapporto.

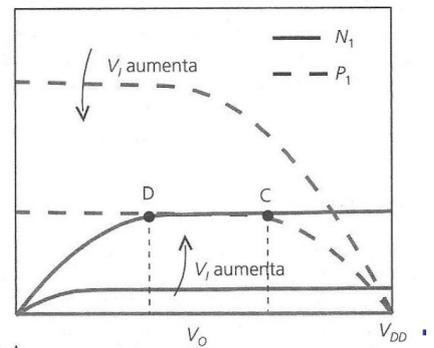
Proviamo a studiare la **caratteristica di trasferimento** del dispositivo.

Dimostreremo che la caratteristica del dispositivo è la seguente:



Come al solito ci poniamo in un piano v_i, v_o .

La tensione di uscita v_o corrisponde alla v_{DS} dell'NMOS, e alla $V_{DD} - V_{SD}$, quindi sul piano mettiamo le caratteristiche dell'NMOS e vi sovrapponiamo quelle del PMOS ribaltate e traslate di V_{DD} .

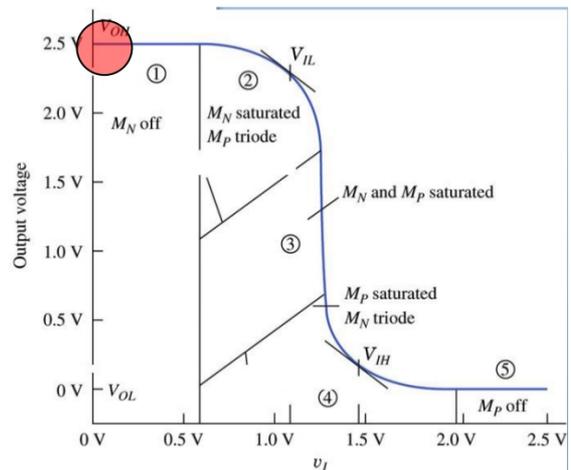
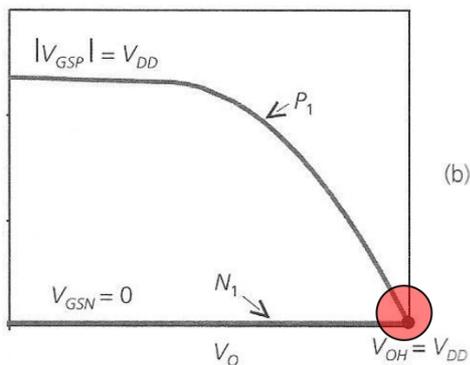


Per ogni valore della tensione di ingresso avremo una determinata caratteristica dell'NMOS e una determinata caratteristica del PMOS. L'intersezione delle due curve ci sarà la tensione di uscita.

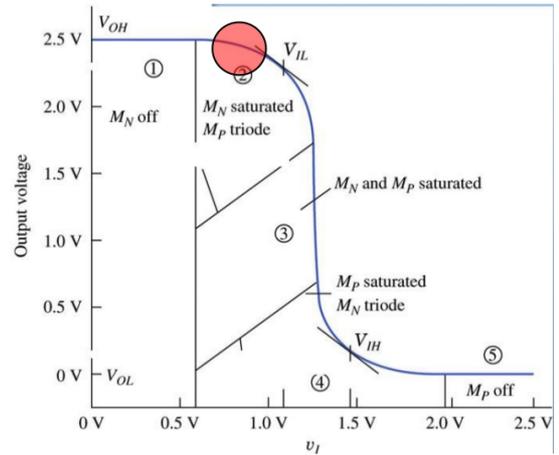
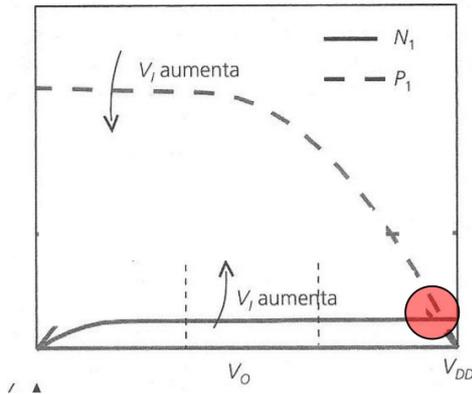
Partiamo da $v_i = 0$.

Le caratteristiche dei due dispositivi mostrano che $v_o = V_{DD}$, proprio perchè l'NMOS è interdetto, e quindi la sua caratteristica giace sull'asse delle ascisse.

La cosa non cambia fintantochè $v_i < V_{TN}$. (in ogni caso tra 0 e V_{TN} le curve dei PMOS scendono)

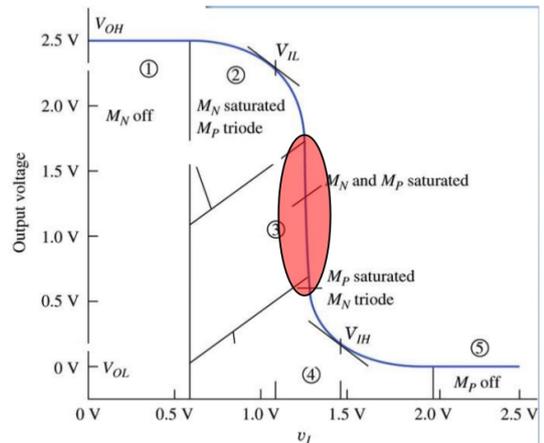
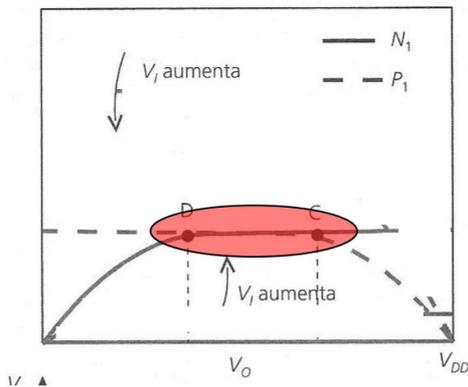


Aumentando v_i oltre V_{TN} , abbiamo che l'NMOS entra in conduzione, quindi cominciamo a considerare curve che cominciano ad alzarsi, mentre per il PMOS continuano a scendere. I punti di intersezione cominciano a spostarsi a sinistra, quindi la v_o comincia a diminuire. In questa fase l'NMOS è in pinch-off, mentre il PMOS è in triodo.

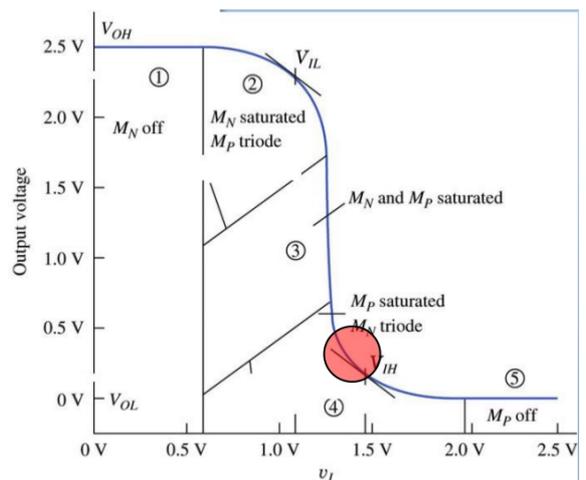
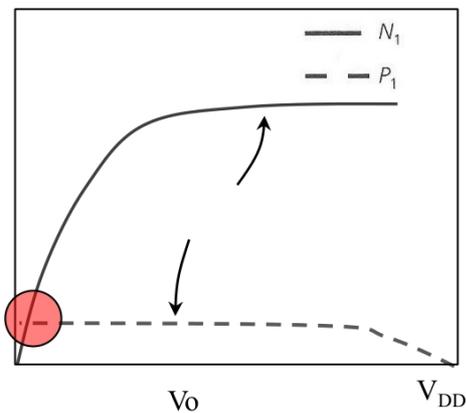


Aumentiamo ulteriormente v_i .

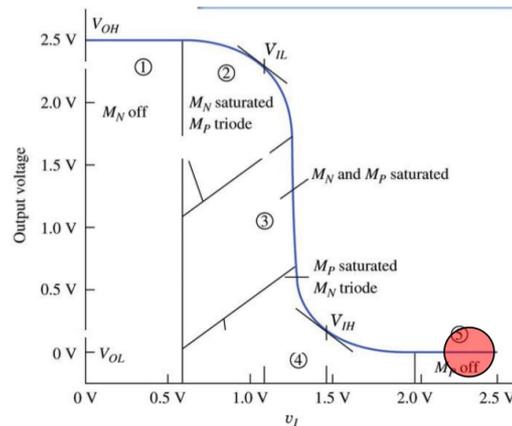
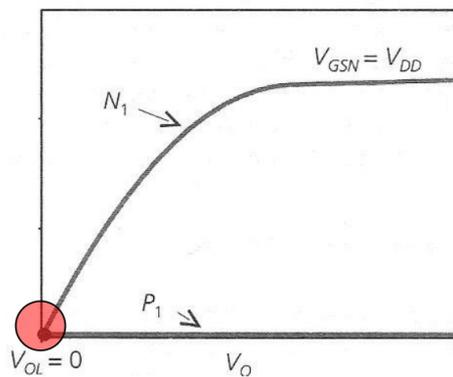
Si raggiunge una condizione in cui entrambi i dispositivi sono in pinch-off: c'è un tratto pressoché verticale della caratteristica di trasferimento.



Un ulteriore aumento della v_i porta l'NMOS in triodo e il PMOS in pinch-off:



Infine, per $v_i = V_{DD}$, e in generale per $v_i > V_{DD} - |V_{TP}|$, il PMOS si spegne, e la tensione di uscita sarà zero.



Per avere una caratteristica simmetrica devo avere

- Che il tratto costante iniziale e il tratto costante finale abbiano la stessa ampiezza, condizione verificata se le tensioni di soglia dell'NMOS e del PMOS sono uguali:

$$V_{TN} = |V_{TP}| = V_T$$

- il tratto di massima pendenza posta a $\frac{V_{DD}}{2}$ (ho zompato dei calcoli che mettono in mezzo la soglia logica, che ha fatto solo l'assistente, senza che fossero nelle slide), condizione che è soddisfatta se $K_N = K_P$.

Siccome sappiamo che $\mu_N \approx 2,5 \mu_P$, affinché $K_N = K_P$, è necessario che

$$\left(\frac{W}{L}\right)_P \approx 2,5 \left(\frac{W}{L}\right)_N. \text{ Quindi dovremmo avere un PMOS più grande dell'NMOS.}$$

Ci conviene avere una caratteristica simmetrica, perchè in questo modo V_{IL} e V_{IH} saranno

piazzati in maniera simmetrica rispetto a $\frac{V_{DD}}{2}$. Questa cosa è utile, perchè massimizza i margini

di rumore (che ricordo essere $NM_L = V_{IL} - V_{OL}$ e $NM_H = V_{OH} - V_{IH}$, e

$$NM = \min(NM_H, NM_L)$$

I circuiti CMOS sono particolarmente robusti, nel senso che, è vero che questa condizione di simmetria ottimizza le prestazioni del dispositivo, ma il nostro circuito funziona bene anche se questa condizione di simmetria non è rispettata, perchè in ogni caso avremo $P_{STAT} = 0$ e

$$V_{OL} = 0.$$

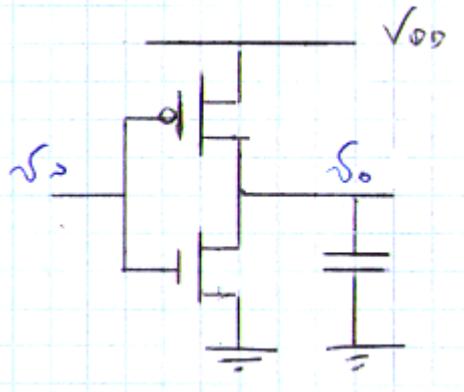
Lezione 14

Continuando l'invertitore CMOS...

Ritardo di propagazione

Supponiamo che le condizioni per cui la caratteristica è simmetrica siano verificate.

In uscita mettiamo la solita capacità di carico che modella il fan-out.

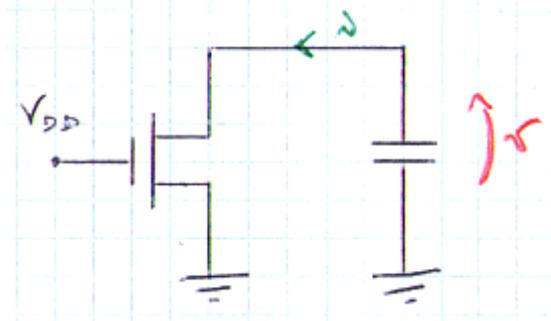


Calcoliamo il t_{PHL} :

Al tempo 0 $v_i(0) = 0$, il PMOS conduce, l'NMOS no, $v_o(0) = V_{DD}$,

Al tempo 0^+ , l'ingresso commuta da basso ad alto, $v_i(0^+) = V_{DD}$, quindi il PMOS si interdice, l'NMOS si accende, e la capacità comincia a scaricarsi.

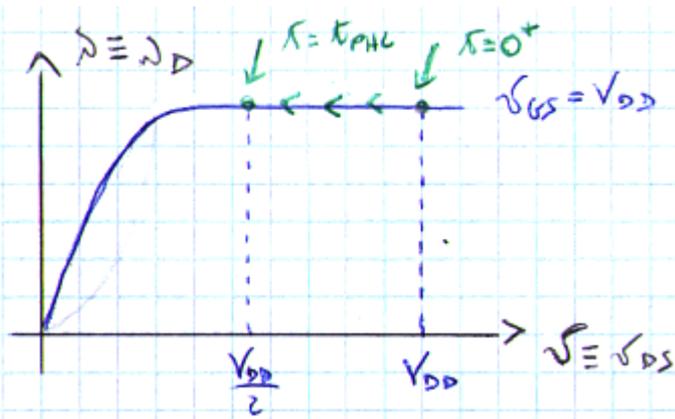
Quindi dal tempo 0^+ abbiamo questo schema semplificato:



La relazione tra tensione e corrente in questo circuito è rappresentata dalla caratteristica dell'NMOS pilotato da $v_{GS} = V_{DD}$ (la curva più alta nel piano delle caratteristiche dell'NMOS).

Per $t = 0$, la corrente di scarica sarà la corrente massima di pinch-off dell'NMOS, la I_{MAX} .

A causa di questa corrente di scarica, la tensione ai capi del condensatore si riduce, mentre la corrente di scarica resta costante. E' come se ci muovessimo sulla curva nel verso indicato dalle frecce.



Il tempo di propagazione t_{PHL} è il tempo che la tensione sul condensatore impiega a passare dall'istante in cui l'ingresso commuta, quindi dall'istante 0^+ , all'istante in cui la tensione

raggiunge il valore $\frac{V_{DD}}{2}$. Quindi è il tempo

per muovermi tra quei due punti sul grafico.

In questo tratto che noi interessa, la corrente di scarica è approssimativamente costante e pari a

$$I_{MAX} = \frac{K_N}{2} (V_{DD} - V_{TN})^2$$

$$C \frac{dv}{dt} = I_{MAX} \Rightarrow v(t) = v(0) + \frac{I_{MAX}}{C} t = V_{DD} + \frac{I_{MAX}}{C} t$$

$$\text{Impongo } v(t_{PHL}) = \frac{V_{DD}}{2}, \text{ cioè } V_{DD} + \frac{I_{MAX}}{C} t_{PHL} = \frac{V_{DD}}{2}.$$

$$\text{Da cui } t_{PHL} = \frac{C V_{DD}}{2 I_{MAX}} = \frac{C V_{DD}}{K_N (V_{DD} - V_{TN})^2}$$

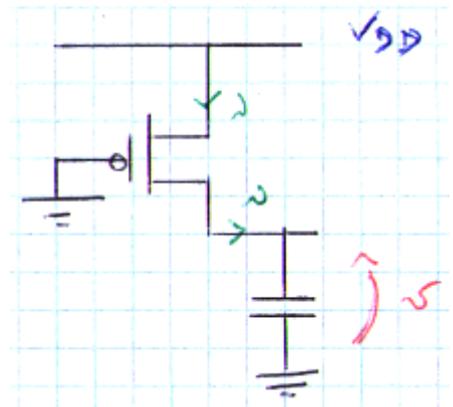
Calcoliamo il t_{PLH} :

Il discorso è perfettamente duale.

Al tempo 0 $v_i(0) = V_{DD}$, il PMOS non conduce, l'NMOS si, $v_o(0) = 0$,

Al tempo 0^+ , l'ingresso commuta da alto a basso, $v_i(0^+) = 0$, quindi il PMOS si accende, l'NMOS si interdice, e la capacità comincia a caricarsi.

Quindi dal tempo 0^+ abbiamo questo schema semplificato:



Con un ragionamento del tutto analogo:

(La tensione di uscita è $V_{DD} - v_{SG}$, quindi nel piano $v - i$ scrivo la caratteristica del PMOS ma ribaltata e traslata di V_{DD} , mi serve solo l'intervallo $0 - V_{DD}/2$, la corrente di carica è quella di pinch-off del PMOS con $v_{SG} = V_{DD}$, cioè quella che chiamavo I_{DDL} , solo che pare brutto che mo la chiamo così.)

$$\text{Troviamo che } t_{PLH} = \frac{C V_{DD}}{2 \frac{K_P}{2} (V_{DD} - |V_{TP}|)^2} = \frac{C V_{DD}}{K_P (V_{DD} - |V_{TP}|)^2}$$

Siccome abbiamo supposto la caratteristica simmetrica, $K_P = K_N$, $V_{TN} = |V_{TP}| = V_T$, abbiamo che

$$\text{I due tempi di propagazione sono uguali: } t_{PLH} = t_{PHL} = t_P = \frac{C V_{DD}}{K (V_{DD} - V_T)^2}$$

Come ottimizziamo il t_p

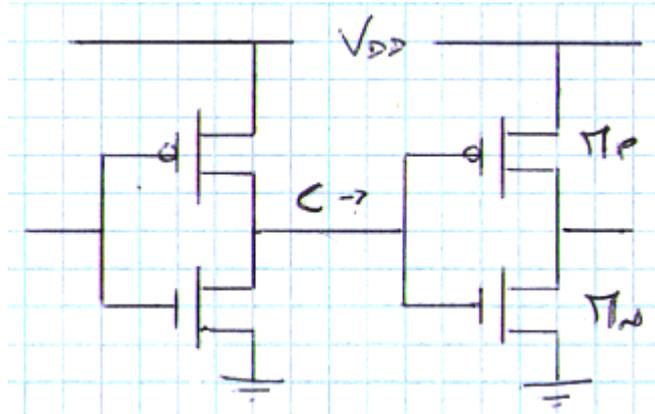
Per ottimizzare t_p potremmo pensare di aumentare K o ridurre C .

$$K = K' \left(\frac{W}{L} \right). \text{ Su } K' \text{ non posso agire } \Rightarrow \text{devo fare } \left(\frac{W}{L} \right) \text{ grande.}$$

Per avere $\left(\frac{W}{L} \right)$ grande posso aumentare W o ridurre L . La cosa migliore è ridurre L , perchè non solo miglioro il tempo di propagazione, ma riduco anche le dimensioni del circuito.

Per quanto riguarda la capacità...

Consideriamo il caso in cui abbiamo un invertitore che pilota un altro invertitore.



A valle ci potevamo mettere qualsiasi cosa, semplifichiamo i calcoli e supponiamo sia semplicemente un altro invertitore.

Qual è la capacità di carico che vede il primo invertitore?

Siccome l'uscita del primo invertitore è collegata alla gate di PMOS e NMOS del dispositivo a valle, la capacità di carico sarà la **capacità di gate** di PMOS e NMOS:

$$C = C_G(M_N) + C_G(M_P) .$$

[Le capacità di gate sono esprimibili mediante il prodotto dell'area di gate per la capacità per unità di area, quindi]

$$= W_{MN} L_{MN} \underbrace{C'_{OX}}_{\frac{\epsilon_{OX}}{t_{OX}}} + W_{MP} L_{MP} \underbrace{C'_{OX}}_{\frac{\epsilon_{OX}}{t_{OX}}}$$

Quindi, per ridurre C dovrei ridurre il prodotto $W \cdot L$ dei dispositivi del fan-out.

(Ovviamente non mi conviene ridurre la W dei MOSFET a valle, altrimenti aumento il ritardo di propagazione dei dispositivi a valle).

Quindi, ancora una volta mi conviene avere una L piccola.

Quindi riducendo la L dei dispositivi ottengo solo vantaggi:

- Il dispositivo è più piccolo
- passa più corrente
- la capacità è più piccola
- grazie a questi ultimi due vantaggi elencati, i tempi di propagazione sono migliori
- come vedremo, si riduce anche la potenza dissipata (che credo sia solo dinamica).

Quindi riducendo la L ottengo solo vantaggi. Non ci sono controindicazioni. L'unica

controindicazione, se vogliamo, è il costo, ci vuole una tecnologia sofisticata.

Siccome, i dispositivi integrati sullo stesso circuito sono realizzati con la medesima tecnologia, possiamo supporre che la L di tutti i dispositivi sia la stessa, e in particolare sia la più piccola possibile (*per la tecnologia disponibile*)

$$L = L_{MIN} .$$

Per la W non è la stessa cosa, perchè riducendo la W riduco la capacità di carico, ma riduco anche la corrente, quindi il tempo di propagazione rimane invariato.

Pertanto, dimensioniamo la W a seconda di quali requisiti si vuole soddisfare.

Quindi, siccome la tecnologia è fissata, nell'invertitore l'unico grado di libertà è la W .

In particolare, se vogliamo la caratteristica simmetrica, e quindi vincoliamo il PMOS ad avere una $W_P = 2,5 W_N$, l'unico grado di libertà è la W dell'NMOS.

Esempio

Progettiamo un invertitore per avere un ritardo $t_P = 250 \text{ ps}$, con una capacità di carico $C = 0,1 \text{ pF}$, avendo queste informazioni:

$$V_{DD} = 3,3 \text{ V} , \quad V_{TN} = |V_{TP}| = 0,75 \text{ V} , \quad K'_N = 100 \frac{\mu\text{A}}{\text{V}^2} , \quad K'_P = 40 \frac{\mu\text{A}}{\text{V}^2} ,$$

$$L_{MIN} = 1 \mu\text{m}$$

“progettare un invertitore” per quanto abbiamo detto, vuol dire scegliere W dell'NMOS in maniera opportuna, sostanzialmente.

$$t_P = \frac{C V_{DD}}{K (V_{DD} - V_T)^2} \Rightarrow K = \frac{C V_{DD}}{t_P (V_{DD} - V_T)^2} = \frac{0,1 \cdot 10^{-12} \cdot 3,3}{(3,3 - 0,75)^2 \cdot 250 \cdot 10^{-12}}$$

$$K = \left(\frac{W}{L_{MIN}} \right)_N K'_N \Rightarrow \left(\frac{W}{L_{MIN}} \right)_N = \frac{K}{K'_N}$$

$$W_N = L_{MIN} \left(\frac{W}{L_{MIN}} \right)_N \quad \text{Questo è il valore che deve avere la } W \text{ dell'NMOS affinché siano soddisfatte quelle specifiche.}$$

Per il PMOS abbiamo $W_P = 2,5 W_N$ e una L sempre pari a L_{MIN} .

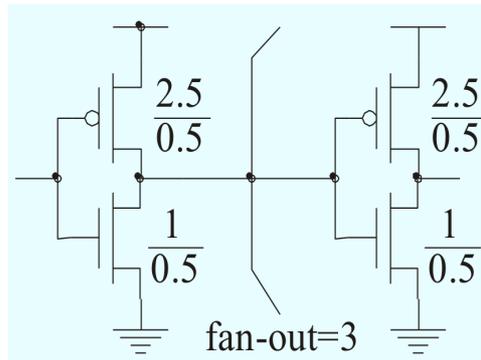
Un invertitore con $t_P = 250 \text{ ps}$ è veloce o no?

Per rispondere a questa domanda, siccome siamo più abituati a parlare di frequenza di clock, teniamo presente che in un periodo di clock (il segnale di clock è un'onda quadra) devono essere effettuate delle elaborazioni, le quali prevedono che i segnali digitali passino attraverso, non un singolo invertitore, ma attraverso un certo numero di porte logiche in cascata (almeno una decina, come ordine di grandezza).

Quindi un tempo di propagazione del genere vuol dire che il periodo T del segnale di clock, come ordine di grandezza, deve essere una decina di volte il tempo di propagazione, quindi $T = 2,5 \text{ ns}$, quindi la frequenza di clock è $f = 400 \text{ MHz}$. Che oggi come oggi non è granché.

Esempio per passare all'argomento successivo

In questo caso abbiamo un primo invertitore che come carico ha tre altri invertitori uguali. Abbiamo i W/L dei vari dispositivi (W e L sono espressi in micron), e tutti gli altri parametri. Dobbiamo valutare il ritardo del nostro invertitore.



$$\begin{aligned}V_{DD} &= 3.3\text{V} \\ K'_N &= 75 \mu\text{A}/\text{V}^2 \\ K'_P &= K'_N/2.5 \\ V_{TN} &= 0.8\text{V} \\ V_{TP} &= |V_{TN}| \\ C'_{OX} &= 4 \text{fF}/\mu^2 \\ L &= 0.5\mu\text{m}\end{aligned}$$

Il circuito è simmetrico, perchè le tensioni di soglia e i K sono uguali.

$$K = K'_N \left(\frac{W}{L} \right)_N = 75 \cdot 10^{-6} \left(\frac{1}{0,5} \right)$$

Per calcolare il tempo di propagazione ci manca solo la capacità.

Siccome abbiamo tre invertitori uguali come fan-out, calcoliamo la capacità di uno dei tre e poi moltiplichiamo per 3.

$$C_{INV} = (W_N L + W_P L) C'_{OX} = (1 \cdot 0,5 + 2,5 \cdot 0,5) \mu m^2 \cdot 4 \frac{\text{fF}}{\mu m^2} \simeq 7 \text{fF}$$

La capacità complessiva è

$$C = C_{INV} = 3 \cdot 7 = 21 \text{fF} .$$

$$\text{Quindi } t_P = \frac{V_{DD} C}{K (V_{DD} - V_T)^2} \simeq 37 \text{ps}$$

E' abbastanza buono. Infatti facendo lo stesso ragionamento di prima, con una decina di stadi abbiamo una frequenza di clock di circa 3 Ghz.

Se avessimo avuto $C = 2,1 \text{pF}$, cioè una capacità di carico 100 volte più grande, avremmo avuto un tempo di propagazione 100 volte più grande e una frequenza di clock 100 volte più piccola: tipo 30 MHz

La velocità del sistema è influenzata notevolmente dalla capacità di carico.

Quando dobbiamo pilotare una capacità di carico più elevata di quelle che normalmente si incontrano è necessario introdurre i cosiddetti...

Stadi Separatori (Buffer)

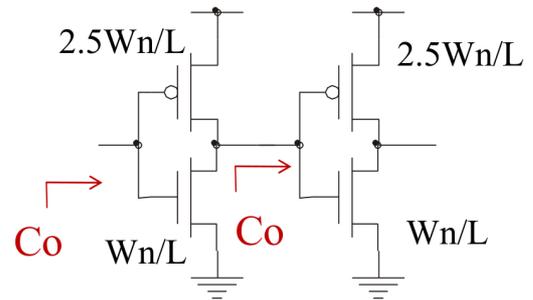
Lo scopo degli stadi separatori è quello di poter pilotare efficacemente delle capacità di valore molto elevato senza avere un aumento enorme del ritardo di propagazione.

Quantifichiamo “capacità di valore molto elevato”.

Prendiamo come riferimento C_0 , la capacità di carico nel caso in cui il fan-out è costituito da un invertitore gemello.

Quindi per noi una capacità C_L è “molto grande” quando $C_L \gg C_0$.

Chiamiamo t_0 il ritardo che si ha con un carico pari a C_0 .

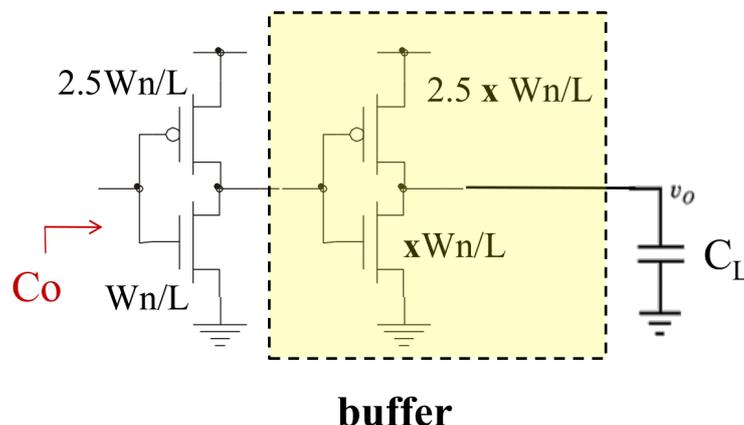


Supponiamo di avere un invertitore che pilota una capacità di carico C_L molto grande.

Ovviamente, siccome in generale $t_p \propto C$ (\propto sta per “proporzionale a”), possiamo dire che il ritardo di propagazione che si ha quando l'invertitore pilota la capacità C_L , possiamo scrivere che il ritardo sarà

$$t_p = t_0 \frac{C_L}{C_0} \quad \text{Quindi il ritardo sarà tanto più grande, quanto più } C_L \text{ sarà } > C_0 .$$

Quindi non conviene collegare direttamente l'uscita dell'invertitore con questa grande capacità, in mezzo conviene mettere **uno stadio separatore**.



Lo stadio buffer è costituito da un invertitore al cui interno i dispositivi sono x volte più grandi, di modo che esso sarà meglio capace di pilotare la capacità “molto grande” C_L .

La capacità di carico rappresentata dal buffer sarà $x C_0$.

Quindi, il ritardo del primo invertitore sarà $t_1 = x t_0$.

Per quanto riguarda il ritardo dello stadio separatore, ragioniamo così:

Se lo stadio separatore avesse i dispositivi dimensionati come l'invertitore che lo precede, cioè

senza il fattore x , avremmo un ritardo $t_2 = t_0 \frac{C_L}{C_0}$. Nel nostro caso abbiamo questo x da portare

in conto, per cui il carico costituito da un invertitore gemello non è più C_0 , ma $x C_0$, pertanto abbiamo che il ritardo del buffer sarà

$$t_2 = t_0 \frac{C_L}{x C_0}$$

Quindi il **ritardo complessivo** è $t_{tot} = t_1 + t_2 = t_0 \left(x + \frac{C_L}{x C_0} \right)$

Cerchiamo di minimizzare t_{tot} agendo su x

Deriviamo t_{tot} rispetto a x e imponiamo la derivata = 0.

$$\frac{d t_{tot}}{dx} = 0 \Rightarrow t_0 \left(1 - \frac{C_L}{x^2 C_0} \right) = 0$$

Quindi la x^* che minimizza la t_{tot} è:

$$x^* = \sqrt{\frac{C_L}{C_0}} \Rightarrow$$

$$t_{tot}^* = t_0 \left(\sqrt{\frac{C_L}{C_0}} + \sqrt{\frac{C_L}{C_0}} \right) = 2 t_0 \sqrt{\frac{C_L}{C_0}} \quad (\text{cresce con la radice di } C_L, \text{ non più con } C_L)$$

Quindi il buffer migliore è quello che ha i dispositivi più grandi di questo fattore $\sqrt{\frac{C_L}{C_0}}$, cosicché i ritardi dei due stadi siano uguali.

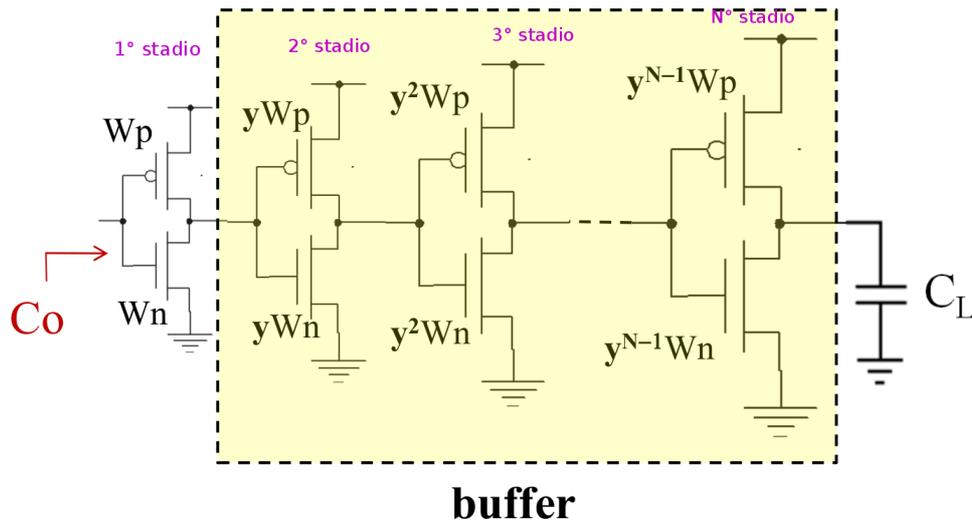
Anche con l'utilizzo di un unico buffer, abbiamo comunque un ritardo abbastanza notevole. Per migliorare le cose si utilizzano più stadi buffer in cascata.

Lezione 15

Abbiamo visto che con l'utilizzo di un buffer costituito da un unico invertitore avente dispositivi di dimensioni maggiori, possiamo ottenere un ritardo che dipende da $\sqrt{C_L}$ anziché da C_L . Possiamo ulteriormente migliorare il ritardo, utilizzando uno stadio buffer più efficace, detto **stadio ottimo**, che si ottiene utilizzando più invertitori in cascata.

Buffer Ottimo

E' costituito da N-1 invertitori in cascata.



Ogni invertitore che compone il buffer è composto da dispositivi che sono più grandi di un fattore y rispetto ai dispositivi dell'invertitore che lo precede.

Avremmo due gradi di libertà: y e N .

Ma poi vedremo che, in realtà, affinché tutti i ritardi siano uguali, N sarà un valore che è vincolato da y . *(Non ho capito perchè imponiamo che tutti i ritardi siano uguali, forse minimizza il ritardo complessivo)*

Vediamo se riusciamo a trovare un valore ottimale di y che minimizza il ritardo complessivo.

La capacità di carico costituita dallo stadio i -esimo, cioè quella che vede l'invertitore $i-1$ -esimo, è $C = y^{i-1} C_0$.

Il tempo di propagazione è tipo “ $\frac{C_{out}}{C_{sestesso}}$ ”, quindi

$$1^\circ \text{ stadio: } \text{ritardo: } t_0 \frac{y C_0}{C_0} = y t_0$$

$$2^\circ \text{ stadio: } \text{ritardo: } t_0 \frac{y^2 C_0}{y C_0} = y t_0$$

$$3^\circ \text{ stadio: } \text{ritardo: } t_0 \frac{y^3 C_0}{y^2 C_0} = y t_0$$

:

N° stadio: ritardo: $t_0 \frac{C_L}{y^{N-1} C_0} = ?$

Imponiamo che anche l'ultimo ritardo si uguale agli altri $t_0 \frac{C_L}{y^{N-1} C_0} = y t_0$

$$\text{Da cui } y^N = \frac{C_L}{C_0} \Rightarrow N \ln(y) = \ln\left(\frac{C_L}{C_0}\right) \Rightarrow N = \frac{\ln(C_L/C_0)}{\ln(y)}$$

Quindi c'è questa relazione tra N e y.

A questo punto calcoliamo il ritardo complessivo e cerchiamo di capire come minimizzarlo.

$$t_{tot} = \sum_i t_i = N y t_0 = \frac{y}{\ln(y)} \ln\left(\frac{C_L}{C_0}\right) t_0 .$$

La y che rende minima t_{tot} è la y che rende minimo $\frac{y}{\ln(y)}$. La chiamiamo y^* .

Detta $f(y) \stackrel{\text{def}}{=} \frac{y}{\ln(y)}$, imponiamo $\frac{df}{dy} = 0$.

$$\text{Quindi } \frac{\ln(y^*) - y^* \left(\frac{1}{y^*}\right)}{\ln^2(y^*)} = 0 \Rightarrow \ln(y^*) - 1 = 0$$

$\Rightarrow y^* = e = 2,71$ Questa è la condizione di ottimo.

Da cui il numero ottimo di stadi: $N^* = \ln\left(\frac{C_L}{C_0}\right)$

e il ritardo ottimo: $t_{tot}^* = e \ln\left(\frac{C_L}{C_0}\right) t_0$

In questo caso il ritardo cresce con il logaritmo della capacità di carico C_L . Quindi ancora più lentamente.

Ricapitolando:

$$t_{tot} = \begin{cases} \alpha \frac{C_L}{C_0} & \text{senza buffer} \\ \alpha \sqrt{\frac{C_L}{C_0}} & \text{buffer con 1 solo stadio} \\ \alpha \ln\left(\frac{C_L}{C_0}\right) & \text{buffer ottimo} \end{cases}$$

Dissipazione di Potenza

Statica

Abbiamo detto che $P_{STAT} = 0$.

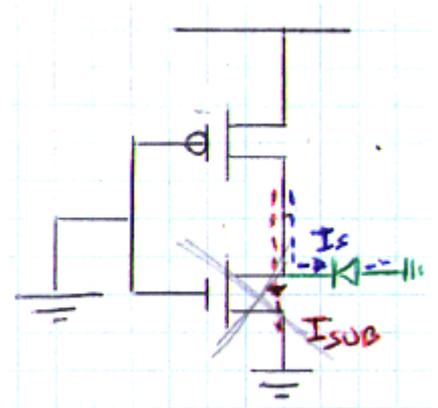
In realtà non è proprio così.

Supponiamo, ad esempio che la tensione di ingresso sia bassa, $v_i = 0$.

Noi diciamo “l'NMOS è spento, quindi la corrente che passa è zero”, quindi la corrente dissipata (quando l'uscita è bassa) è zero.

Questo è vero, ma solo approssimativamente.

Ci sono infatti delle cosiddette **correnti di perdita** che sono molto piccole, ma danno comunque luogo a una certa dissipazione di potenza.



Queste correnti di perdita sono:

- La corrente di saturazione inversa I_S attraverso i diodi parassiti che possiamo vedere all'interno dell'NMOS (le giunzioni p-n tra drain e substrato e tra source e substrato) che sono polarizzati inversamente (in realtà il source e il substrato sono allo stesso potenziale di massa, quindi abbiamo un unico diodo parassita tra drain e substrato).
- La corrente sotto soglia, I_{SUB} che è una corrente molto piccola che passa tra source e drain dell'NMOS anche quando $v_{GS} < V_T$.

Il discorso è analogo quando l'ingresso è alto: $v_i = V_{DD}$: il PMOS è spento, ma abbiamo comunque queste correnti di perdita attraverso il PMOS, e quindi la potenza dissipata (anche quando l'uscita è alta) è zero solo approssimativamente.

Quindi la $P_{STAT} = V_{DD} (I_S + I_{SUB})$.

Questa quantità è molto piccola, ma bisogna considerare che su un circuito integrato sono presenti milioni di questi dispositivi, e quindi anche se è molto piccola, andando a moltiplicare per un numero molto elevato, otteniamo una potenza dissipata complessivamente dal circuito integrato che è notevole.

Inoltre man mano che la tecnologia progredisce, la lunghezza di canale L si riduce e questa potenza statica diventa sempre più significativa, perchè la corrente sottosoglia dipende dalla lunghezza di canale.

Dinamica

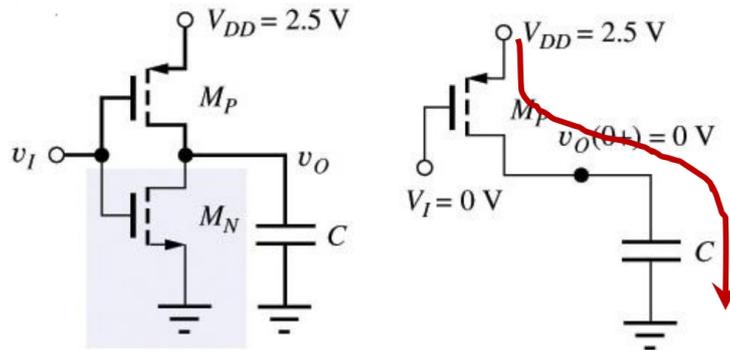
E' quella predominante, ed è legata alle commutazioni del circuito.

La dissipazione di potenza è dovuta a due contributi:

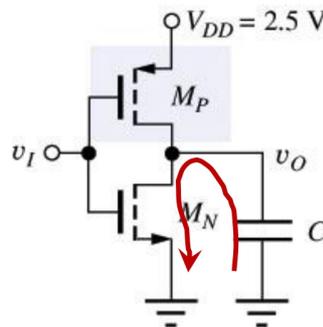
- Il primo è legato all'energia necessaria per la carica/scarica della capacità di uscita.
- Il secondo è dovuto alla corrente che passa nel brevissimo intervallo di tempo in cui l'ingresso è compreso tra V_T e $V_{DD} - V_T$ e nel quale conducono entrambi i MOS. Quest'ultimo comunque è di gran lunga trascurabile rispetto al primo.

Consideriamo il funzionamento del CMOS durante i transitori.

Durante la transizione $0 \rightarrow 1$ dell'uscita, la capacità di uscita C si carica attraverso il PMOS. In questa fase **c'è un'erogazione di corrente da parte dell'alimentatore**, e quindi una dissipazione di potenza.

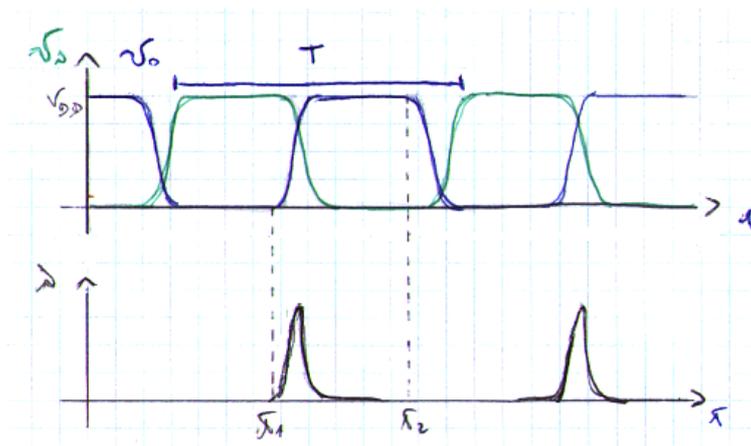


Durante la transizione $1 \rightarrow 0$ dell'uscita, la capacità di uscita C si scarica attraverso l'NMOS. In questa fase **non c'è erogazione di corrente da parte dell'alimentatore**, e quindi non c'è potenza dinamica dissipata.



(La potenza dissipata, chiaramente, si trasforma in calore)

Supponiamo che in ingresso al circuito ci sia un'onda quadra di periodo T , l'andamento della corrente sarà il seguente:



Quindi abbiamo un susseguirsi di impulsi di corrente in corrispondenza di ognuna delle fasi di carica della capacità.

La potenza istantanea $p(t) = V_{DD} i(t)$ ovviamente non sarà costante, visto l'andamento della corrente.

Calcoliamo la **potenza media**, che è un'informazione più significativa. Essendo $p(t)$ periodica, valutiamo il valore medio nel periodo.

$$P_{DIN} = \langle p(t) \rangle = \frac{1}{T} \int_T p(t) dt$$

Chiamiamo t_1 l'istante, nel periodo, in cui la capacità comincia a caricarsi, e t_2 l'istante successivo, in cui la capacità comincia a scaricarsi.

$$= \frac{1}{T} \int_{t_1}^{t_2} V_{DD} i(t) dt$$

In quest'intervallo di tempo questa corrente erogata dall'alimentazione è la corrente di carica della capacità $\Rightarrow i(t) = C \frac{dv_o}{dt}$

$$= \frac{1}{T} V_{DD} C \int_{t_1}^{t_2} \frac{dv_o}{dt} dt = \frac{V_{DD} C}{T} \underbrace{[v_o(t_2) - v_o(t_1)]}_{V_{DD} - 0} \Rightarrow$$

$$\Rightarrow P_{DIN} = C V_{DD}^2 f$$

N.B.: Questa potenza dissipata è la stessa in tutti i circuiti in logica CMOS.

Si può dimostrare che la potenza si dissipa in maniera uguale sul PMOS e sull'NMOS, cioè sono tipo loro a riscaldarsi.

Dalla formula si capisce che la potenza dissipata non dipende dalla corrente che passa nel circuito, e quindi dalle dimensioni dei dispositivi.

Questo perchè aumentando le dimensioni dei dispositivi, l'andamento della corrente ha dei picchi più alti ma più stretti, quindi l'area è la stessa.

Chiaramente abbiamo una dipendenza lineare con la frequenza, perchè più sono le commutazioni più c'è dissipazione.

Ricordiamo che il ritardo è pari a $t_P = \frac{C V_{DD}}{K (V_{DD} - V_T)^2}$.

Abbiamo già accennato al fatto che il periodo minimo di clock [?] sarà una decina di volte il ritardo del nostro circuito, quindi questo periodo minimo è proporzionale a t_P . Quindi:

$$f_{MAX} \propto \frac{1}{t_P} \Rightarrow f_{MAX} \propto \frac{(V_{DD} - V_T)^2}{V_{DD}}$$

Cioè $f_{MAX} = A \frac{(V_{DD} - V_T)^2}{V_{DD}}$ con A : costante che porta in conto K, C gli stadi di

elaborazione nella pipeline del clock, ecc,

e f_{MAX} : frequenza operativa

Se aumento la tensione di alimentazione, il circuito è più veloce, e si vede anche dalla formula del ritardo, ma dissipa di più.

Esempio

Consideriamo un microprocessore che opera con $V_{DD} = 1,25 V$, $f = 2 GHz$ dissipando $P_{DIN} = 30 W$.

Vogliamo aumentare la frequenza di questo microprocessore a 3 Ghz.

Con che tensione devo alimentare il microprocessore per aumentare la frequenza a 3 Ghz?
Quale sarà la nuova dissipazione di potenza?

Per avere un'idea di quanto sia la tensione di soglia V_T , abbiamo una tensione di alimentazione di 1,25, la tensione di soglia sarà meno della metà, supponiamo $V_T = 0,5 V$.

Utilizziamo quella formula scritta prima che lega frequenza operativa e tensione di alimentazione. Dapprima ci calcoliamo la costante di proporzionalità A, sostituendo nella formula i dati che abbiamo e imponendo uguale a 2 GHz. Dopodiché con la A che abbiamo trovato, usiamo di nuovo quella formula, stavolta con V_{DD} incognito, e imponiamo uguale a 3 GHz.

$$2 GHz = A \frac{(1,25 - 0,5)^2}{1,25} \Rightarrow A = 2 GHz \frac{1,25}{(0,75)^2} = 4,44 \frac{GHz}{V}$$

La tensione di alimentazione V_{DD}^* necessaria alla nuova frequenza operativa la otteniamo imponendo:

$$3 GHz = 4,44 \frac{(V_{DD}^* - 0,5)^2}{V_{DD}^*} \Rightarrow V_{DD}^* \frac{3}{4,44} = (V_{DD}^* - 0,5)^2 \Rightarrow$$

$\Rightarrow V_{DD}^* = 0,84 \pm 0,67$ (delle due ha senso fisico solo quella che rappresenta una tensione più grande di quella iniziale) $\Rightarrow V_{DD}^* = 1,51 V$

Per quanto riguarda la nuova potenza dissipata P_{DIN}^*

Non conosco la C, quindi me la trovo attraverso la vecchia potenza dissipata:

$$C = \frac{P_{DIN}}{f V_{DD}^2} = \frac{30}{2 \cdot 10^9 \cdot (1,25)^2} = \frac{15}{(1,25)^2} nF$$

(Notiamo che l'ordine di grandezza nanoFarad è molto più grande dei femtoFarad del singolo invertitore, questo perché ovviamente in un microprocessore ci saranno centinaia di migliaia di porte logiche)

$$\Rightarrow P_{DIN}^* = C V_{DD}^{*2} f^* = 65,7 W$$

Quindi notiamo che per aumentare la frequenza di clock del 50% devo più che raddoppiare la potenza dissipata.

Il problema nell'avere frequenze di clock elevate è proprio questa potenza dissipata che, trasformandosi in calore, rischia di bruciare il circuito.

E' per questo motivo che attualmente, più che cercare di aumentare la frequenza di un singolo processore, si cerca di sfruttare il calcolo parallelo di più core.

Cenni sulla realizzazione dei circuiti integrati

Tecnologia CMOS

- I circuiti CMOS (Complementary MOS) utilizzano sia dispositivi N-MOS che dispositivi P-MOS, integrati nello stesso circuito integrato.
- La tecnologia CMOS **viene utilizzata per la realizzazione di tutti i circuiti integrati digitali** ed oggi è la tecnologia dominante anche nel campo dell'elettronica analogica

2 di 25

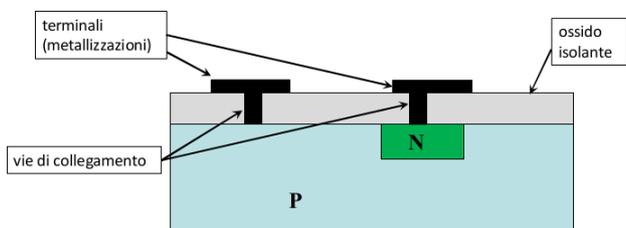
Processo fotolitografico

- La realizzazione di un circuito integrato (Integrated Circuit, **IC**) richiede la successione di numerosi processi tecnologici.
- Nella maggior parte dei casi, si tratta di effettuare delle particolari operazioni in zone ben definite del chip.
- Si parte, dunque, dalla definizione in termini geometrici delle zone da trattare, mediante la realizzazione di opportune **maschere**. Le maschere identificano le zone del chip che saranno sottoposte ad un determinato trattamento.
- Il passaggio dalla identificazione geometrica sulla maschera all'operazione da effettuare sul chip avviene mediante processi di tipo **fotolitografico** realizzati sulla **superficie del chip**.

3 di 25

Esempio

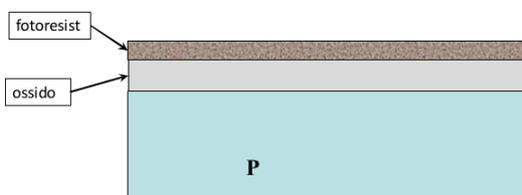
Supponiamo di dover realizzare un diodo, la cui sezione è mostrata in figura:



4 di 25

Attacco selettivo dell'ossido

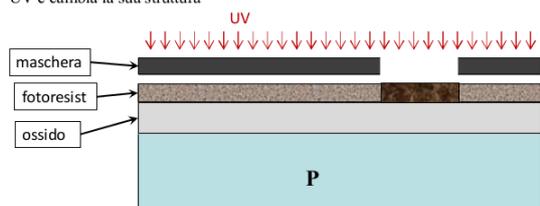
- Si parte da un cristallo che viene drogato con impurità accettore durante la crescita (il substrato P).
- Si accresce sul cristallo uno strato di protettivo di ossido (riscaldando il wafer di silicio in atmosfera ricca di ossigeno o vapore acqueo).
- Si ricopre tutto il wafer con un materiale fotosensibile (**fotoresist**)



5 di 25

Attacco selettivo dell'ossido

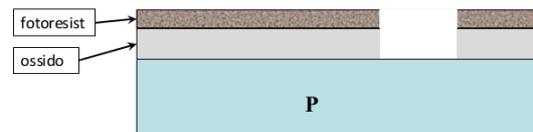
- Si applica la **maschera** in cui alcune zone sono trasparenti, mentre le altre sono opache. In quest'esempio, la zona trasparente corrisponde alla zona in cui vogliamo attaccare l'ossido.
- Si espone la superficie a radiazione ultravioletta.
- La zona di fotoresist non protetta dalla maschera viene colpita dalla radiazione UV e cambia la sua struttura



6 di 25

Attacco selettivo dell'ossido

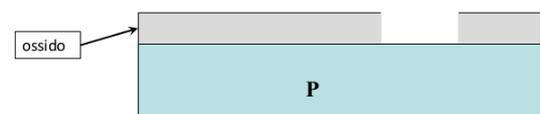
- Si rimuove la maschera e si sviluppa il fotoresist, eliminando la parte di fotoresist colpita dalla radiazione UV.
- Si effettua un attacco con un reagente chimico, che rimuove l'ossido nella zona non protetta dal fotoresist



7 di 25

Attacco selettivo dell'ossido

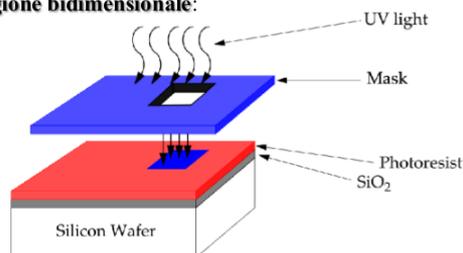
- Dopo aver eliminato il fotoresist con un'altro reagente chimico siamo nella situazione in figura, in cui **abbiamo trasferito l'informazione geometrica contenuta nella maschera nella presenza di una zona non ricoperta da ossido sul chip**:



8 di 25

Attacco selettivo dell'ossido

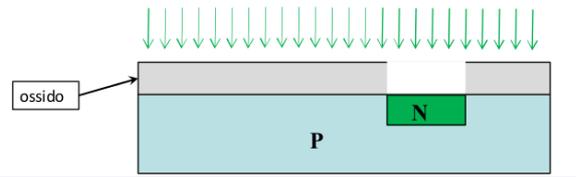
- Le figure precedenti, per semplicità, mostrano un vista in sezione del wafer. **In pratica la maschera definisce una regione bidimensionale:**



9 di 25

Impiantazione ionica

- Si bombarda ora la superficie del wafer con ioni di una specie di tipo donatore.
- Gli ioni di tipo N penetrano all'interno del cristallo, nella zona non protetta dall'ossido.
- Al termine di questo processo, denominato **impiantazione ionica**, il wafer viene riscaldato ad una temperatura prossima a quella di fusione, per ricostituire la struttura cristallina danneggiata dall'impianto

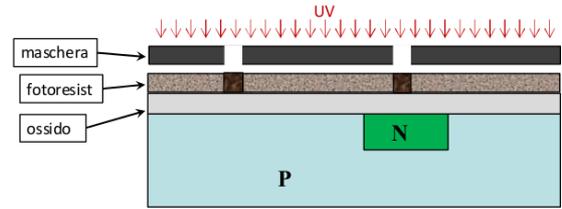


10 di 25

Creazione delle vie

I successivi passi di processo sono simili a quelli già visti.

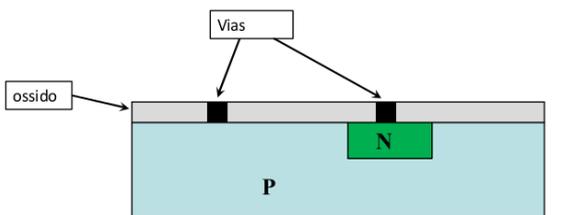
- Si elimina con un attacco chimico l'ossido superficiale.
- Si ossida nuovamente il wafer.
- Si utilizza una seconda maschera per attaccare selettivamente l'ossido in corrispondenza delle **vie di collegamento**:



11 di 25

Creazione delle vie

Per completare le **vias** si deposita del metallo in corrispondenza delle zone di ossido attaccate selettivamente:

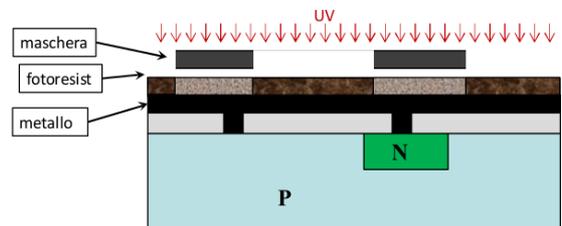


12 di 25

Metallizzazioni

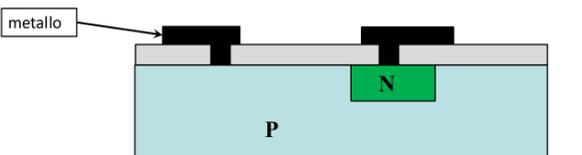
È necessario un terzo ed ultimo step fotolitografico per le **metallizzazioni**.

- Si copre l'intera superficie del wafer con uno strato metallico.
- Si utilizza una terza maschera per definire le regioni in cui eliminare il metallo:



13 di 25

Risultato finale



14 di 25

Tecnologia CMOS

È possibile realizzare su di uno stesso wafer sia dispositivi NMOS sia PMOS partendo da un substrato di tipo P in cui si realizzeranno gli NMOS.

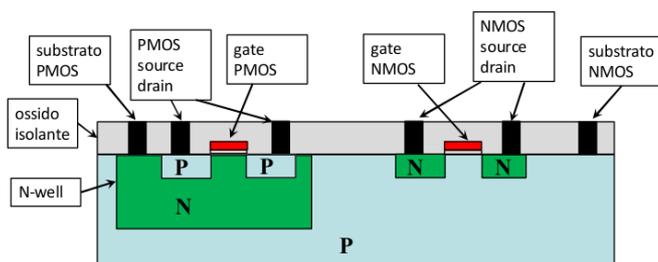
All'interno del substrato **si crea una ampia zona di tipo N**. In questa regione N (denominata **N-well**) vengono realizzati i dispositivi PMOS.

Si può procedere in maniera duale, partendo da un substrato N e realizzando una tasca P in cui allocare i dispositivi PMOS.

15 di 25

Tecnologia CMOS

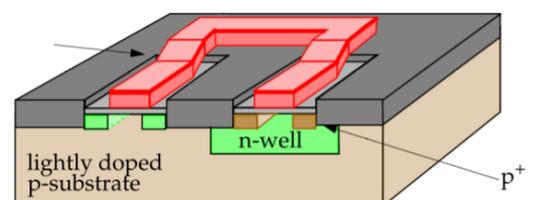
Sezione di un circuito in tecnologia N-well



16 di 25

Tecnologia CMOS

•Le figure precedenti, per semplicità, mostrano un vista in sezione del circuito. In pratica il circuito è tridimensionale:



17 di 25

Livelli di metallizzazione

Per completare i collegamenti, in un circuito integrato vengono utilizzati numerosi **livelli di metallizzazione**.

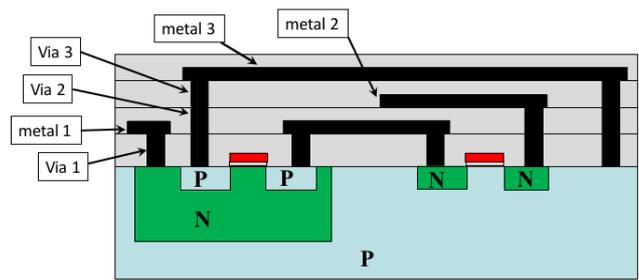
I vari livelli di metal sono sovrapposti e **sono isolati l'uno dall'altro** grazie all'interposizione di strati di ossido.

Ove sia necessario effettuare collegamenti fra livelli adiacenti, si realizzano delle **vias** nell'ossido.

18 di 25

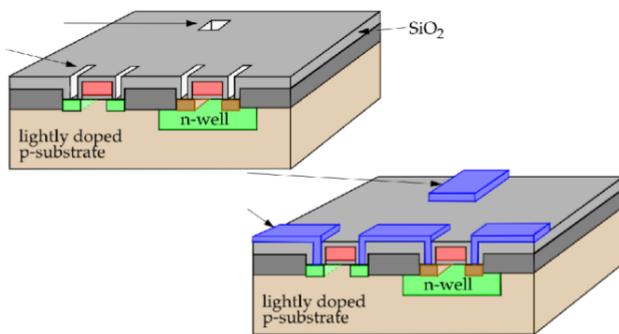
Livelli di metallizzazione

Le tecnologie attuali utilizzano fino a 10 livelli di metal



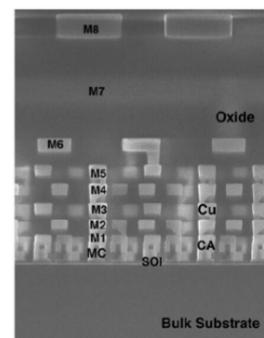
19 di 25

Tecnologia CMOS



20 di 25

Livelli di metallizzazione



21 di 25

Maschere nel processo CMOS

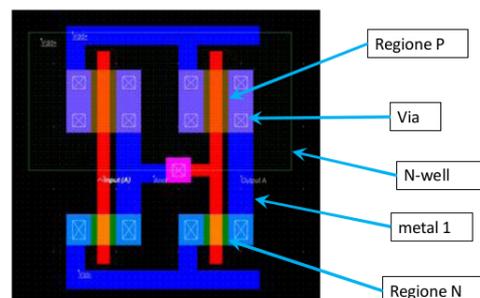
Per realizzare un dispositivo CMOS sono necessari numerosi passi fotolitografici e quindi numerose maschere (da quella necessaria per identificare la well, fino a quella relativa all'ultimo livello di metal).

Il layout del circuito è costituito da una rappresentazione grafica delle maschere, ognuna identificata da un colore diverso.

Il progetto di un circuito integrato termina con il disegno del layout.

22 di 25

Esempio di layout



23 di 25

Regole di progetto

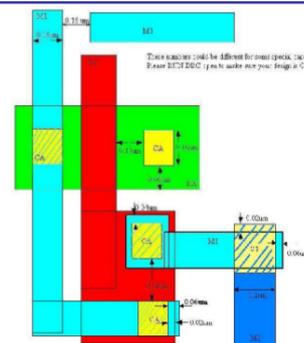
Nel disegnare il layout è necessario rispettare delle **regole di progetto**, che forniscono delle prescrizioni su: dimensioni minime, distanze minime da rispettare ecc.

Le regole di progetto dipendono dalla tecnologia prescelta.

La regola più importante è quella che stabilisce la lunghezza minima di gate.

24 di 25

Regole di progetto



25 di 25

Lezione 16

Esempio

Continuiamo a studiare la relazione che sussiste tra tensione di alimentazione, frequenza operativa e potenza dissipata dai circuiti CMOS.

Supponiamo di avere un microprocessore con:

$$f = 4 \text{ GHz} , P_D = 80 \text{ W} , V_{DD} = 1,2 \text{ V} , V_T = 0,4 \text{ V}$$

Poiché la dissipazione di potenza appare molto elevata vediamo se riusciamo a ridurla, a parità di capacità elaborativa, dividendo il sistema in una struttura **dual core**.

Avendo due processori anziché uno, ognuno dei due potrà elaborare a una frequenza dimezzata di 2 GHz (non è proprio così, perchè non si riesce ad ottenere un parallelismo perfetto, ma supponiamo di riuscirci).

Vediamo se operando in questo modo riusciamo effettivamente a ridurre la dissipazione di potenza, a parità di capacità di calcolo.

Ricordiamo che $P_D = C V_{DD}^2 f$.

Se alimentiamo il nuovo sistema dual core con la stessa tensione di alimentazione, la potenza dissipata da ogni core sarà $C V_{DD}^2 \frac{f}{2}$, e quindi la potenza totale, che è la somma delle potenze dissipate da ogni core sarà la stessa $C V_{DD}^2 f$ di prima.

Quindi apparentemente non avremmo nessun vantaggio ad usare un sistema dual core, o quad core, o millemila core.

In realtà il vantaggio esiste, e sta nel fatto che con una frequenza operativa più bassa possiamo abbassare la tensione di alimentazione.

Quindi ogni core operando ad una tensione più bassa, dissiperà, sperabilmente, meno potenza.

Noi sappiamo che $f = A \frac{(V_{DD} - V_T)^2}{V_{DD}}$.

Utilizziamo questa espressione per vedere di quanto si può ridurre la tensione di alimentazione abbassando la f da 4 a 2 Ghz.

Per prima cosa ci calcoliamo la A imponendo:

$$4 \text{ GHz} = A \frac{(1,2 - 0,4)^2}{1,2}$$

Ottenuta la A , riapplico la formula imponendo la frequenza di 2 Ghz e la A appena trovata, e avendo come incognita V_{DD} .

Dovrei fare i calcoli che stanno sulle slide...

Alla fine viene $A = 7,5 \frac{\text{GHz}}{\text{V}}$ e $V_{DD}^* = 0,89 \text{ V}$.

La potenza dissipata dal singolo core sarà $P_{CORE} = C V_{DD}^{*2} \frac{f}{2}$.

La potenza complessiva sarà due volte quella del singolo core: $P_{TOT} = 2 P_{CORE} = C V_{DD}^{*2} f$

Il rapporto tra la nuova potenza dissipata e quella del sistema iniziale è

$$\frac{P_{TOT}}{P_{INIZ}} = \left(\frac{V_{DD}^*}{V_{DD}} \right)^2 \simeq 0,5 . \quad \underline{\text{Siamo quindi riusciti a dimezzare la potenza dissipata.}}$$

Ovviamente questo ragionamento può essere esteso ad architetture, in generale, multicore, e quindi ottenere ulteriori vantaggi sulla potenza dissipata.

Riduzione in scala dei circuiti CMOS

Abbiamo già detto che nei circuiti CMOS ci sono diversi vantaggi nell'avere una lunghezza di canale L la più piccola possibile: L_{MIN} .

Questa L_{MIN} è legata alla **risoluzione del processo fotolitografico**, che migliora col progredire della tecnologia.

Potendo avere una risoluzione migliore, è possibile **ridurre in scala** i dispositivi.

Supponiamo di partire da una certa tecnologia, che quindi garantisce una data L_{MIN} , e immaginiamo che questo sistema sia riprodotto con una tecnologia più avanzata in cui L_{MIN} diventa più piccola, supponiamo $\frac{L_{MIN}}{x}$.

$x > 1$ è il termine che ci dice di quanto è migliore l'accuratezza del processo fotolitografico. Per esempio, supponendo di passare da una tecnologia con $L_{MIN} = 90 \text{ nm}$ a una tecnologia con

$L_{MIN} = 28 \text{ nm}$, avremmo $x = \frac{90}{28} \simeq 3$, che mi dice di quanto è migliore la tecnologia.

Vogliamo vedere come migliorano le prestazioni di un circuito quando passiamo ad una nuova tecnologia più avanzata, quindi di quanto migliorano, se migliorano, frequenza operativa, potenza dissipata, e così via.

Prima di tutto vediamo come cambiano i parametri dei dispositivi.

Tecnologia iniziale	Tecnologia avanzata ridotta in scala	
L_{MIN}		$\frac{L_{MIN}}{x}$
W	Potendo ridurre in scala tutte le dimensioni geometriche, è ragionevole che noi riduciamo non solo L , ma anche W	$\frac{W}{x}$
$\frac{W}{L}$	Riduciamo in scala entrambe le dimensioni, quindi il rapporto rimane invariato	$\frac{W}{L}$
t_{OX}	Posso ridurre lo spessore dell'ossido	$\frac{t_{OX}}{x}$

V_{DD}	<p><u>Cosa accade per le tensioni (di soglia e di alimentazione)?</u></p> <p>Idealmente, sarebbe bene ridurre anche le tensioni dello stesso fattore x, quindi farle diventare $\frac{V_{DD}}{x}$ e $\frac{V_T}{x}$.</p> <p>Questa scelta, infatti, fa sì che il campo elettrico nel dispositivo, sia nel canale che nell'ossido, rimanga costante: riduco le dimensioni geometriche, riduco pure la tensione => il rapporto tra la tensione e le distanze rimane invariato, il campo elettrico è costante.</p> <p>Questo è importante, per quale motivo? Perché se io riduco la lunghezza di canale e lo spessore dell'ossido, ma lascio le tensioni fisse, il campo elettrico può crescere a valori tali da rompere il dispositivo.</p> <p>Se invece riduco le distanze e riduco pure le tensioni, il campo elettrico rimane costante, e il dispositivo non si rompeva prima, e non si rompe nemmeno dopo la riduzione in scala.</p> <p>Quindi idealmente sarebbe opportuno fare questo scaling a campo costante.</p> <p>In pratica, però, questa condizione ideale spesso non si può ottenere, perché diminuendo la tensione di alimentazione peggioro i margini di rumore.</p> <p>Quindi in molti casi non si riesce a ridurre le tensioni esattamente del fattore x, e quindi questa ipotesi ideale di scaling a campo elettrico costante non si riesce ad avere come si vorrebbe.</p>	$\frac{V_{DD}}{x}$
V_T	<p>io riduco la lunghezza di canale e lo spessore dell'ossido, ma lascio le tensioni fisse, il campo elettrico può crescere a valori tali da rompere il dispositivo.</p> <p>Se invece riduco le distanze e riduco pure le tensioni, il campo elettrico rimane costante, e il dispositivo non si rompeva prima, e non si rompe nemmeno dopo la riduzione in scala.</p> <p>Quindi idealmente sarebbe opportuno fare questo scaling a campo costante.</p> <p>In pratica, però, questa condizione ideale spesso non si può ottenere, perché diminuendo la tensione di alimentazione peggioro i margini di rumore.</p> <p>Quindi in molti casi non si riesce a ridurre le tensioni esattamente del fattore x, e quindi questa ipotesi ideale di scaling a campo elettrico costante non si riesce ad avere come si vorrebbe.</p>	$\frac{V_T}{x}$
$C'_{OX} = \frac{\epsilon_{OX}}{t_{OX}}$	<p>La capacità per unità d'area della gate</p>	$x C'_{OX}$
$C_g = C'_{OX} \cdot W \cdot L$	<p>La capacità per unità di area aumenta di x, l'area $W \cdot L$ diminuisce di x^2, quindi avremo che la capacità di gate...</p>	$\frac{1}{x} C_g$
$K' = \mu_N C'_{OX}$		$x K'$
$K = K' \left(\frac{W}{L} \right)$		$x K$
$t_P = \frac{C V_{DD}}{K (V_{DD} - V_T)^2}$		$\frac{\left(\frac{1}{x}\right) \left(\frac{1}{x}\right)}{x \left(\frac{1}{x}\right)^2} t_P = \frac{1}{x} t_P$
f		$x f$

$P_D = C V_{DD}^2 f$	<p>La potenza dissipata <u>da una singola porta logica</u> diminuisce di x^2 .</p> <p>Però quello che succede è che quando si va verso tecnologie più sofisticate, è vero che si potrebbe fare il circuito più piccolo, però la tendenza è quella di rimanere le dimensioni costanti e di aggiungere ulteriori elementi sul circuito.</p> <p>Quindi <u>a livello di sistema</u>, l'area complessiva del circuito tende a rimanere costante, perchè uno ci mette sempre più funzioni integrate.</p> <p>In particolare ci posso mettere x^2 volte la logica che è già presente, perchè l'area occupata diminuisce di x^2 .</p> <p>Quindi a livello di sistema, la potenza dissipata tende a rimanere costante.</p>	$\frac{1}{x^2} P_D$
NM	<p>Credo che sia perchè si riducono i livelli V_{OH} , V_{OL} , V_{IH} , V_{IL} .</p>	<p>Svantaggio:</p> $\frac{NM}{x}$

Quindi, vediamo che in pratica abbiamo solo effetti positivi, sulla frequenza, sulla potenza dissipata, ecc

Quello che certamente peggiora è il margine di rumore che si riduce di questo stesso fattore x, e questa ovviamente è una cosa negativa.

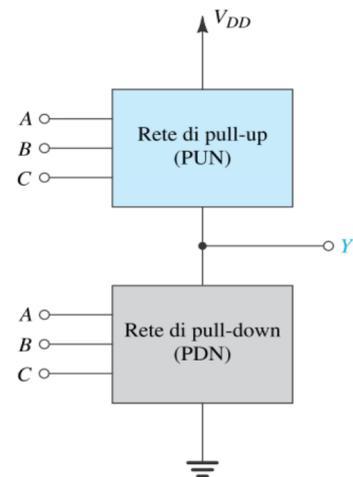
Porte Logiche CMOS

La struttura generale è quella riportata di fianco, ed è una generalizzazione della struttura dell'invertitore:

Abbiamo una rete di pull-up, anche detta rete P, costituita da PMOS, in serie a una rete di pull-down, anche detta rete N, costituita da NMOS.

I segnali di ingresso devono essere collegati sia alla rete di pull-up che a quella di pull-down.

Le due reti devono rispettare la seguente condizione: per qualsiasi combinazione degli ingressi, una ed una sola delle due reti deve essere in conduzione (offrono un cammino verso l'alimentazione o verso massa), mentre l'altra deve essere interdetta.



Infatti non possiamo tollerare né che le reti siano entrambe interdette, né che le reti siano entrambe in conduzione.

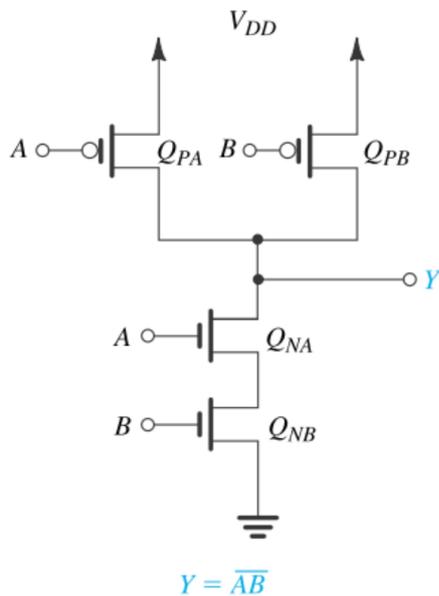
Se fossero entrambe interdette, l'uscita sarebbe flottante, non verrebbe pilotata da questa porta logica, qualsiasi disturbo la porterebbe o a 1 o a 0 in maniera incontrollata.

Se le due reti invece conducessero entrambe, si avrebbe una dissipazione di potenza, perchè avremmo una corrente che si perde tra l'alimentazione e massa senza fare niente di utile, e poi l'uscita sarebbe proprio nella fascia di tensioni che noi abbiamo definito proibita, quindi che non

corrisponde a nessun livello.

Quindi dobbiamo stare attenti a che per ogni combinazione di ingressi, una sola delle due reti sia in conduzione.

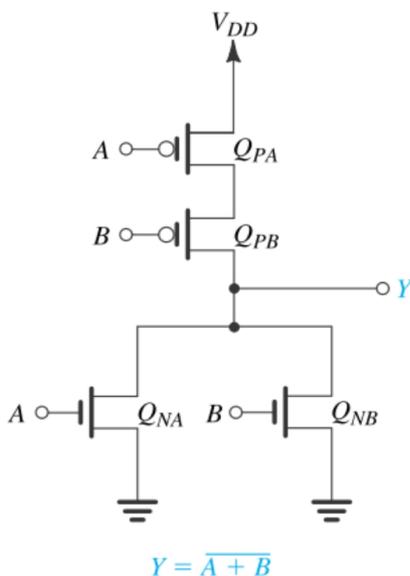
NAND



A	B	pull-down	pull-up	Y
0	0	OFF	ON	1
0	1	OFF	ON	1
1	0	OFF	ON	1
1	1	ON	OFF	0

(Se volessimo fare una NAND a n ingressi, ovviamente basta mettere n NszMOS pilotati dagli n ingressi nella rete di pull-down, e n PMOS in parallelo pilotati dagli stessi ingressi nella rete di pull-up)

NOR



A	B	pull-down	pull-up	Y
0	0	OFF	ON	1
0	1	ON	OFF	0
1	0	ON	OFF	0
1	1	ON	OFF	0

(Se volessimo fare una NOR a n ingressi....abbuò, stesso discorso di prima, con parallelo e serie invertiti).

Notiamo che nella logica Pseudo NMOS avevamo le stesse reti di pull-down, ma avevamo un unico dispositivo di carico, rappresentato da un PMOS con la gate a massa.

Qui invece la rete di pull-up è costituita da un numero di PMOS pari al numero di NMOS nella rete N, collegati in maniera duale a come sono collegati gli NMOS nella rete N.

Quindi, se abbiamo n ingressi, in logica Pseudo NMOS abbiamo n+1 dispositivi, mentre in logica CMOS 2n dispositivi.

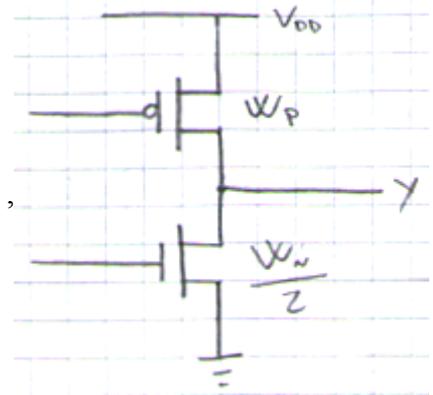
Nonostante ci sia bisogno del doppio dei dispositivi per realizzare la stessa funzione, la logica CMOS è preferibile a quella Pseudo NMOS a causa della dissipazione di potenza statica di quest'ultima.

Se vogliamo calcolare i **tempi di propagazione**, possiamo ricondurre il circuito ad un **invertitore equivalente** corrispondente a una combinazione di ingressi che, cazzo, non esiste!!!

Nel caso della **NAND**,

consideriamo il “caso peggiore” in cui nella rete di pull-down conducano entrambi gli NMOS, mentre nella rete di pull-up conduca solo un PMOS.

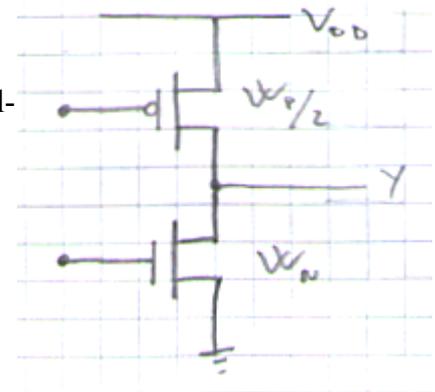
Quindi, detti W_N e W_P le dimensioni dei dispositivi della NAND, l'invertitore equivalente avrà il PMOS di dimensione W_P , mentre un NMOS equivalente di dimensione $\frac{W_N}{2}$, in quanto abbiamo due dispositivi in serie.



Nel caso della **NOR**,

consideriamo il “caso peggiore” in cui conducano entrambi i PMOS in serie nella rete di pull-up e uno solo degli NMOS nella rete di pull-down.

Quindi l'invertitore equivalente avrà un PMOS equivalente di dimensione $\frac{W_P}{2}$ e l'NMOS di dimensione W_N .



A partire dagli invertitori equivalenti capiamo come dimensionare i dispositivi nel caso in cui vogliamo avere una **caratteristica simmetrica**.

Nella NAND : $W_P = 2,5 \frac{W_N}{2} \Rightarrow W_P = 1,25 W_N$

Nella NOR: $\frac{W_P}{2} = 2,5 W_N \Rightarrow W_P = 5 W_N$

Porte Logiche Complesse CMOS

Possiamo realizzare, in un'unica porta logica, funzioni nella forma AND-OR-INVERT e OR-AND-INVERT (o, penso, comunque tutte funzioni che siano AND e OR il tutto poi alla fine negato)

Ad esempio, proviamo a realizzare la porta logica relativa alla funzione $Y = \overline{A \cdot B + C \cdot D \cdot E}$.

Le porte logiche complesse saranno sempre costituite da una rete di pull-up e da una rete di pull-down, con l'uscita Y piazzata in mezzo.

Vediamo come sono fatte le due reti.

Per quanto riguarda la rete N... (stessa cosa della rete di pull-down nel caso Pseudo NMOS)

Dobbiamo domandarci quando è che l'uscita $Y = 0$.

(nelle porte logiche pseudo NMOS chiamavamo "funzione di attivazione" il negato della funzione che dovevamo realizzare, che attivava la rete di pull-down. Quà è lo stesso)

L'uscita $Y = 0$ quando sono alti A e B contemporaneamente, oppure C, D ed E contemporaneamente.

La condizione "oppure" si traduce nel fatto che dobbiamo dividere la nostra rete N in due blocchi in parallelo: uno si attiva quando è alta $A \cdot B$ mentre l'altra quando è alta

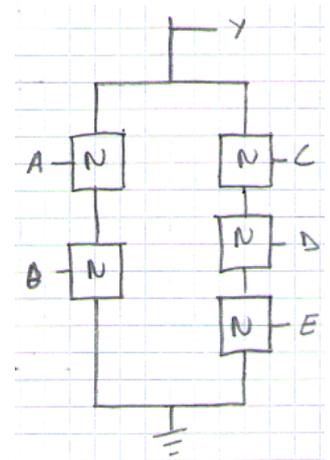
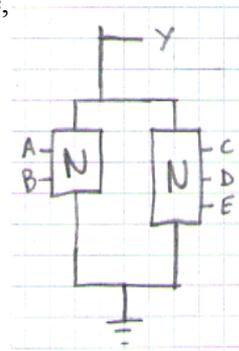
$$C \cdot D \cdot E$$

Ora analizziamo questi due blocchi.

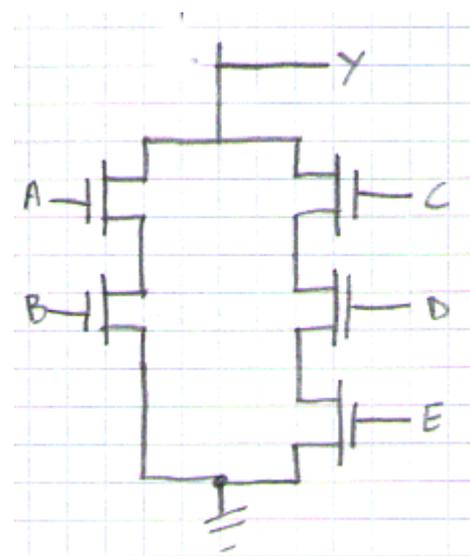
Quando è che $C \cdot D \cdot E = 1$? Quando è alto C, ed inoltre D ed inoltre E.

Questo "ed inoltre" si traduce, dal punto di vista circuitale nella serie di 3 sottoblocchi. Uno pilotato da C, uno da D, e uno da E.

Analogo ragionamento per il blocco pilotato da A e da B.



A questo punto abbiamo finito la decomposizione, perchè i vari blocchetti sono pilotati da un unico segnale. Quindi a questo punto possiamo disegnare la rete di pull-down sostituendo a ciascuno di questi blocchetti un NMOS.



Notiamo che, tutt'ò blocc bastava dire "una volta negata la funzione che dobbiamo realizzare, all'operatore OR corrisponde il parallelo, mentre all'operatore AND la serie", cioè possiamo procedere per ispezione.

Per quanto riguarda la rete P...

In questo caso dobbiamo domandarci quand'è che l'uscita $Y = 1$.

Però bisogna fare attenzione: in questo caso abbiamo dei PMOS che conducono quando l'ingresso è basso.

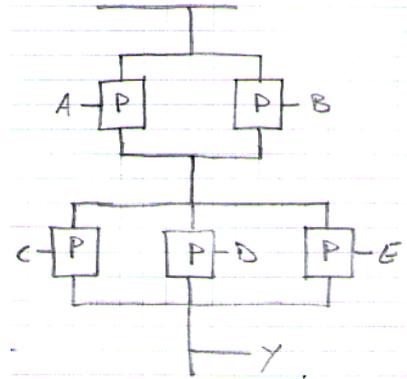
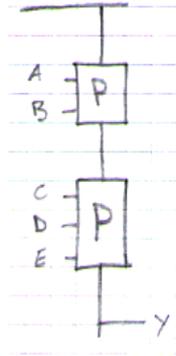
Conviene riscrivere la funzione applicando De Morgan:

$$Y = (\overline{A + B}) \cdot (\overline{C + D + E}) .$$

L'uscita è alta quando $\overline{A + B} = 1$ e inoltre

$$\overline{C + D + E} = 1 .$$

Quindi abbiamo due blocchi in serie, uno pilotato da A e da B, l'altro da C, D ed E.

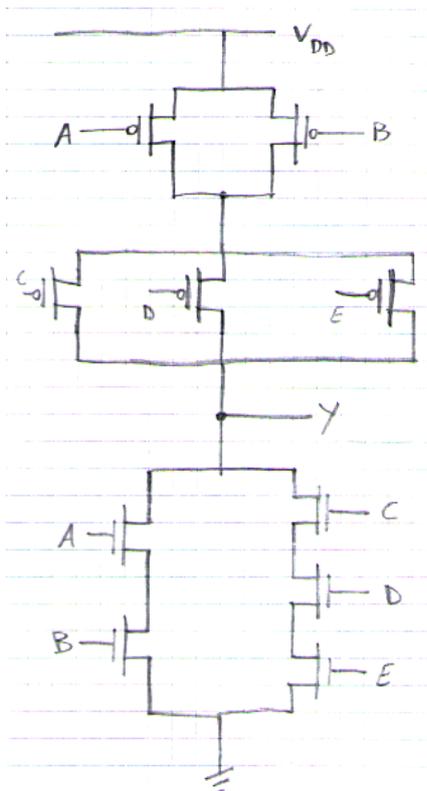


A questo punto, per ogni blocco abbiamo il parallelo di 3 sottoblocchi, in quando abbiamo che, ad esempio $\overline{A + B} = 1$ quando è attivo il sottoblocco pilotato da A “oppure” quello pilotato da B.

Ogni sottoblocco è pilotato da un unico segnale, quindi possiamo sostituirli con i PMOS.

Notiamo che anche in questo caso possiamo procedere per ispezione guardando direttamente la funzione, o magari osservando che la rete di pull-up è duale a quella di pull-down.

A questo punto mettiamo insieme le due reti e otteniamo la porta logica:



Questa che abbiamo visto è una AND OR INVERT, perchè è una OR di termini AND, il tutto alla fine negato.

In maniera identica possiamo realizzare delle funzioni OR AND INVERT, che ovviamente sono delle AND di termini OR, il tutto alla fine negato.

Fatti la porta che realizza sta funzione OR AND INVERT per esercitarti:

$$Y = \overline{(A + B) \cdot (C + D)} .$$

Lezione 17

Logiche a Porte di Trasmissione

La struttura più diffusa nella realizzazione delle logiche CMOS è quella che abbiamo visto finora: una rete di pull-up costituita da PMOS e una rete di pull-down costituita da NMOS.

Esiste però un'altra struttura, detta **a porte di trasmissione**, che viene utilizzata per realizzare più efficacemente alcune funzioni logiche, ad esempio il multiplexer.

Le strutture a porte di trasmissione differiscono da quelle che abbiamo visto precedentemente nel fatto che gli interruttori (che poi sono rappresentati da transistor) non sono collegati tra uscita e massa e tra uscita e alimentazione, ma sono collegati in qualche modo tra ingresso e uscita.

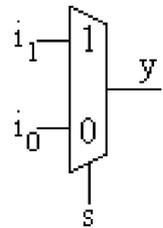
Per capire meglio questo fatto consideriamo...

Multiplexer 2/1

Il dispositivo è comandato da un segnale di selezione S.

Quando il segnale di selezione è alto, l'ingresso i_1 viene riportato sull'uscita y.

Quando il segnale di selezione è basso, sarà invece l'ingresso i_0 ad essere smistato sull'uscita y.



Questo è un multiplexer 2/1 (si legge 2 a 1), perchè ha 2 ingressi e 1 uscita.

Possiamo ovviamente estenderlo a strutture più complicate, per esempio il multiplexer 4 a 1 ...

Un multiplexer può essere facilmente realizzato utilizzando porte logiche "standard", come quelle che abbiamo visto prima.

Focalizziamo la nostra attenzione sul multiplexer 2/1 che è quello più semplice.

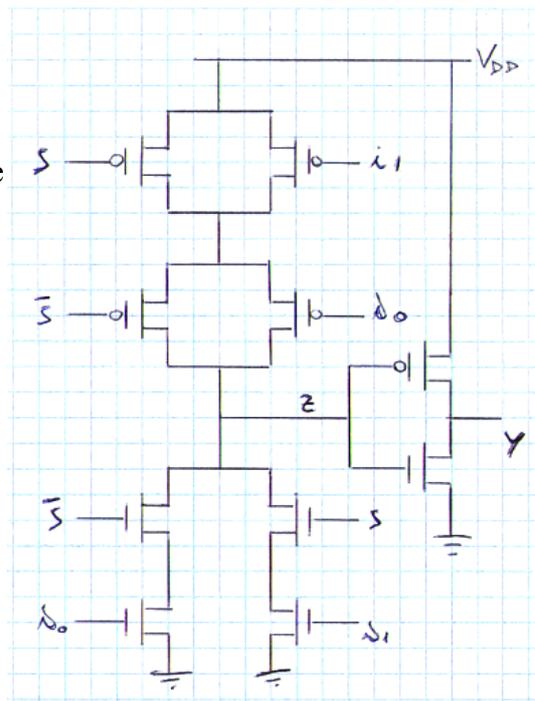
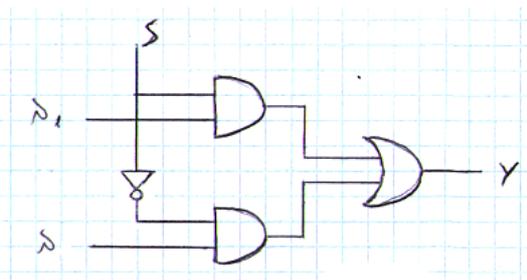
La sua funzione può essere espressa mediante la seguente funzione logica:

$$y = \bar{S} \cdot i_0 + S \cdot i_1$$

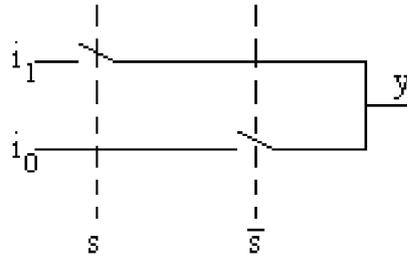
E' una AND-OR.

Noi con le porte complesse siamo in grado di realizzare le AND-OR-INVERT, quindi la possiamo realizzare come una porta complessa che realizza la funzione negata

$z = \bar{S} \cdot i_0 + S \cdot i_1$, e poi facciamo seguire un invertitore $y = \bar{z}$.



Esiste però un metodo più semplice, come di cevamo prima, che consiste nel collegare degli interruttori direttamente fra ingresso e uscita, per implementare il nostro multiplexer. Concettualmente lo schema è il seguente:



Questo circuito realizza la nostra funzione di multiplexing:

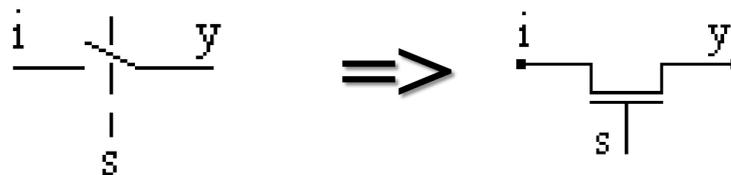
se S è alto, l'interruttore di sopra, e quindi l'uscita è pari a i_1 , se S è basso, l'uscita è pari a i_0 .

Questa struttura è più efficace, perchè utilizza molti meno interruttori rispetto a quanti ne abbiamo usati prima (i transistor rappresentano degli interruttori).

Dobbiamo capire come realizzare gli interruttori tra ingresso e uscita.

Interruttore con singolo NMOS

Il modo più semplice per realizzare l'interruttore utilizza un singolo dispositivo NMOS:



C'è da dire che però non funziona così bene come potrebbe sembrare.

Caso 1: $i_1 = '1'$: vogliamo trasferire il livello alto dall'ingresso all'uscita

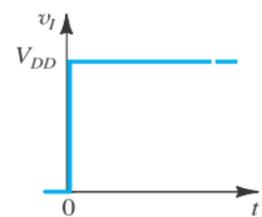
Supponiamo che al tempo $t = 0$ il segnale di selezione S diventi alto,

$S = V_{DD}$, e che vogliamo trasferire un livello alto dall'ingresso all'uscita,

$i_1 = V_{DD}$.

Modelliamo il fan-out con la solita capacità di carico C.

Supponiamo che per $t = 0$ la capacità C sia scarica, cioè $v_y(0) = 0$.



Il drain sarà quello collegato alla tensione di alimentazione.

La tensione di comando

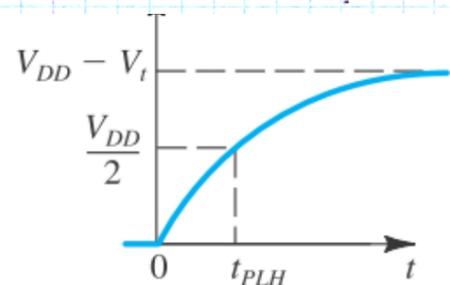
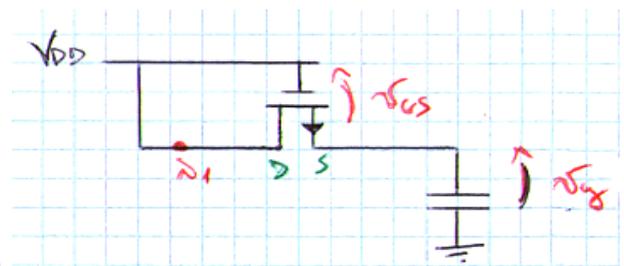
$v_{GS} \stackrel{\text{def}}{=} v_G - v_S = V_{DD} - v_y$, che sarà variabile

in quanto lo è v_y .

Al tempo 0, $v_{GS}(0) = V_{DD}$, il dispositivo è in piena

conduzione, ci sarà un bel passaggio di corrente che andrà a caricare la capacità.

Ma man mano che la capacità si carica, la tensione di uscita aumenta, e quindi quella di comando diminuisce, e quindi diminuisce anche la corrente di carica.



Infine, quando la tensione di uscita scende a $V_{DD} - V_T$, la v_{GS} scende a V_T e il dispositivo si interdice, quindi la corrente si azzerava e l'uscita rimane costante e pari a $V_{DD} - V_T$.

Quindi l'uscita non raggiunge il valore dell'ingresso, ma “perdiamo una soglia” (si dice proprio così).

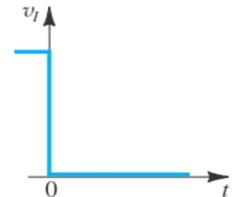
Questo ovviamente non ci fa molto piacere, perché noi vorremmo che i livelli logici fossero preservati nel passaggio attraverso una porta, non vogliamo che si deteriorino.

Caso 2: $i_1 = '0'$: vogliamo trasferire il livello basso dall'ingresso all'uscita

Supponiamo che al tempo $t = 0$ il segnale di selezione S diventi alto,

$S = V_{DD}$, e che vogliamo trasferire un livello basso dall'ingresso all'uscita,

$i_1 = 0$.



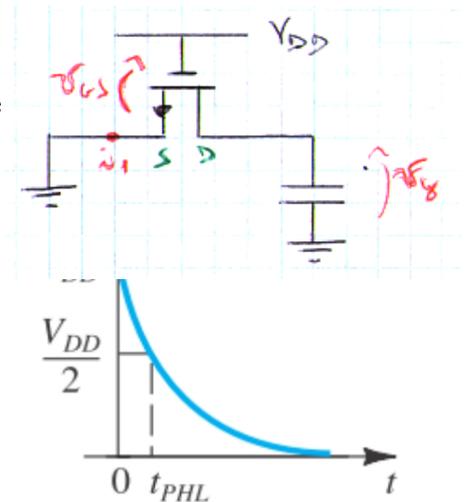
Supponiamo che per $t = 0$ la capacità C sia carica, cioè $v_y(0) = V_{DD}$.

Il drain sta volta sarà quello collegato alla tensione di uscita, che al tempo 0 è alta.

La tensione di comando $v_{GS} \stackrel{\text{def}}{=} v_G - v_S = V_{DD}$, che sta volta è costante (e tralaltro è la massima tensione possibile di pilotaggio).

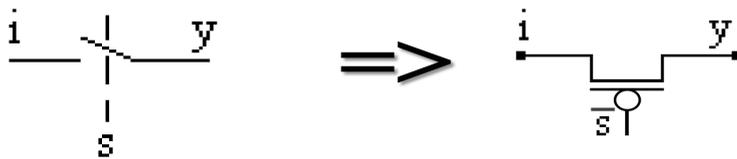
Il dispositivo è in massima conduzione, e quindi la capacità può scaricarsi completamente, senza problemi, a massa, e quindi la tensione di uscita può andare a 0.

Quindi qui non abbiamo problemi di perdita di soglia.



Quindi, possiamo concludere che l'utilizzo di un NMOS come interruttore va bene quando devo trasmettere un livello logico basso, invece non va così bene, perdo la soglia, quando devo trasmettere un livello logico alto.

Interruttore con singolo PMOS



Notiamo che in questo caso il segnale sulla gate è complementato, perchè è necessario che il potenziale di gate sia basso affinché il PMOS conduca.

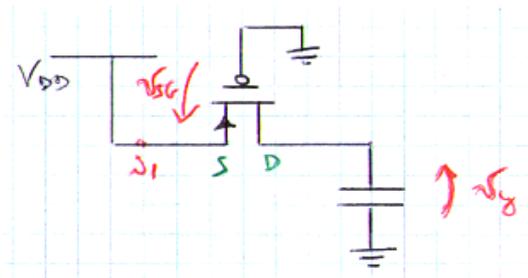
Caso 1: $i_1 = '1'$: vogliamo trasferire il livello alto dall'ingresso all'uscita

Supponiamo che al tempo $t = 0$ il segnale di selezione S diventi alto, $S = V_{DD}$, e che vogliamo trasferire un livello alto dall'ingresso all'uscita, $i_1 = V_{DD}$.

Supponiamo che la capacità inizialmente sia scarica.

Il potenziale sulla gate sarà il complemento, $v_G = 0$, quindi la tensione di comando $v_{SG} = v_S - v_G = V_{DD}$ costante, quindi la capacità può caricarsi completamente.

La tensione di uscita può andare a V_{DD} .



Caso 1: $i_1 = '0'$: vogliamo trasferire il livello basso dall'ingresso all'uscita

Supponiamo che al tempo $t = 0$ il segnale di selezione S diventi alto, $S = V_{DD}$, e che vogliamo trasferire un livello basso dall'ingresso all'uscita, $i_1 = 0$.

Supponiamo che la capacità inizialmente sia carica, $v_y(0) = V_{DD}$.

In questo caso il source è il morsetto collegato all'uscita, che è a potenziale più alto.

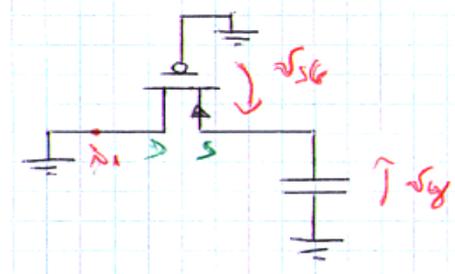
Sta volta la tensione di comando v_{SG} è variabile, in quanto

$$v_{SG} = v_S - v_G \text{ e } v_S \text{ è variabile.}$$

Avremo che la capacità comincerà a scaricarsi \rightarrow la tensione di comando scende \rightarrow la corrente di scarica si abbassa. Finchè la tensione di comando non arriverà a $|V_T|$, e a quel punto la corrente di scarica sarà zero, perchè il PMOS si spegne.

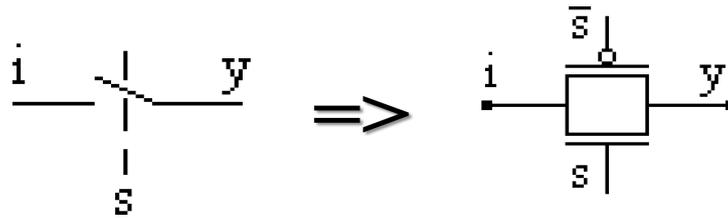
A quel punto la tensione di uscita sarà costante e pari a $|V_T|$.

Quindi anche in questo caso ho la perdita della soglia, in questo caso sul livello basso.



Porta di Trasmissione Complementare

Possiamo mettere in parallelo PMOS e NMOS, in modo da mettere insieme “gli aspetti positivi di ciascuno dei due”.



Mettendo i dispositivi in parallelo, a seconda che l'ingresso sia alto o sia basso, c'è uno dei due che è più efficace dell'altro, ma entrambi cooperano per portare l'uscita o a zero o all'alimentazione.

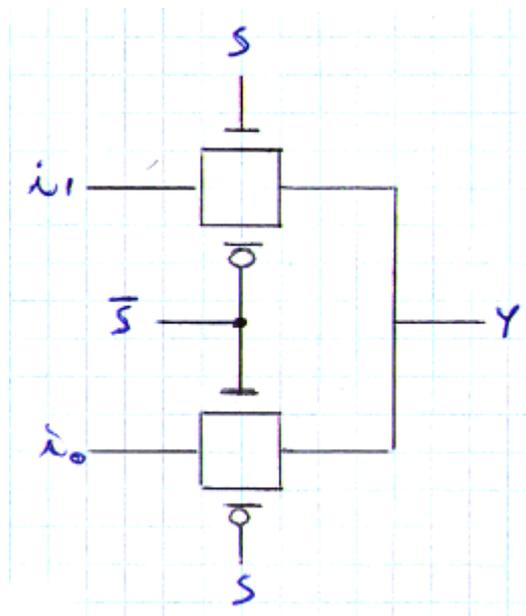
Cioè tipo:

se l'ingresso è 0, e il segnale di selezione è alto, entrambi i dispositivi conducono finché l'uscita è più alta di $|V_T|$, dopo conduce solo l'NMOS e finisce il lavoro.

Stessa cosa quando l'ingresso è alto...in quel caso a finire il lavoro è il PMOS.

Se li mettessimo in serie, peggioreremmo le prestazioni rispetto a quanto visto con uno solo dei due, perchè c'è sempre uno che limita l'altro nel portare l'uscita o a 1 o a 0, e quindi l'uscita varierebbe tra $V_{DD} - V_T$ e $|V_T|$.

A questo punto possiamo disegnare lo schema del multiplexer 2/1:

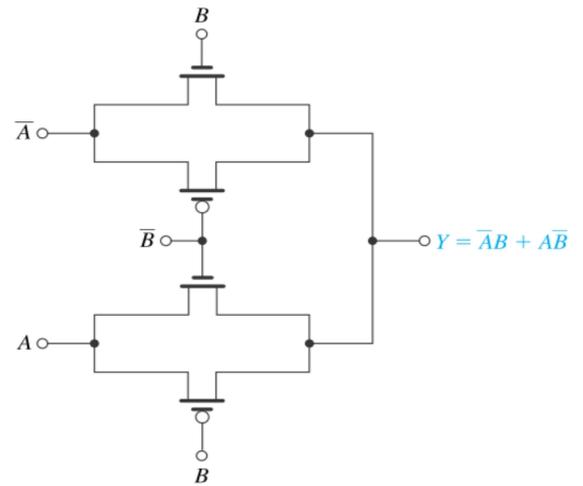
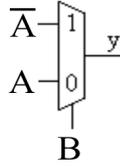


Il multiplexer è un blocco logico universale, cioè con un multiplexer si può realizzare una qualunque funzione logica.

Ad esempio, vediamo qualche funzione che non abbiamo mai visto...

XOR

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0

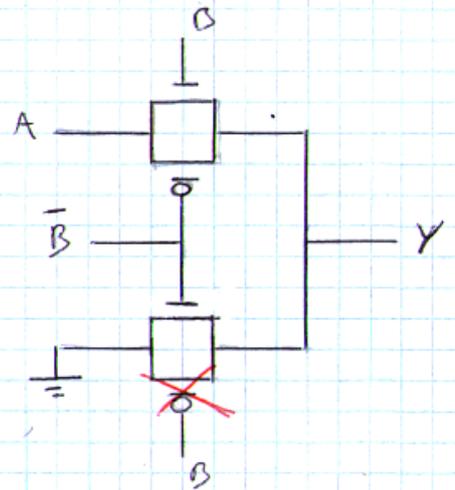
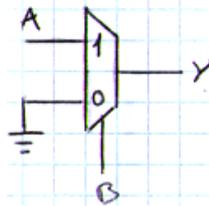


Per capire che effettivamente il multiplexer con quegli ingressi realizza una XOR, basta guardare la tabella di verità e osservare che quando B è alto, l'uscita è il negato di A, quando B è basso, l'uscita è proprio A.

Vista la sua forma in termini OR e AND, possiamo dire che è complicata da realizzare in logica CMOS "standard", soprattutto quando è a più di due ingressi.

AND

A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1



Sempre osservando la tabella, quando B è alto, l'uscita deve essere A, quando B è basso l'uscita deve essere sempre bassa.

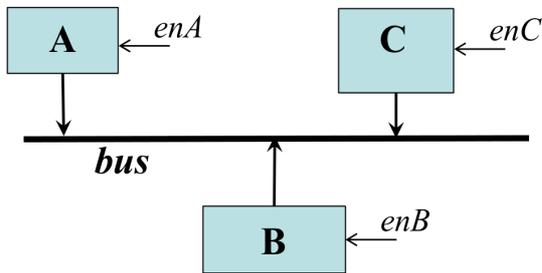
Nell'interruttore di sotto, viene trasferito sempre uno zero, quindi è sufficiente l'utilizzo dell'NMOS.

Comunque è più efficiente in CMOS "standard" con una NAND seguita da un invertitore.

Porte Tristate

In molte applicazioni c'è la necessità di collegare le uscite di differenti blocchi logici su una linea condivisa, detta **bus**.

Per evitare conflitti (che dopo spiego), di volta in volta uno solo dei blocchi può essere abilitato a pilotare il bus.



Ogni blocco può essere abilitato a pilotare il bus, solo alla ricezione di un segnale, appunto, di abilitazione, detto **enable**.

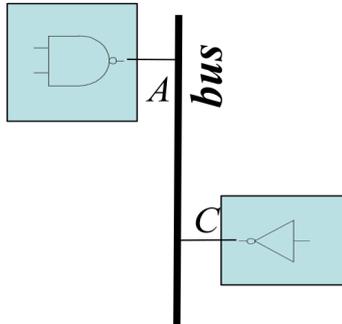
Nell'esempio in figura, uno solo dei tre segnali di enable può essere alto.

Osserviamo che il problema si pone solo quando abbiamo più blocchi che vogliono "scrivere" sul bus, cioè che hanno il bus in uscita. Le porte che "leggono" dal bus, cioè che prendono il segnale dal bus per effettuarne elaborazioni, possono accedervi anche in maniera contemporanea.

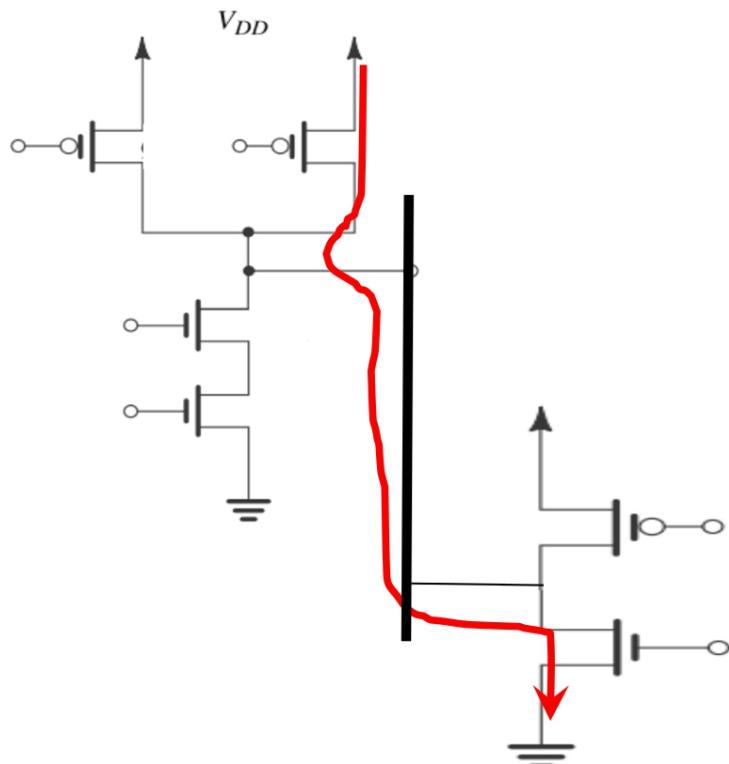
Tuttalpiù, se vogliamo, la presenza o meno di un dispositivo in più che legge dal bus causa un aumento della capacità di carico del fan-out.

Cosa succederebbe se collegassimo più porte in scrittura, brutalmente, senza meccanismo dell'enable?

Supponiamo di avere in uscita su bus una NAND che ha in uscita il livello alto, e un invertitore che ha in uscita il livello basso.



Sono contemporaneamente in conduzione la rete di pull-up della NAND e quella di pull-down dell'invertitore:



Supponiamo

$A=1, C=0$

Si ha un notevole passaggio di corrente dall'alimentazione a massa, che dà luogo a un'inutile dissipazione di potenza.

Ma soprattutto, **il livello logico è**

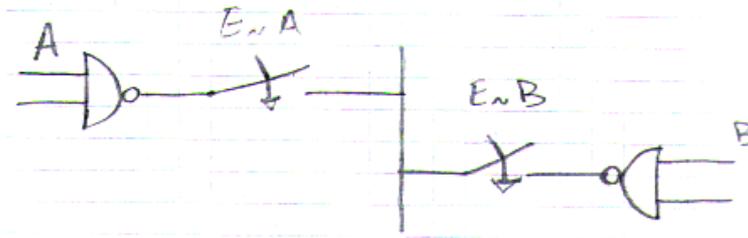
indefinito. Poiché sono attive

contemporaneamente una rete di pull-up e una rete di pull-down, e quindi il livello di tensione che abbiamo sul bus non sarà né 1 né 0, sarà una via di

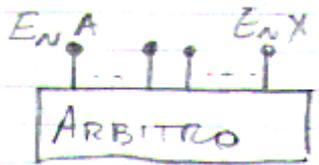
mezzo, sarà proprio in quella fascia di tensioni proibite che potrebbero essere lette da qualche porta come un 1, e da qualche altra porta come 0.

Per evitare che si generi una situazione di conflitto come quella che abbiamo evidenziato, quindi abbiamo bisogno del meccanismo dell'enable.

In pratica non facciamo altro che posizionare all'uscita dell'ultimo stadio di ogni blocco un "interruttore" pilotato da un segnale di enable.



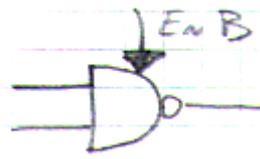
Ci sarà un blocco, che possiamo chiamare **arbitro**, il quale secondo una certa logica che dipende dal sistema che stiamo considerando genera questi segnali di abilitazione, e quindi di volta in volta attiva uno solo dei blocchi che vogliono scrivere sul bus, gli altri n-1 li mantiene disabilitati.



Una **porta tristate** è semplicemente una porta con all'uscita quest'interruttore pilotato dal segnale di enable.

Si indica come una normale porta con una freccia che indica il segnale di enable.

Ad esempio la NAND tristate si indica così:

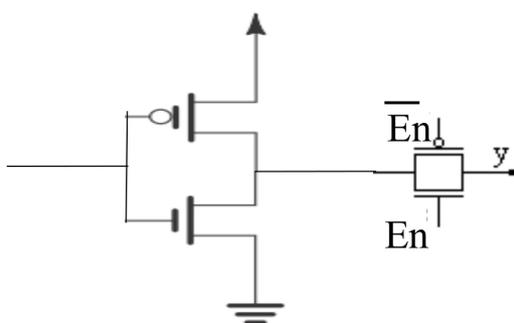


"Tristate" perchè l'uscita può essere o 1, o 0, o **Z (alta impedenza)**.

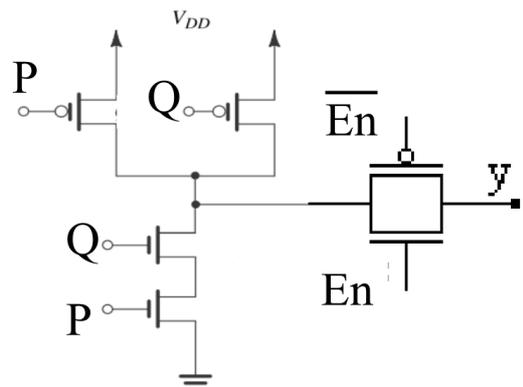
Z, chiaramente, non è un livello logico, è per evidenziare che la porta logica è disconnessa dal bus.

L'interruttore lo realizziamo attraverso una porta di trasmissione complementare.

Quindi l'invertitore tristate sarà il seguente:



La NAND tristate:



...e così via...per tutte le porte logiche.

Molti sistemi utilizzano il meccanismo del bus, quindi le porte tristate trovano vasto impiego.

Lezione 18

I circuiti che abbiamo analizzato finora sono tutti **sistemi combinatori**, cioè l'uscita prodotta è funzione solo dell'ingresso che applichiamo in un dato istante.

Adesso vediamo gli **elementi di memoria**, che sono alla base dei **sistemi sequenziali**.

Nei sistemi sequenziali l'uscita prodotta dal circuito in un dato istante dipende non solo dal segnale applicato in quell'istante, ma anche dai segnali applicati in precedenza, quindi i sistemi sequenziali richiedono una qualche forma di memoria.

Dispositivi Elementari di Memoria

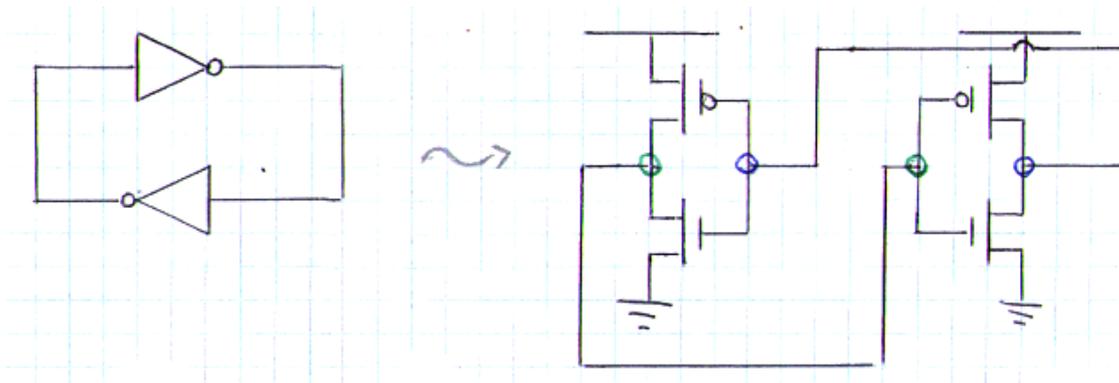
Possiamo suddividere i dispositivi di memoria in due grandi classi:

- **statici**
- **dinamici**

Dispositivi Elementari di Memoria Statici

Il circuito di base, per quanto riguarda le memorie statiche è il cosiddetto **circuito bistabile elementare**.

Circuito Bistabile Elementare



Il circuito bistabile elementare è costituito da due invertitori collegati uno dietro l'altro.

L'abbiamo già incontrato quando abbiamo parlato degli oscillatori ad anello.

Abbiamo visto che se mettevamo ad anello un numero dispari di invertitori ottenevamo un circuito oscillante, se invece abbiamo un numero pari di invertitori, nel caso minimo 2, abbiamo un sistema che può trovarsi solo in due stati, e quindi è in grado di immagazzinare un bit di informazione.

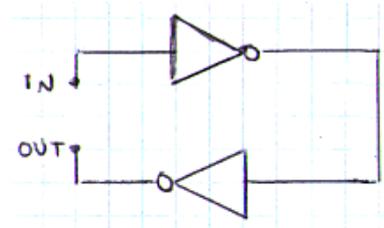
“elementare” perchè non ha nessun terminale di ingresso e di uscita, quindi questo circuito da solo memorizza il bit di informazione, ma non ci dà modo di scrivere il bit di informazione.

Non abbiamo modo di forzare il sistema in uno stato o nell'altro.

Cerchiamo di vedere un po' meglio perchè questo circuito è **BI**stabile.

Spezziamo la linea di collegamento che chiude il bistabile in loop.

A questo punto abbiamo un morsetto di ingresso e uno di uscita, e possiamo rappresentare la caratteristica di questo sistema, che ovviamente sarà diverso dal bistabile, perchè abbiamo aperto il collegamento.



Nel complesso il sistema sarà non invertente, perchè abbiamo due invertitori in cascata, quindi la caratteristica sarà la composizione delle caratteristiche di due invertitori, pertanto avremo che quando l'ingresso è basso, anche l'uscita sarà bassa, viceversa quando l'ingresso è alto, pure l'uscita sarà alta.



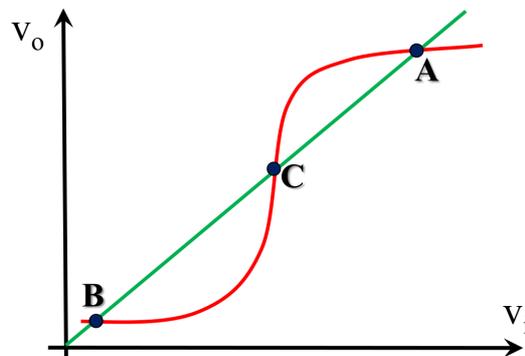
Questa caratteristica però non è quella del nostro bistabile, perchè noi abbiamo provveduto a tagliare questo collegamento tra in e out

Quel collegamento in effetti impone un vincolo aggiuntivo tra quelle due tensioni, e cioè che

$$v_o = v_i .$$

Questa condizione l'andiamo a rappresentare mediante la bisettrice del primo quadrante.

Poiché devono essere verificate entrambe le condizioni, osserviamo che il punto nel quale opera il nostro circuito deve ricercarsi tra le intersezioni delle due curve, perché devono essere verificate contemporaneamente entrambe le condizioni.



Quindi, i punti di equilibrio nel quale può funzionare il nostro circuito sono tre, dati dalle intersezioni delle due curve.

Perchè il circuito è detto **BI**stabile se ha tre punti di funzionamento?

Perchè, di questi tre punti, A e B sono punti di equilibrio stabile, mentre C è sì un punto di equilibrio, ma instabile.

Questo vuol dire che il nostro bistabile elementare potrebbe posizionarsi nel punto C, ma un qualsiasi disturbo lo farà evolvere verso il punto A o verso il punto B.

Mostriamo che il punto C è di equilibrio instabile, mentre A e B sono punti di equilibrio stabile.

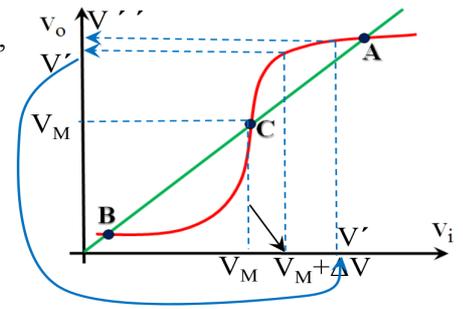
Supponiamo di trovarci inizialmente in C, quindi con $v_o = v_i = V_M$, e che in un certo istante entri in gioco un disturbo ΔV positivo che aumenta la v_i , spostandola a $V_M + \Delta V$

Questa tensione andrà in ingresso alla serie di due invertitori, dando in uscita la tensione V' , che è un po' più grande di $V_M + \Delta V$.

A questo punto V' me la ritroverò in ingresso, e l'uscita sarà V'' , che è ancora un po' più grande.

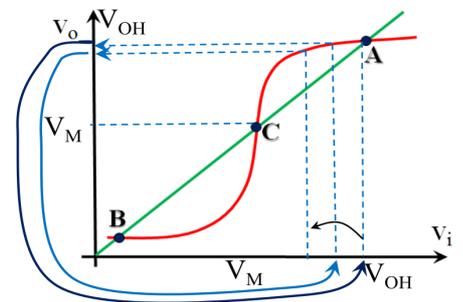
Iterando questo ragionamento, si intuisce che la tensione convergerà al punto A.

Ovviamente il discorso è analogo quando, partendo dal punto instabile C, abbiamo un disturbo negativo. In questo caso il punto di lavoro farà qualche ciclo, e alla fine andrà a posizionarsi sul punto B.



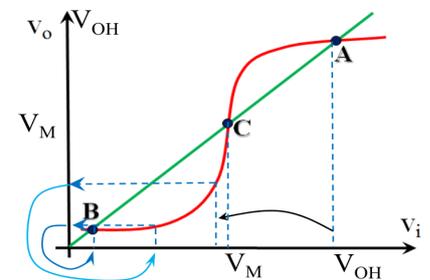
I punti A e B viceversa sono stabili:

se mi trovo ad esempio in A, la presenza di un piccolo disturbo sposta temporaneamente il punto di lavoro che converge nuovamente in A.



Se però mi trovo in un punto di equilibrio stabile, e in ingresso ho un disturbo abbastanza grande, lo stato del bistabile si può portare nell'altro punto di equilibrio stabile.

Ad esempio, se il bistabile si trova in A, e la tensione v_i a causa del disturbo si porta al di sotto di V_M , il bistabile dopo qualche ciclo si porterà in B.



Le tensioni relative al punto A e al punto B sono rispettivamente V_{OH} e V_{OL} dei nostri invertitori.

E sono i valori che possiamo memorizzare nel dispositivo.

Il terzo punto è instabile, quindi non è che possiamo immagazzinare un'informazione ternaria.

D-Latch

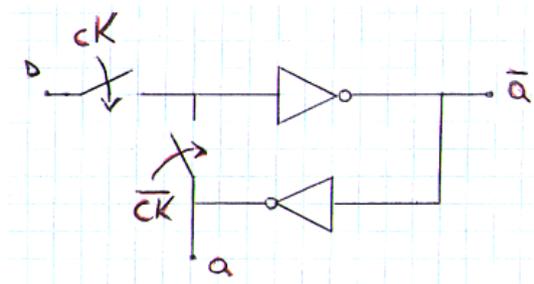
Un bistabile elementare non dispone di un meccanismo che consenta di posizionarlo in uno dei due stati stabili.

Quando il circuito viene alimentato, dopo un certo transitorio, raggiunge casualmente uno dei due stati.

Un Latch (chiavistello) è un circuito costituito da un bistabile e da un meccanismo che consenta di controllarne lo stato.

Viene spesso indicato come D-Latch, perchè il dato in ingresso viene spesso indicato con la lettera D.

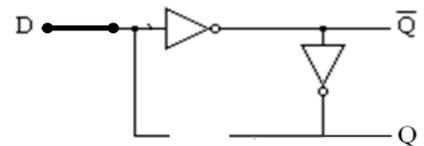
Un D-latch ha due segnali di ingresso: un segnale informativo, **D** e uno di controllo, **ck** (clock), e un segnale di uscita **Q** (volendo, possiamo prendere il suo negato su un altro nodo del circuito).



(D-latch trasparente per $ck = 1$)

Quando il clock è attivo ($ck = 1$) il valore presente sull'ingresso D viene riportato sull'uscita Q. L'uscita segue l'andamento dell'ingresso.

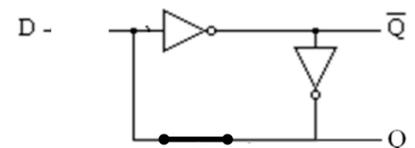
Questa è la **fase di trasparenza**.



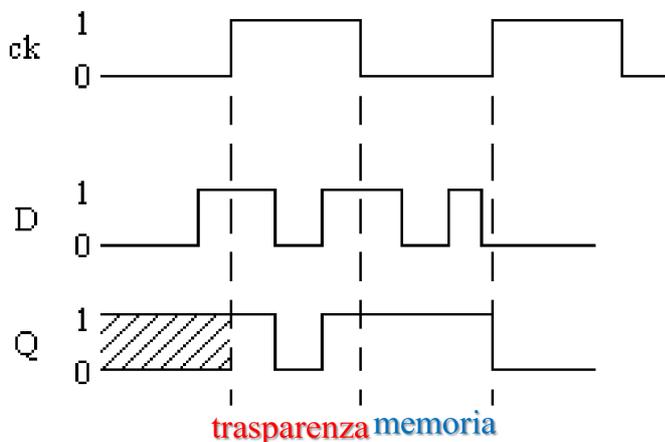
Quando il clock non è attivo ($ck = 0$) il valore presente sull'ingresso D non modifica l'uscita Q.

Il sistema memorizza l'ultimo valore di D acquisito in fase di trasparenza.

Questa è la **fase di memorizzazione**.



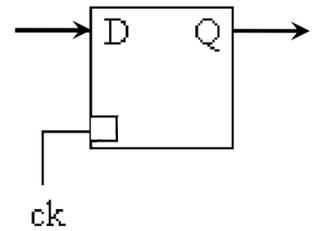
Quindi l'andamento dell'uscita, dato un generico segnale di ingresso, è il seguente:



L'uscita è sensibile al livello del clock, non al fronte di salita o di discesa.

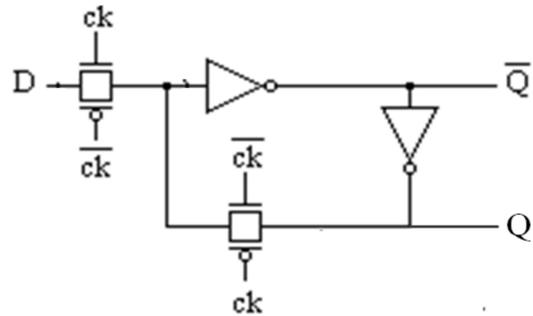
All'inizio l'uscita è indeterminata: il clock è basso, stiamo in fase di memorizzazione, quindi l'uscita dovrebbe essere lo stato memorizzato nel bistabile prima che venisse controllato, ed abbiamo detto che è casuale.

Il **D-latch trasparente per $ck = 1$** ha il seguente simbolo \rightarrow



Gli interruttori li realizziamo mediante le porte di trasmissione complementari.

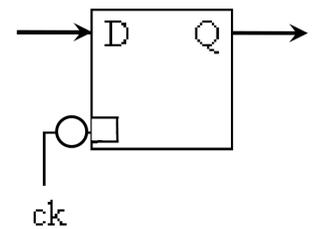
Quindi il D-latch trasparente per $ck = 1$ è il seguente.



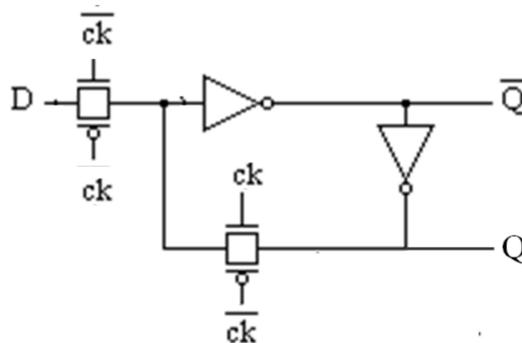
Possiamo anche realizzare un **D-latch trasparente per $ck = 0$** .

Esso sarà in fase di trasparenza per $ck = 0$, e in fase di memorizzazione per $ck = 1$.

Il simbolo in questo caso è quello \rightarrow



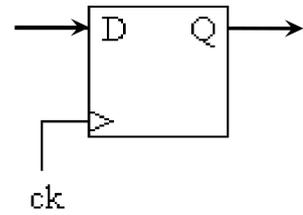
Per realizzarlo è sufficiente scambiare di posto i segnali ck e ck negato.



Quindi per realizzare un Latch ci vogliono in totale 10 MOSFET, 4 per le 2 porte di trasmissione, 4 per i 2 invertitori, e altri 2 per un altro invertitore, che non è disegnato, che serve a invertire il segnale di clock.

Flip-Flop (D)

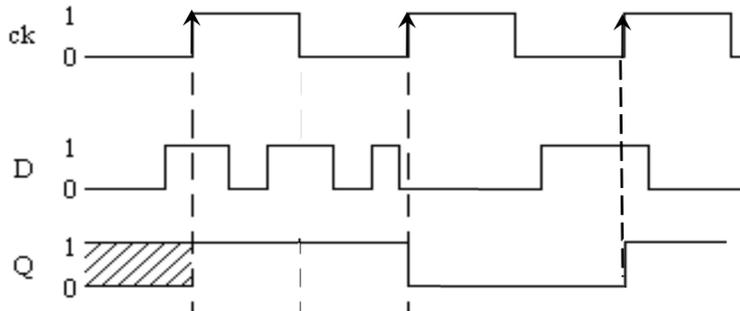
Il flip-flop D ha anch'esso due segnali di ingresso D e ck e un segnale di uscita Q.



A differenza del D-latch, il flip-flop è sensibile al fronte di commutazione del clock, anziché al livello del clock.

Il valore del segnale di ingresso viene memorizzato in corrispondenza del “**fronte attivo**” del clock, che può essere quello di salita, o quello di discesa, dopodiché l'uscita rimane costante.

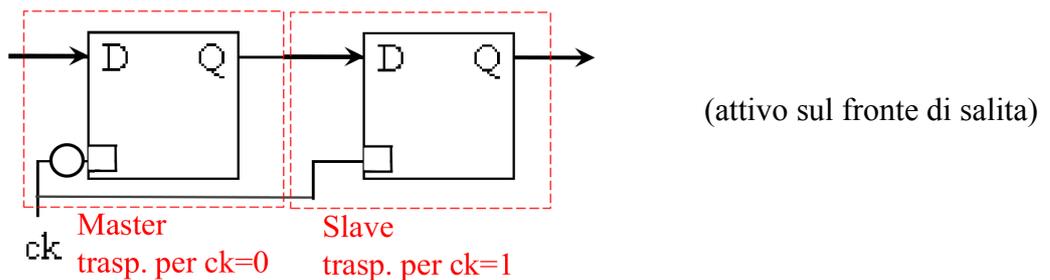
Supponendo che il fronte attivo sia quello di salita, dato un generico segnale di ingresso, l'andamento dell'uscita del flip-flop sarà il seguente.



Quindi il flip-flop ha un comportamento molto più semplice rispetto al latch, perchè ha dei precisi istanti di tempo nei quali cambiare stato, non durante interi intervalli. Pertanto è molto più facile da utilizzare nella realizzazione di sistemi sequenziali.

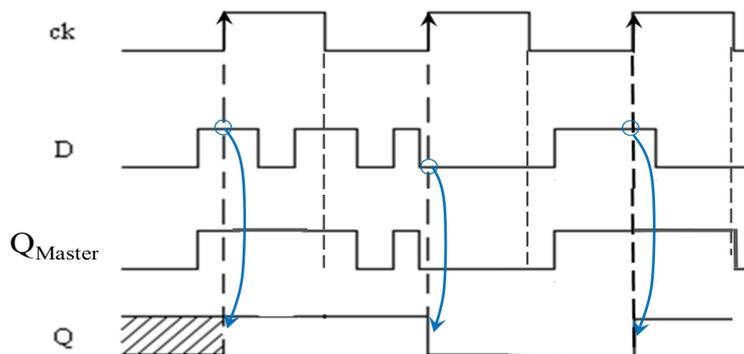
Nell'esempio abbiamo visto un flip-flop attivo sul fronte di salita. E' possibile avere analogamente un flip-flop attivo sul fronte di discesa.

Nella realizzazione di un flip-flop, la struttura più adoperata è la struttura **Master/Slave**.



Abbiamo due latch in cascata: nel caso in cui il flip-flop sia attivo sul fronte di salita, il primo latch fa da master ed è trasparente per $ck = 0$, e il secondo fa da slave ed è trasparente per $ck = 1$.

Dato un segnale D di ingresso generico, gli andamenti dei vari segnali sono i seguenti:



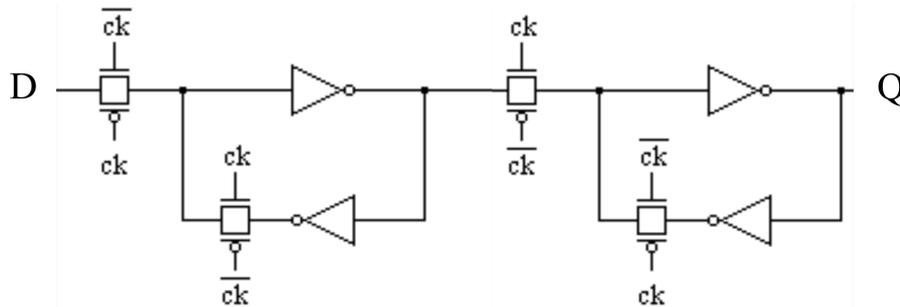
Chiaramente, se avessimo voluto un flip-flop attivo sul fronte di discesa, avremmo dovuto mettere il master trasparente per $ck = 1$, e lo slave per $ck = 0$.

Al livello dei transistor, come viene realizzato il circuito?

Potremmo pensare di collegare come è concettualmente descritto nello schema di sopra, cioè collegare le uscite Q dei due latch.

In realtà è più efficiente collegare l'uscita \overline{Q} del primo latch all'ingresso del secondo, e prelevare come uscita complessiva la Q del secondo latch.

Avremmo due latch invertenti in cascata, che nel complesso fanno un circuito non invertente.



E' più efficiente, si può far vedere, perchè è più veloce, perchè “nel cammino non ci sono mai due invertitori in cascata, c'è n'è uno solo...”, am comunque anche l'altro andava bene per i nostri scopi.

Complessivamente abbiamo 16 MOSFET più altri due che servono per l'invertitore che inverte il segnale di segnale di clock, quindi complessivamente 18 MOSFET.

Questo circuito è molto efficace, è molto veloce, è facile da temporizzare, ecc, però è abbastanza complicato, quindi lo possiamo utilizzare laddove sono necessarie le massime prestazioni.

Vedremo di realizzare elementi di memoria che siano più semplici, più compatti, ma meno veloci.

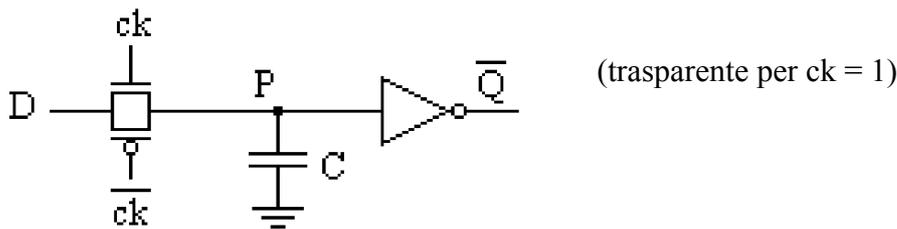
Dispositivi Elementari di Memoria Dinamici

A questo punto vedremo come si realizza un Latch dinamico, poi il flip-flop dinamico avrà la stessa struttura di quello statico, solo che i latch al suo interno SARANNO dinamici.

I circuiti dinamici sono più efficaci di quelli statici, perchè sono più piccoli e più semplici, però sono più delicati, come vedremo ora.

D-Latch Dinamico

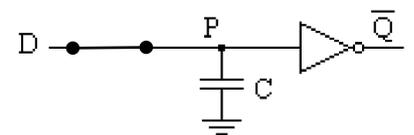
Non utilizza il bistabile come elemento di memoria, ma una capacità.



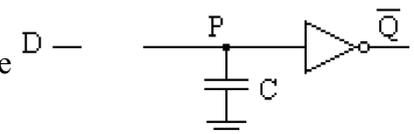
Quando il condensatore è carico avremo memorizzato un 1, viceversa, quando è scarico, avremo memorizzato uno 0.

Rispetto al latch statico possiamo fare a meno di un interruttore. E siccome quella che ci serve è l'uscita negata, questo circuito ci va bene. Se avessimo voluto Q, avremmo dovuto aggiungere un invertitore in cascata. Quindi abbiamo anche un invertitore in meno al latch statico.

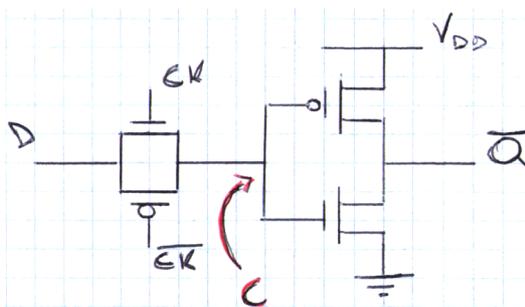
Quando $ck = 1$, **fase di trasparenza**, il potenziale sul nodo P coincide con quello sul nodo D. L'uscita segue l'andamento di D (a parte l'inversione).



Quando $ck = 0$, **fase di memorizzazione**, l'ingresso è scollegato dalla capacità, la tensione sulla capacità persiste, ed è uguale all'ultimo valore di D acquisito in fase di trasparenza; l'uscita sarà pari a questa tensione (a parte l'inversione).



In realtà la capacità non è un componente aggiuntivo, ma è data dalla capacità di ingresso dell'invertitore



$$C = (W_N L + W_P L) \frac{\epsilon_{OX}}{t_{OX}}$$

Quindi in questo caso la capacità del nostro invertitore, che avevamo chiamato "parassita" in quanto rallenta i tempi di propagazione e perchè da essa dipende la dissipazione di potenza, in questo caso ci torna utile, perchè ci fa da elemento di memoria.

"Quindi nell'ecosistema elettronico vediamo che anche i parassiti hanno la loro importanza" XD

Vediamo che bastano 4 MOSFET per il latch, quindi il circuito è molto compatto, molto efficace.

Se da un lato, rispetto ai latch statici, abbiamo il vantaggio della compattezza, abbiamo però anche un grosso svantaggio legato alla scarsa robustezza:

Nei circuiti statici abbiamo il bistabile: se mi trovo in uno dei due stati stabili e c'è un disturbo, il circuito dopo un certo transitorio torna nel punto di partenza. C'è un feedback positivo. Invece, nel caso dei circuiti dinamici questo feedback non c'è: abbiamo una capacità che immagazzina una certa tensione, se questa cambia non c'è nessun meccanismo che me la riporta al valore precedente.

Quindi se il condensatore si carica o si scarica rispetto al valore iniziale, il dato lo perdiamo.

Quali sono gli eventi che possono modificare la carica o la scarica della capacità?

Sono degli eventi che entrano in gioco quando il latch è in fase di memorizzazione.

In fase di memorizzazione la capacità è scollegata dall'ingresso, è lasciata flottante, ed è la situazione in cui qualche disturbo può alterare la carica o scarica della capacità.

Quando l'interruttore è chiuso, la capacità invece è pilotata da D, quindi non ho alterazioni.

Un motivo per cui la carica sulla capacità viene alterata è il fatto che l'interruttore, quando è aperto, non si comporta perfettamente come un circuito aperto, ma lascia passare le correnti di perdita, quindi le correnti di saturazione inversa nei diodi parassiti sia nel PMOS che nell'NMOS (*le correnti sottosoglia? Nient? Forse si compensano.*).

Se la corrente di saturazione inversa nell'NMOS fosse uguale a quella del PMOS, avremmo effettivamente una corrente di perdita nulla, in quanto le due correnti di saturazione inversa si compensano.

Se invece la corrente di saturazione inversa in uno dei due MOSFET prevale rispetto all'altra, abbiamo una corrente di carica o di scarica della capacità, a seconda se prevale, rispettivamente, la corrente di saturazione inversa dei PMOS o degli NMOS.

Se per esempio abbiamo una corrente di scarica, questa mi può dare problemi quando la capacità è carica, perchè la tensione si va a ridurre nel tempo a causa sua.

Viceversa se abbiamo una corrente di carica, questa dà problemi quando la capacità è scarica, perchè la va a caricare.

Chiamiamo i_L la corrente di perdita, sia essa di carica o di scarica. Avremo $i_L = C \frac{dV}{dt}$.

Supponiamo sia costante, quindi $i_L = C \frac{\Delta V}{\Delta t}$.

Se, ad esempio ho una corrente di perdita di 0,1 fA e una capacità di 100 fF, la variazione di tensione sulla capacità nel tempo sarà:

$$\frac{\Delta V}{\Delta t} = \frac{i_L}{C} \simeq \frac{0,1}{100} = 10^{-3} V/s = 1 mV/s .$$

Quindi dopo qualche secondo in fase di memorizzazione, il dato immagazzinato sulla capacità si corrompe.

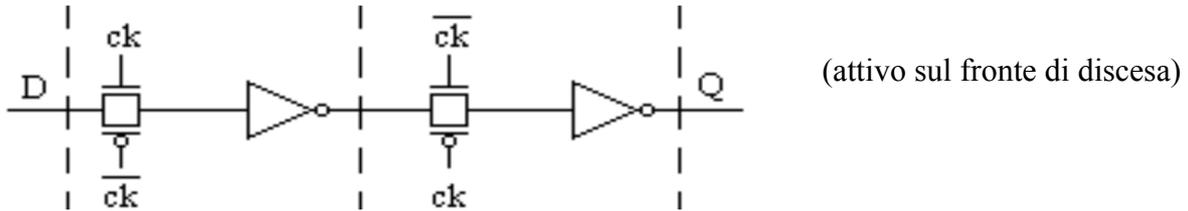
Questo pone un vincolo sulla durata della fase di memorizzazione (semiperiodo di clock), che non deve essere troppo lunga per non far alterare la tensione sulla capacità, e quindi pone un vincolo sulla durata del periodo di clock, che dovrà essere minore di un certo valore massimo

$T_{clock} < T_{min}$, o se vogliamo sulla frequenza che dovrà essere maggiore di un certo valore minimo: $f_{clock} > f_{min}$. Questa frequenza minima di solito si aggira intorno a i KHz.

Lezione 19

Flip-flop Dinamici

Hanno la stessa struttura master-slave dei flip-flop D statici, solo che i latch al loro interno sono dinamici.



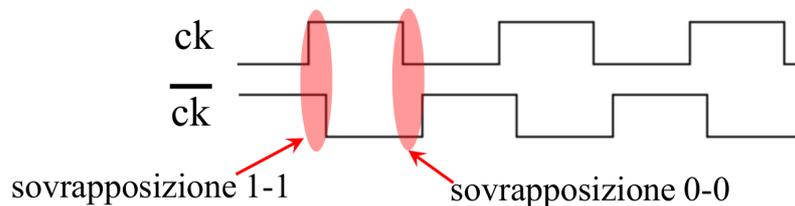
Quindi abbiamo di nuovo due latch in cascata, trasparenti per valori opposti di ck.

C'è un problema riguardante \overline{ck} :

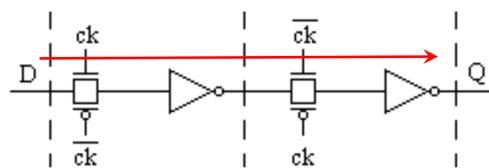
Come al solito, dobbiamo tenere presente che esiste, anche se non lo disegniamo, un invertitore che nega il segnale di clock per avere il \overline{ck} , che insieme a ck pilota le porte di trasmissione.

In questo contesto quell'invertitore può creare dei problemi, in quanto il segnale \overline{ck} sarà affetto da un certo ritardo.

Questo ritardo fa sì che esistano dei piccoli intervalli di tempo in cui sia ck che \overline{ck} sono contemporaneamente alti e intervalli di tempo in cui sono contemporaneamente bassi.



Quando i due segnali sono contemporaneamente alti, gli NMOS delle due porte di trasmissione conducono, quindi si genera un cammino che collega direttamente l'ingresso con l'uscita.



Quindi possiamo avere una condizione in cui il valore dell'ingresso va a influenzare direttamente il valore dell'uscita, cosa che in un flip-flop non dovrebbe mai accadere.

Stesso problema si verifica quando i due segnali sono contemporaneamente bassi. In quel caso conducono i PMOS.

Questa è un'altra criticità dei circuiti dinamici, che possono essere trattate con tecniche più o meno sofisticate, che però non studiamo.

Fatto sta che abbiamo un altro elemento che ci fa capire che i circuiti dinamici sono più "critici" di quelli statici.

Memorie

I flip-flop vengono utilizzati per realizzare sistemi sequenziali, come registri del processore, ecc. Quando si devono memorizzare elevate quantità di dati, si utilizzano dispositivi in cui si privilegia la compattezza a discapito della velocità.

Possiamo classificare le memoria in due grandi famiglie: **ROM** e **RAM (RWM, read-write memory)**

(l'acronimo RAM tecnicamente non è corretto, in quanto anche e ROM sono ad accesso casuale)

Le memorie RAM sono volatili, cioè perdono l'informazione quando smettono di essere alimentate. Le possiamo dividere in due classi:

- **SRAM**: RAM statiche. L'elemento base è il bistabile. Le celle sono costituite da 4 o da 6 transistor, pertanto le indichiamo con “**4T**” o “**6T**”. Si utilizzano per le cache dei processori
- **DRAM**: RAM dinamiche. L'elemento base è un condensatore. Più compatte: le celle sono costituite da un solo transistor, pertanto possono essere indicate con “**1T**”. Si utilizzano per la memoria centrale.

Le DRAM sono “più volatili” delle SRAM, nel senso che, anche quando il circuito è alimentato devo periodicamente effettuare un refresh dei dati per non perderli, che dopo un certo tempo si corrompono.

Le memorie ROM sono non volatili e le dividiamo nelle seguenti classi:

- **ROM programmate durante la fabbricazione**: le informazioni contenute al loro interno sono definite in fase di costruzione del dispositivo e non c'è modo di modificarle.
- **PROM**: (Programmable ROM) le informazioni contenute al loro interno sono definite una volta per tutte dall'utente. Dopo che la memoria viene programmata non c'è modo di modificarla.
- **EPROM**: (Erasable Programmable ROM) le informazioni al loro interno possono essere scritte e cancellate. Ha ancora senso parlare di ROM, in quanto la cancellazione è un'operazione piuttosto complicata tramite irradiazione ultravioletta.
- **EEPROM**: (o “*E square PROM*”) (Electrically Erasable Programmable ROM) le informazioni al loro interno possono essere scritte e cancellate elettronicamente, senza dover scollegare il dispositivo dal circuito (comincia a non avere più senso l'acronimo “ROM”). Comunque la scrittura è più lenta della lettura.
- **FLASH**: consentono di immagazzinare più bit per cella, quindi sono meno costose delle EEPROM. Qua non ha proprio senso parlare di ROM, perchè fondamentalmente sono RWM.

Le velocità delle FLASH cominciano ad avvicinarsi a quelle delle DRAM.

Attualmente sono in corso degli studi su memorie non volatili che promettono velocità pari a quelle delle DRAM.



ROM programmate in fabbricazione

Hanno come ingresso un indirizzo rappresentato su un certo numero, N , di bit: A_0, A_1, \dots, A_{N-1} .

Mettendo un certo valore di indirizzo individuo una delle varie locazioni di memoria.

Avendo N bit, deduciamo che ho 2^N locazioni di memoria.

Ogni locazione è costituita da un certo numero di bit, diciamo M , quindi in uscita ho una certa parola formata dai bit b_0, b_1, \dots, b_{M-1} .

La capacità della memoria si esprime in bit, ed è pari al prodotto di M , che è la dimensione della locazione di memoria, per il numero di locazioni, che è $2^N : M \cdot 2^N$.



Notiamo che la nostra memoria ROM la chiamiamo memoria, ma in realtà è un sistema combinatorio, in quanto ci metto un ingresso e ottengo un'uscita.

Com'è fatta all'interno?

Facciamo un esempio su scala ridotta. Supponiamo di avere una memoria in cui $N = 2$ e $M = 4$.

Quindi consideriamo una memoria che ha 4 locazioni da 4 bit ciascuna.

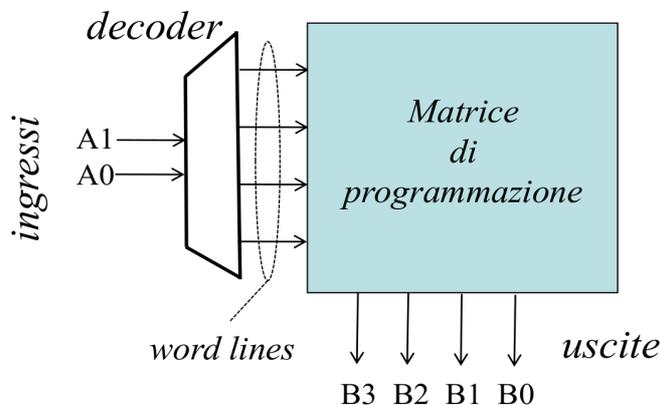
Possiamo rappresentare il contenuto di questa memoria con una “**tabella di memoria**”, in cui mettiamo da un lato gli indirizzi che identificano le quattro locazioni e dall'altro il contenuto delle locazioni.

Tabella di Memoria

A_1	A_0	b_3	b_2	b_1	b_0
0	0	0	1	1	0
0	1	1	1	0	1
1	0	0	0	1	1
1	1	1	0	1	1

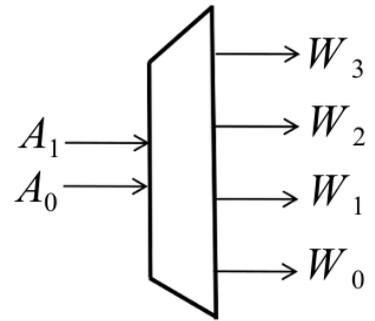
(il contenuto delle locazioni l'abbiamo messo a caso)

Internamente la ROM è costituita da un **Decoder** e da una **Matrice di Programmazione**.



Decoder

I bit di indirizzo A_1 e A_0 vengono collegati a un decodificatore. Questo decodificatore è un circuito combinatorio che ha in generale N bit in ingresso e ne fornisce 2^N in uscita. Quindi in questo caso 2 ingressi e 4 uscite, che chiamiamo W_3 , W_2 , W_1 , W_0 . Le uscite del decoder W_i sono tutte 0 tranne una. La posizione del bit posto a 1 dipende dal valore dell'ingresso. Quindi ad esempio se l'ingresso è 00 si alza solo W_0 , se l'ingresso è 01 si alza solo W_1 e così via.



La tabella di verità del decoder è la seguente:
(O meglio "le tabelle di verità", perchè sono 4 funzioni logiche)

Tabella di verità

A_1	A_0	W_3	W_2	W_1	W_0
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	1	0	0
1	1	1	0	0	0

Risulta facile verificare che:

$$W_0 = \overline{A_0} \cdot \overline{A_1}$$

$$W_1 = \overline{A_1} \cdot A_0$$

$$W_2 = A_1 \cdot \overline{A_0}$$

$$W_3 = A_1 \cdot A_0$$

(Le relazioni ingresso-uscita del decoder sono sempre queste. Quindi la tabella è sempre questa. La tabella di prima non c'entra una mazza: quella dipende da cosa mettiamo nella memoria)

Quindi per realizzare il decoder ci servono gli N ingressi, gli N ingressi negati, 2^N porte AND a N ingressi. Perché 2^N ? Perché il numero di uscite è pari a 2^N , per ogni uscita ci vuole una AND, quindi abbiamo 2^N porte AND con N ingressi.

In questo caso $N = 2$, quindi 2 ingressi, i loro negati e 4 porte AND a 2 ingressi.

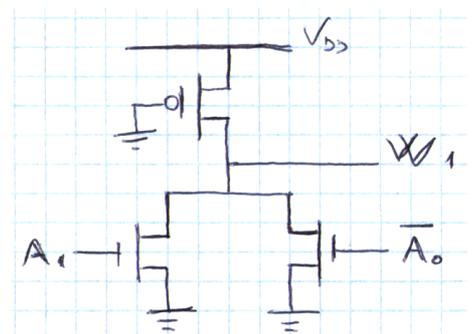
Sappiamo che utilizzare le porte AND non è proprio il massimo dell'efficienza, poiché ci dobbiamo servire di una porta NAND e di un invertitore, quindi utilizziamo De Morgan per cercare di ricondurre le equazioni ad una forma che ci eviti di mettere l'invertitore in uscita:

$$W_0 = \overline{A_1 + A_0} \quad W_1 = \overline{A_1 + \overline{A_0}} \quad W_2 = \overline{\overline{A_1} + A_0} \quad W_3 = \overline{\overline{A_1} + \overline{A_0}}$$

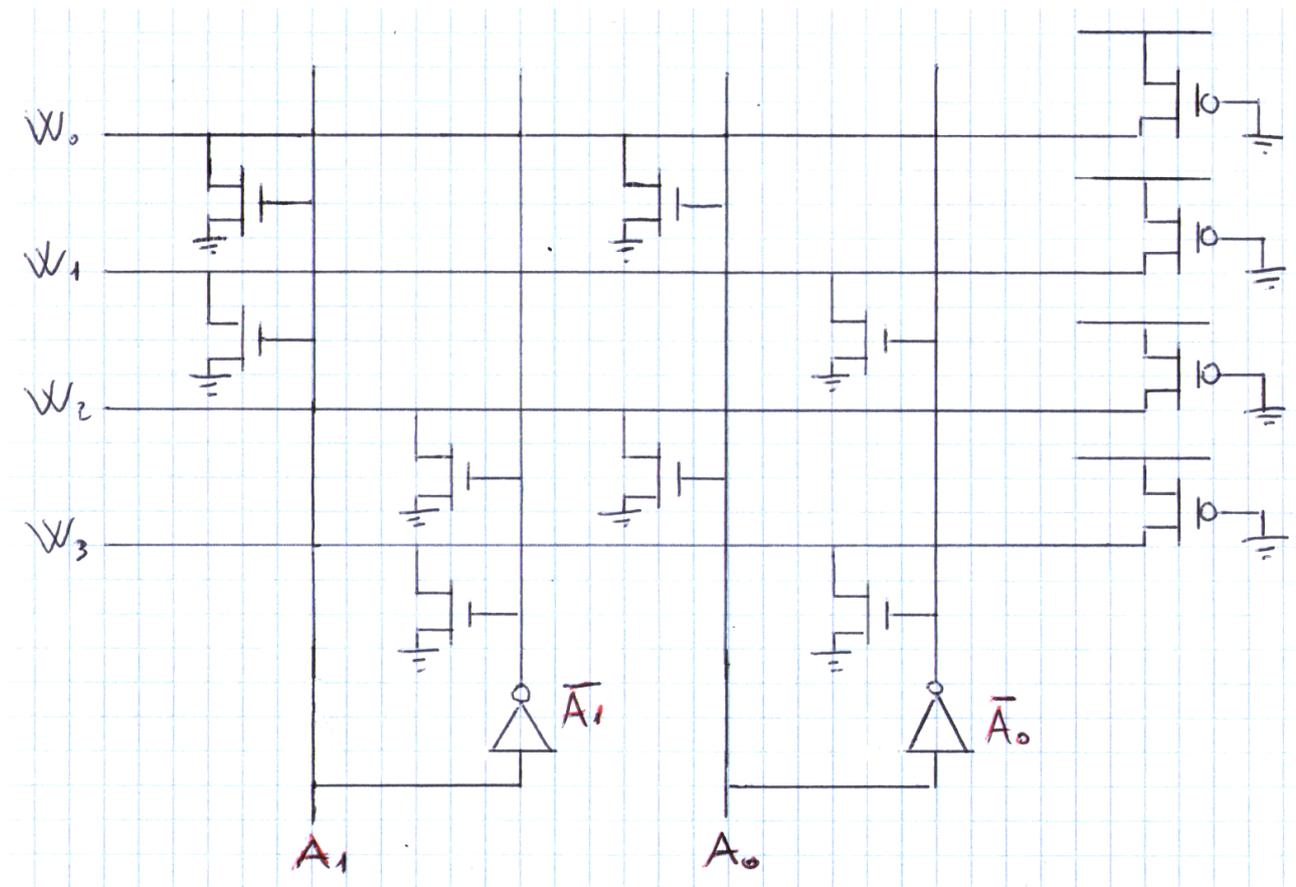
Quindi anziché utilizzare 2^N porte AND, posso utilizzare 2^N porte NOR, evitando di mettere un altro invertitore in uscita.

Le porte NOR le realizziamo in logica Pseudo NMOS, quindi, ad esempio, per avere in uscita W_1 , abbiamo il seguente circuito:

E così via per le altre.



Il circuito complessivo quindi sarà costituito principalmente di porte NOR in logica Pseudo NMOS **posizionate in maniera regolare**, il che faciliterà il processo fotolitografico.

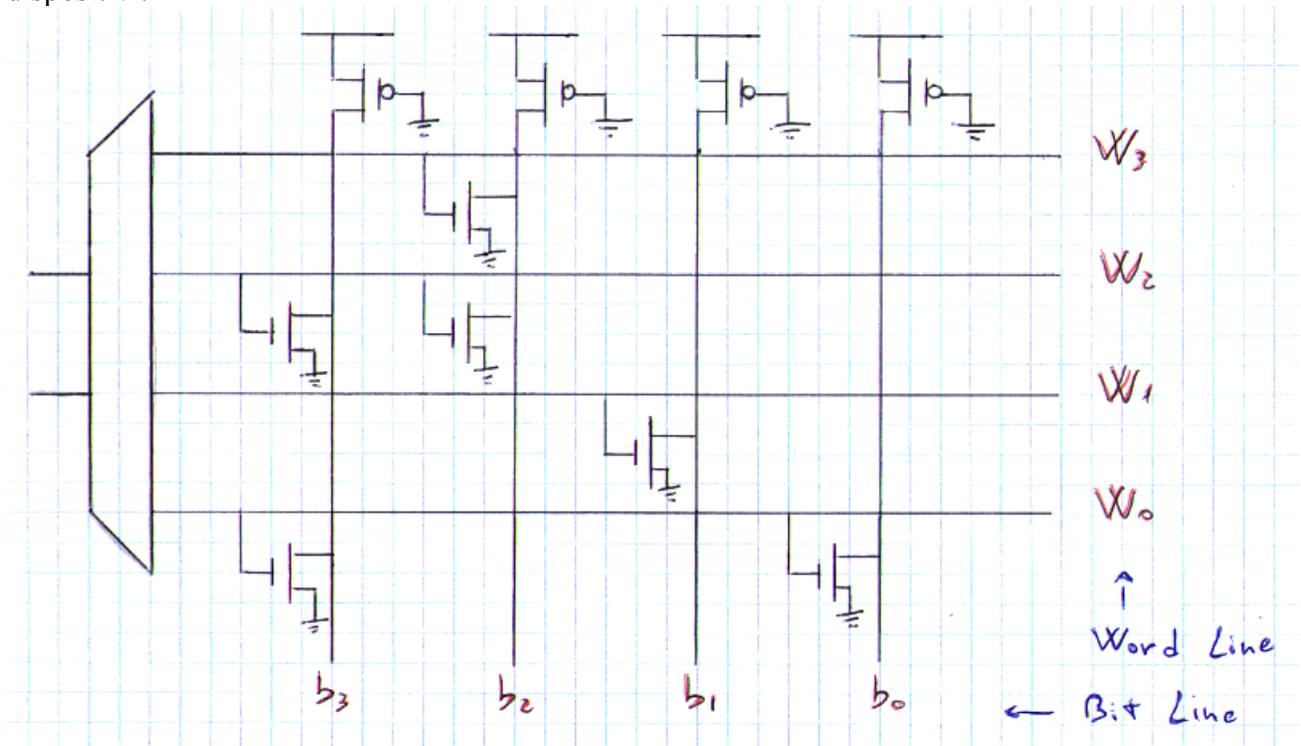


Lo svantaggio del circuito, ovviamente, essendo in logica Pseudo NMOS è la dissipazione di potenza molto elevata. Soprattutto che consideriamo che di volta in volta una sola delle uscite è alta mentre le altre sono basse, e che le porte Pseudo NMOS dissipano potenza proprio quando le uscite sono basse.

Matrice di Programmazione

E' costituita da N PMOS che fanno da pull-up, e da un insieme di NMOS, collegati in modo opportuno, a seconda dei valori che vogliamo che vengano prodotti in uscita, (o se vogliamo che vogliamo siano "memorizzati"), quando in ingresso abbiamo una particolare configurazione dei bit in uscita dal decoder.

Affinché siano memorizzati i valori scritti nella tabella di memoria, abbiamo la seguente matrice di dispositivi.



Se non avessimo NMOS, avremmo tutti 1 come uscita, $b_i = 1 \quad \forall i$.

Chiaramente, nella tabella di memoria non abbiamo tutti 1, quindi vediamo di mettere gli NMOS affinché possiamo memorizzare anche gli 0, dove ci sono.

Si ragiona nel seguente modo:

Per esempio, consideriamo l'uscita b_0 , quindi la colonna più a destra della matrice.

L'uscita b_0 , vediamo dalla tabella di memoria, è sempre 1, tranne quando A_1 e A_0 sono bassi.

Ci ricordiamo che la condizione in cui A_1 e A_0 sono 0 è quella in cui la word line W_0 è alta.

Quindi, quando la word line W_0 è alta vogliamo che b_0 sia 0.

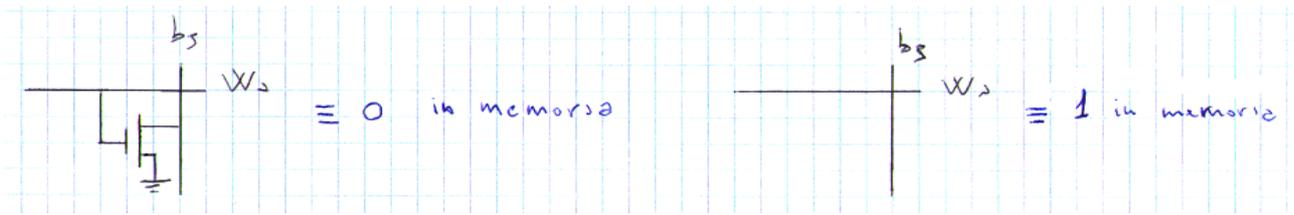
Per fare questo, andiamo a porre qui un NMOS comandato dal segnale W_0 che porta al livello logico basso il bit di uscita b_0 .

In maniera analoga, prendiamo l'uscita b_3 . Quando è che questa uscita è 0? Quando A_1 e A_0 sono 00 e 10, quindi quando sono alte le word line W_0 e W_2 . Quindi vado a porre due transistori che possono portare a 0 l'uscita b_3 , uno comandato da W_0 e uno da W_2 .

Il ragionamento è analogo per le altre uscite.

Quindi possiamo dire che la presenza dell'NMOS nell'intersezione tra la generica word line W_i e la generica bit line b_j rappresenta un 1.

L'assenza dell'NMOS rappresenta uno 0



Osserviamo che anche la matrice di programmazione, come il decoder è costituita da porte NOR (non sono 2^N come nel decoder, sono di meno: M) con un numero di ingressi variabile: ad es, $b_3 = \overline{W_2 + W_0}$, $b_0 = \overline{W_1}$, ecc.

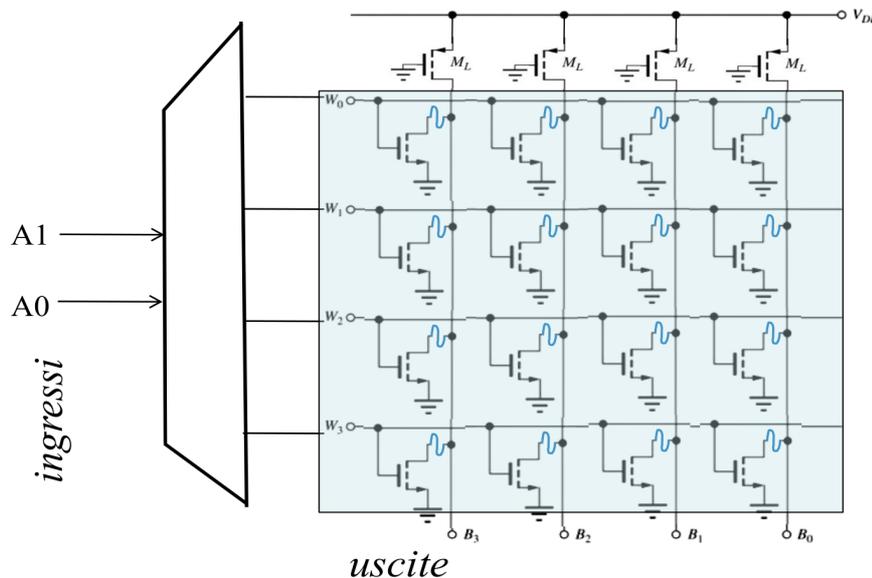
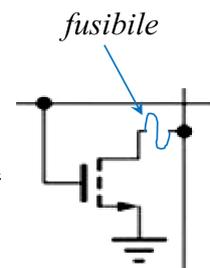
Quindi abbiamo 2 insiemi di porte NOR: 2^N a N ingressi per il decoder + altre M per la matrice di programmazione.

PROM

Le memorie ROM programmabili, anche dette **OTP (One Time Programmable)**, hanno la stessa struttura che abbiamo visto per le ROM.

In questo caso però, nella matrice di programmazione, in serie ai dispositivi inseriamo un fusibile.

Viene fabbricata mettendo l'NMOS con il fusibile in serie in tutte le locazioni della matrice di programmazione, quindi inizialmente è “completamente popolata”.



Quindi inizialmente il contenuto della memoria è composto da tutti 0.

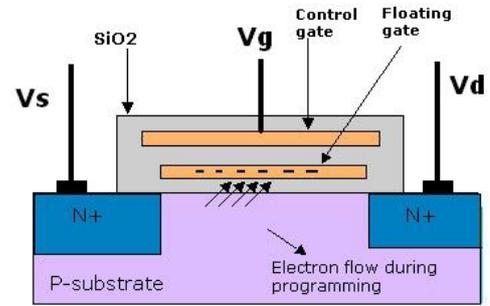
Quando poi vogliamo personalizzare la memoria, l'andiamo a programmare interrompendo i fusibili in quelle locazioni nelle quali invece vorremmo un 1. Per “bruciare i fusibili” si applica una tensione sulla bit line più alta di quella normale di funzionamento con un “programmatore”, che è un dispositivo apposito.

Chiaramente l'operazione è irreversibile.

EPROM

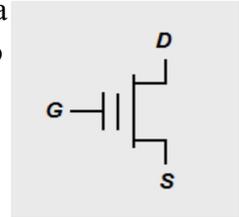
Le Erasable Programmable ROM hanno sempre la stessa struttura, ma utilizzano un particolare transistor: il **MOS a gate flottante (FGMOS)**.

Questo MOSFET ha due gate: una **gate flottante**, completamente isolata dall'esterno, e una **gate di controllo**, che è la gate come l'abbiamo intesa fino ad adesso.



Inizialmente, non esiste alcuna carica sulla gate flottante ed il dispositivo funziona come un normale NMOS con una sua tensione di soglia V_T che si aggira intorno a valori normali (tipo 0,7V ; 0,8V).

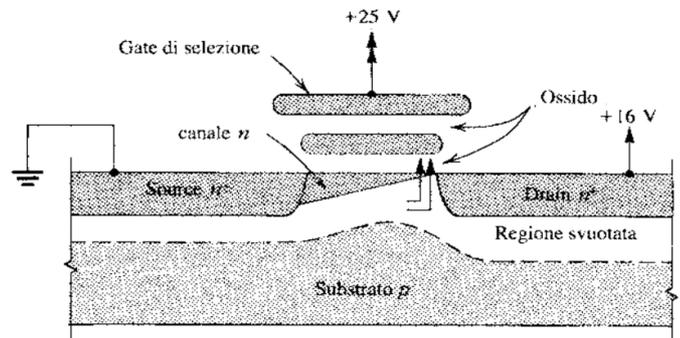
Questo stato del transistor viene detto **non programmato**.



Tuttavia possiamo modificare la caratteristica del dispositivo andando ad aumentare la tensione di soglia. Un transistor sul quale operiamo questa modifica è detto **programmato**.

Per aumentare la tensione di soglia del dispositivo, applichiamo delle tensioni più alte di quelle di normale funzionamento (di alimentazione) sul drain (16-20 V) e sulla gate (circa 25 V), e il source lo mettiamo a massa

Il prof collega a diodo il dispositivo e mette una tensione V_P sul morsetto comune di drain e gate e il source a massa.



In queste condizioni, si verifica la cosiddetta **iniezione a valanga**:

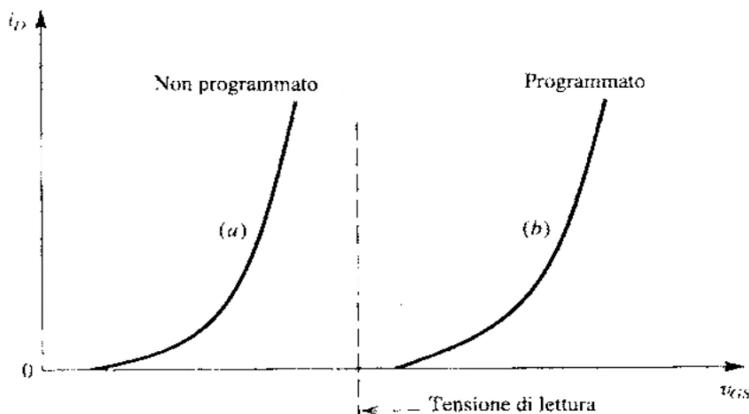
A causa della v_{DS} elevata, il canale è appuntito dalla parte del drain, e gli elettroni sono molto accelerati. Essi giungono in prossimità del drain, avendo acquisito un'energia cinetica molto elevata. (prendono il nome di **elettroni caldi**).

L'elevata tensione positiva sulla gate di controllo (maggiore della tensione di drain) produce un campo elettrico nell'ossido isolante che attrae gli elettroni caldi e li accelera verso la gate flottante (*boh, il prof ha detto "effetto tunnel", ma non so se si tratta di effetto tunnel anche in questo caso*), nella quale rimangono intrappolati.

Man mano che la gate flottante si carica, il campo elettrico si riduce, fino a diventare insufficiente ad attrarre ulteriori elettroni. A quel punto il processo termina.

La carica immagazzinata nella gate flottante permane anche in assenza di tensione di alimentazione e ci resta per tempi lunghissimi, grazie all'ossido isolante.

Quando noi pilotiamo il transistor con la tensione v_{GS} , il campo che attrae gli elettroni che formano il canale è contrastato dal campo opposto dovuto agli elettroni immagazzinati nella gate flottante, quindi c'è bisogno di una v_{GS} più grande per mettere in conduzione il dispositivo: la tensione di soglia aumenta.



← caratteristica del dispositivo collegato a diodo prima e dopo essere stato programmato

Inizialmente le EPROM sono

completamente popolate.

Quando vogliamo personalizzare la memoria, andiamo ad innalzare la tensione di soglia dei dispositivi nelle locazioni nelle quali vogliamo che sia memorizzato un 1.

(Cioè facciamo l'analogo del bruciare il fusibile)

In questo modo, supponendo che la tensione di alimentazione del circuito sia intermedia tra la tensione di soglia dei dispositivi programmati, e quella dei dispositivi non programmati, i dispositivi programmati saranno interdetti, e quindi memorizzeranno un 1, mentre i dispositivi non programmati saranno in conduzione e memorizzeranno uno 0.

A differenza delle PROM, in questo caso il processo è reversibile:

possiamo liberare la gate flottante dagli elettroni irradiando la superficie del circuito con radiazione ultravioletta. In questo modo l'ossido diviene debolmente conduttore e gli elettroni possono lasciare la gate flottante per tornare nel substrato.

Affinché la superficie del circuito possa essere irradiata, è necessario che il package che contiene il circuito abbia una finestrella trasparente.

La tecnologia PROM, come l'abbiamo vista prima, è del tutto obsoleta, nel senso che non si utilizzano più i fusibili, ma si utilizzano i MOS a gate flottante con un package senza finestrella, quindi rendiamo in qualche modo il processo irreversibile, soltanto perchè non rendiamo disponibile la cancellazione.

La scelta di utilizzare queste PROM anziché le EPROM, è che 'sti package con la finestrella c'hanno il loro costo.

EEPROM

Le EEPROM sono cancellabili elettricamente. Esse utilizzano **dei MOS a gate flottante in cui la gate flottante si estende in parte sopra la zona di drain**. (In questo caso il dispositivo quindi è asimmetrico)

In questo caso utilizziamo un meccanismo un po' diverso per programmare il dispositivo: applichiamo semplicemente una tensione abbastanza alta tra gate e drain così da intrappolare gli elettroni nella gate flottante (senza v_{DS} elevata).

Questo meccanismo prende il nome di **effetto tunnel** e ci consente, come prima, di aumentare la tensione di soglia del dispositivo.

Rispetto all'iniezione a valanga, la programmazione per effetto tunnel è più lenta.

In questo caso il processo è reversibile elettricamente, senza ricorrere a radiazioni ultraviolette, magia nera, divina provvidenza, spade laser, ecc.

Basta mettere una tensione sulla gate negativa rispetto al source in modulo sufficientemente grande, così da respingere gli elettroni dalla gate flottante.

In questo modo posso riabbassare la tensione di soglia.

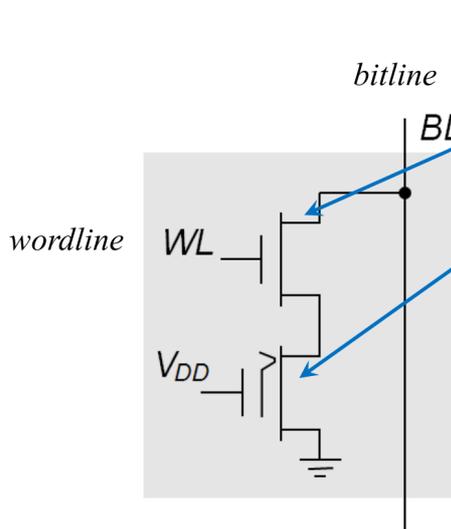
Le due fasi si chiamano **programmazione** e **cancellazione**.

C'è un **inconveniente**: In fase di cancellazione non riusciamo a controllare con accuratezza il nuovo valore della tensione di soglia. In particolare può accadere che la tensione di soglia divenga negativa (**sovracancellazione**).

Un NMOS che ha una tensione di soglia negativa fa passare corrente anche quando la $v_{GS}=0$, il che è problematico all'interno della matrice di programmazione, perchè indipendentemente dalla wordline, il dispositivo porta la bitline a 0. Si comporta come un cortocircuito.

(N.B.: a quanto pare il termine "cella" si riferisce alla "casella della matrice di programmazione" capi, l'intersezione tra bitline e wordline)

Per ovviare a questo problema, le celle di memoria EEPROM utilizzano **due transistori in serie**:

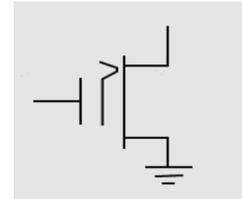
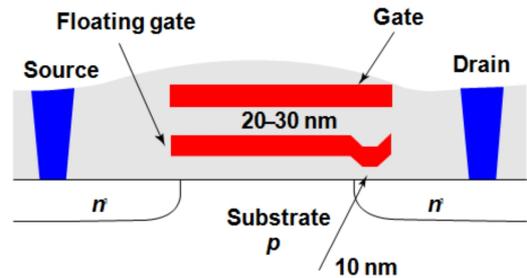


Il dispositivo superiore nello schema è un MOS standard, che porta la bitline a 0 se la wordline è attivata.

Il dispositivo a gate flottante si utilizza come una sorta di interruttore.

È sempre in conduzione ($V_T < 0$) (approssima un interruttore ON) se il dispositivo è cancellato.

È sempre spento ($V_T > V_{DD}$) (approssima un interruttore OFF) se il dispositivo è programmato.



In questo modo non ho bisogno di sapere il valore esatto della tensione di soglia del MOS a gate flottante, mi basta sapere che sia molto grande e negativa quando voglio memorizzare uno 0, e molto grande e positiva quando voglio memorizzare un 1.

Ovviamente, siccome ci vogliono 2 transistori per cella, il costo della EEPROM, a parità di capacità di memoria, è più elevato della EPROM.

FLASH

Le memorie FLASH adottano lo stesso principio delle memorie EEPROM, ma non utilizzano due transistori per cella, utilizzano soltanto un il transistore a gate flottante.

Allora voi direte “ma scusa, mi hai detto un attimo fa che quando vado a cancellare il transistore non riesco a controllare la tensione di soglia, mo com'è che ce lo levi quello di sopra?”

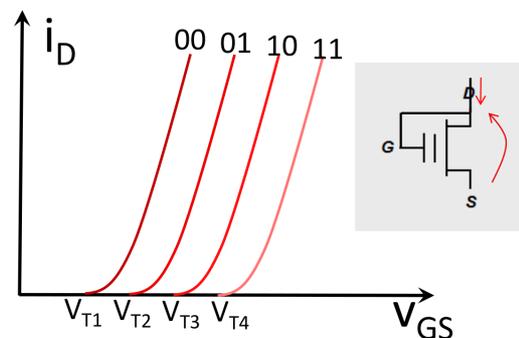
Le memorie flash sono caratterizzate dal fatto di avere una circuiteria di programmazione e cancellazione molto sofisticata, la quale va ad effettuare una cancellazione per passi. Nel senso che man mano viene provata una cancellazione per un certo intervallo di tempo, se la tensione di soglia non raggiunge il valore desiderato, si ritenta con una durata maggiore. In questo modo si evita la possibilità di sovracancellazione.

Questa tecnica risulta efficiente solo se svolta parallelamente su un elevato numero di celle. In particolare la memoria è suddivisa in blocchi, e se si deve modificare qualche locazione si cancella tutto il blocco e si riscrive.

Le **FLASH Multilivello** sono in grado di memorizzare più bit per cella.

L'informazione è codificata nel valore di soglia dei dispositivi.

In fase di scrittura si deve poter controllare il valore della tensione di soglia desiderata con una certa precisione, e analogamente, in lettura, si deve essere in grado di discriminare il valore di V_T del transistor con la stessa precisione.



Lezione 20

SRAM

La struttura generale prevede sempre un decoder, cui perviene l'indirizzo e che fornisce in uscita le wordline, e una matrice di programmazione.

In realtà nelle RAM l'indirizzo in parte perviene al decodificatore come l'abbiamo inteso fino ad ora, che in questo contesto prende il nome di **decoder di riga**, e in parte ad un altro decoder, detto **decoder di colonna**.

A questi si aggiungono a dei circuiti di lettura scrittura, che inviano dei segnali di read o di write, a seconda dell'azione che dobbiamo compiere.

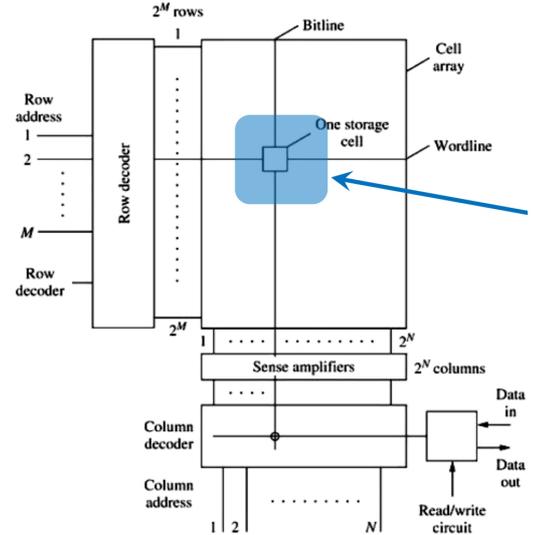
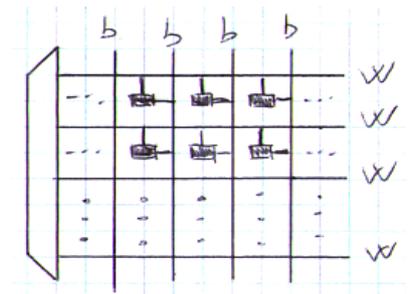
(In realtà nelle slide questa struttura ce l'avavamo pure le ROM che abbiamo visto finora. Vabbuò...facciamo che ce l'hanno solo le RAM)

Non entriamo nel dettaglio di come sono fatti i due decoder o i circuiti di lettura-scrittura.

Ci focalizziamo perlopiù su come è fatta la matrice [che si basa sempre sullo stesso principio, cioè che permette di leggere (e in questo caso credo anche a scrivere) le locazioni, a seconda di quale wordline sia abilitata], e in particolare sulla cella di memoria.

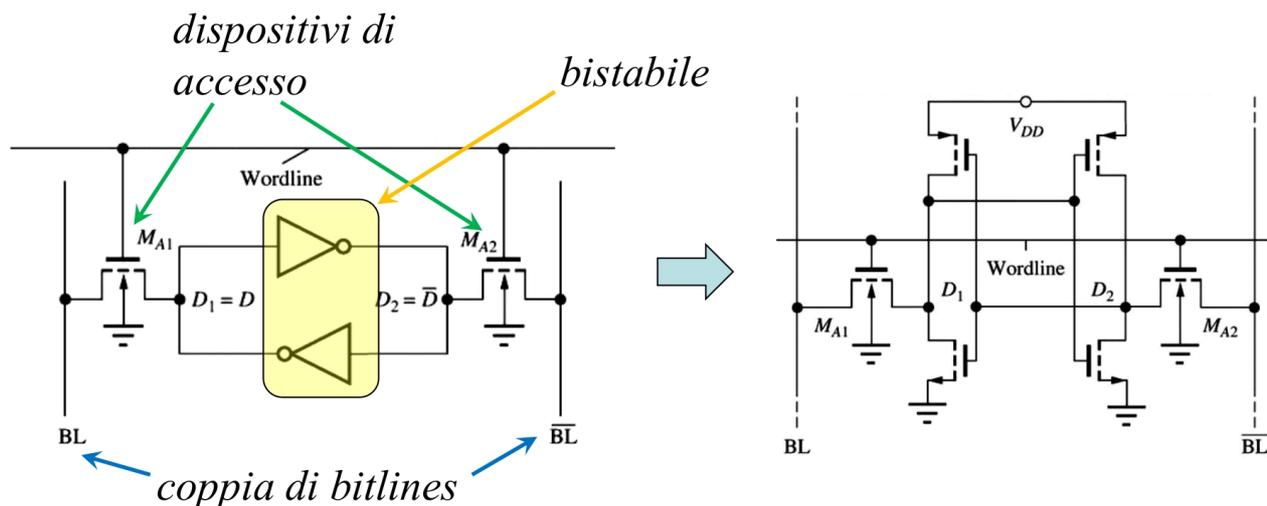
Nel caso delle memorie ROM le celle contenevano un transistor, due transistor (EEPROM), nulla (alcune delle celle delle ROM programmate in fabbricazione).

Nel caso delle SRAM avremo una circuiteria un po' più complicata.



Cella SRAM 6T

Come suggerisce il nome, abbiamo 6 transistor in ogni cella.



Nel caso delle memorie SRAM, anziché avere una singola linea verticale, la colonna della matrice è costituita sia dalla generica bitline che dal suo negato.

L'elemento di memoria è il bistabile. I due invertitori che lo costituiscono sono in logica CMOS.

Abbiamo due NMOS pilotati dalla wordline, che quindi si attivano quando la wordline è alta.

Una caratteristica fondamentale della cella SRAM è che ha una dissipazione di potenza statica estremamente ridotta: è legata soltanto alle correnti di perdita.

Quindi, quando non effettuiamo nessuna operazione sulla cella di memoria, la dissipazione di potenza è trascurabile.

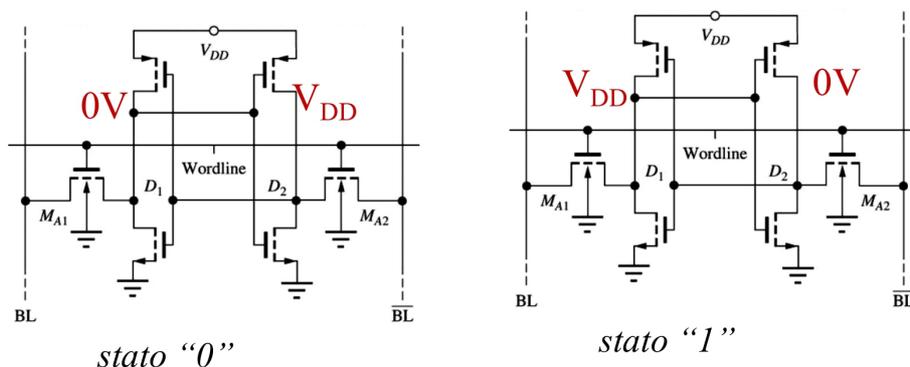
Tant'è che esistono memorie in commercio di questo tipo che incorporano delle piccole batterie che erogano la piccola potenza necessaria a mantenere semplicemente i dati memorizzati, dando l'impressione che la memoria sia non volatile.

In ogni caso, anche senza questa batteria, di solito il circuito è dotato di un condensatore che andrà in parallelo tra alimentazione e massa, di modo che quando togliamo l'alimentazione al circuito, possiamo fare affidamento per un breve intervallo di tempo alla carica del condensatore e quindi "abbiamo qualche minuto per cambiare le batterie", senza che la memoria perda le sue informazioni.

Rispetto alle memoria che abbiamo già visto, dato l'ingente numero di transistori, l'occupazione di area è più grande, a parità di capacità di memorizzazione.

Diciamo convenzionalmente che la cella memorizza uno 0 se il nodo D_1 è a livello logico basso e D_2 a livello alto.

In caso contrario, la cella memorizza un 1.



Scrittura

Supponiamo che la nostra cella di memoria stia memorizzando un 1, e che noi vogliamo scriverci uno 0.

Il dato che vogliamo scrivere deve essere trasferito sulle bitline, quindi metteremo BL a livello basso e \overline{BL} a livello alto.

Dopo aver fatto questa operazione, viene attivata la wordline, così facendo i transistori M_{A1} e M_{A2} entrano in conduzione.

A questo punto cerchiamo di far cambiare stato al bistabile (cosa per la quale è necessario portare il suo stato dalla parte opposta del punto di equilibrio instabile).

Quindi a destra, cerchiamo col transistore M_{A2} di forzare un 1 sul nodo D_2 , mantenuto a 0 dall'NMOS in basso, a sinistra invece cerchiamo col transistore M_{A1} di forzare uno 0 sul nodo D_1 .

Siccome il transistore M_{A2} sta cercando di forzare il livello alto, e siccome sappiamo che gli NMOS non riescono a trasmettere bene il livello alto, la presenza dell'altro NMOS che forza il livello basso, che invece viene trasmesso bene, risulta fondamentale.

Quindi in generale è utile avere due bitline, l'una il negato dell'altra, e due transistor che forzano gli stati opposti sui diversi nodi del bistabile, così da avere sempre uno dei due che forza lo 0, e quindi stiamo apposto.

(Potevamo pensare di mettere delle porte di trasmissione, ma il circuito così fatto è più efficiente, perchè nel caso delle porte di trasmissioni avremmo dovuto mettere anche i PMOS e la wordline negata)

Supponiamo invece di avere memorizzato 1 e di voler scrivere 1.

Attraverso M_{A2} cerchiamo di forzare D_2 a 1, ma è già a 1, e attraverso M_{A1} cerchiamo di forzare D_1 a massa, ma è già a massa.

Quindi fondamentalmente non succede niente. La cella è a 1 e continua a memorizzare 1.

Lettura

La fase di scrittura è più semplice, perchè siamo noi con i circuiti esterni a forzare le due linee. La fase più critica invece è quella di lettura.

Bisogna osservare che le bitline collegano un'intera colonna della memoria, quindi un gran numero di celle. Pertanto queste due linee avranno una **capacità parassita C di valore elevato**.
(elevato quanto? Sicuramente molto molto più della capacità di gate dei transistor)

Nella fase di lettura noi vogliamo trasferire il dato presente nel bistabile su queste due bitline. Concettualmente è semplice: attivo la wordline come prima, quindi accendo questi due transistor M_{A1} e M_{A2} , e trasferisco il dato sulla bitline BL e il suo negato su \overline{BL} , e poi aspetto che la capacità parassita della bitline su cui ho trasferito 1 arrivi a caricarsi fino a V_{DD} , e che la capacità parassita su cui ho trasferito 0 si scarichi fino a diventare 0.

Il problema però è che le capacità parassite sono grandi e le correnti che possono erogare i due transistor di accesso sono piccole, soprattutto perchè per occupare meno spazio li costruiamo piccoli e quindi il fattore K è piccolo. Quindi se non usassimo nessun meccanismo che ci aiuti in questo processo, ci metteremmo un'eternità a trasferire i dati sulle bitline.

Per ovviare a questo problema, si utilizza la seguente tecnica:

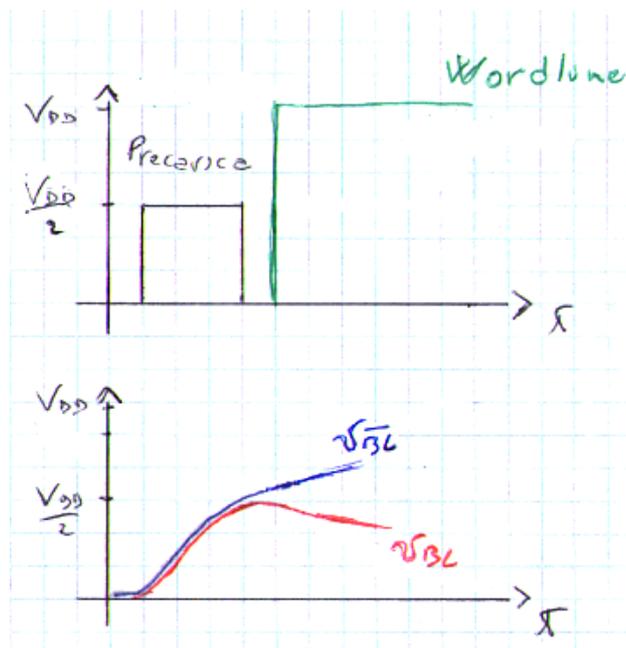
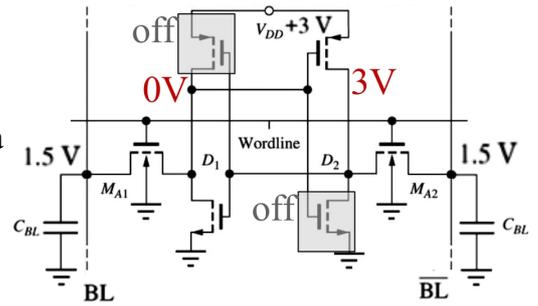
Prima di attivare le wordline **precarichiamo** le bitline ad un valore possibilmente vicino a $\frac{V_{DD}}{2}$

Supponiamo di stare leggendo uno 0, quindi D_1 è basso e D_2 è alto.

Abbiamo prima un segnale di precarica che si attiva per un certo intervallo di tempo, e poi si abbassa, quindi i circuiti ausiliari in questo intervallo di tempo caricheranno le capacità parassite a $V_{DD}/2$ (supponiamo le capacità inizialmente scariche).

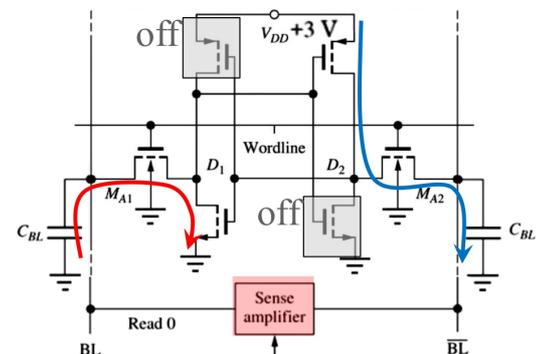
Terminata la precarica, viene attivata la wordline.

A questo punto la tensione su BL comincia a crescere lentamente perchè si deve caricare la capacità e la tensione su \overline{BL} comincia a decrescere molto lentamente perchè si deve scaricare la capacità.



A questo punto entra in gioco un **amplificatore di lettura**, che consiste di un amplificatore differenziale, il quale amplifica la differenza delle due tensioni sulle bitline e quindi fornisce immediatamente il livello logico alto senza aspettare che le due tensioni vadano a regime.

(Secondo me amplifica la differenza di $v_{BL} - v_{\overline{BL}}$, e in qualche modo fa uscire la tensione su BL e il suo negato sul \overline{BL} . Quando amplifica una differenza positiva satura a V_{DD} , quando amplifica una differenza negativa satura a 0. Credo eh...)



Questo è un altro vantaggio nell'aver due bitline l'una il negato dell'altra.

Quindi, ricapitolando le fasi sono:

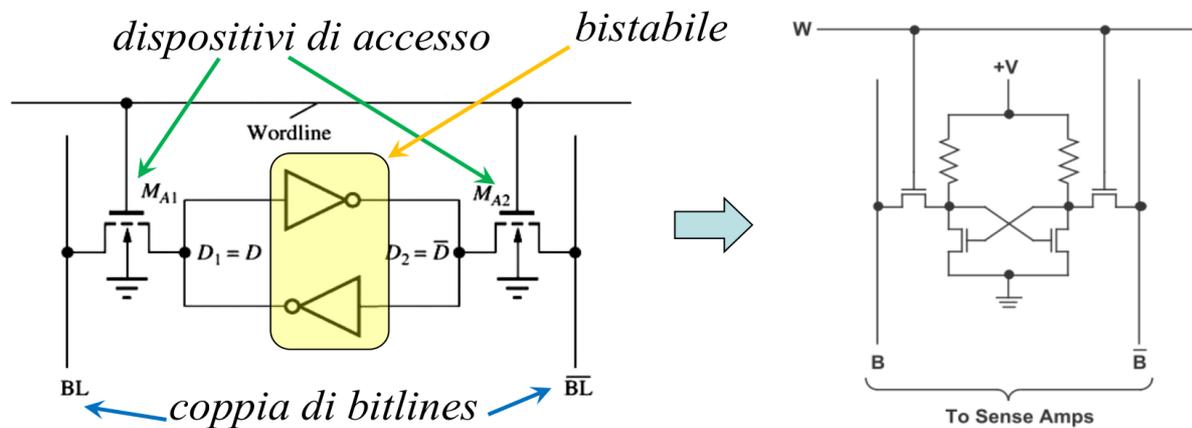
1. precarico le capacità della bitline
2. attivo la wordline
3. attivo l'amplificatore di lettura

Cella SRAM 4T

Per la cella SRAM a 4 transistori abbiamo la stessa struttura di principio e gli stessi meccanismi di lettura e scrittura.

La differenza consiste nella logica con cui sono realizzati gli invertitori.

In questo caso abbiamo **due invertitori NMOS con carico resistivo**.



Quando li studiammo dicemmo che avevano un problema di potenza dissipata e un problema di occupazione di spazio.

Come mai stiamo utilizzando un circuito che qualche tempo fa abbiamo scartato?

Perchè in questo tipo di applicazioni viene utilizzata una resistenza di carico R di valore estremamente elevato, per esempio $10^{12} \Omega$, realizzata con tecnologie particolari, in modo da svilupparsi in verticale sul circuito integrato, evitando problemi legati all'occupazione di area. Poichè questa resistenza di carico è così elevata, è vero che il circuito ha potenza dissipata statica, ma tuttavia questa potenza dissipata è estremamente ridotta.

Potremmo fare un circuito logico con questa tecnologia?

Se guardassimo solo alla potenza dissipata e all'area occupata, sembrerebbe di sì, ma ci sarebbero problemi legati ai tempi di propagazione che ricordiamo essere legati alla resistenza di carico. Quindi io potrei fare dei circuiti logici con questa topologia, consumerebbero poco e sarebbero piccoli, ma sarebbero lentissimi.

Nelle memorie, invece, questo problema non c'è. Perchè, in lettura, la carica di quelle capacità parassite delle bitline è innanzitutto affidata ai circuiti esterni, le quali caricano questa capacità a $V_{DD}/2$, poi si attiva la wordline e poi l'amplificatore di lettura fa il resto.

L'unica differenza rispetto all'andamento delle tensioni riportate nel grafico di prima è che la tensione che decresce decresce allo stesso modo, perchè la capacità parassita si comincia a scaricare tramite un transistor, mentre la tensione che prima cresceva ora rimane pressoché costante, perchè la capacità ora dovrebbe caricarsi con la corrente che passa attraverso una resistenza enorme. In ogni caso, anche in questo caso l'amplificatore amplifica la differenza, e quindi "riesce ad accorgersi lo stesso se c'è uno 0 o un 1".

Cella DRAM

La struttura generale è sempre la stessa, quindi decodificatore di riga, di colonna, circuiti di lettura-scrittura, ecc.

Quello che cambia è la cella di memoria.

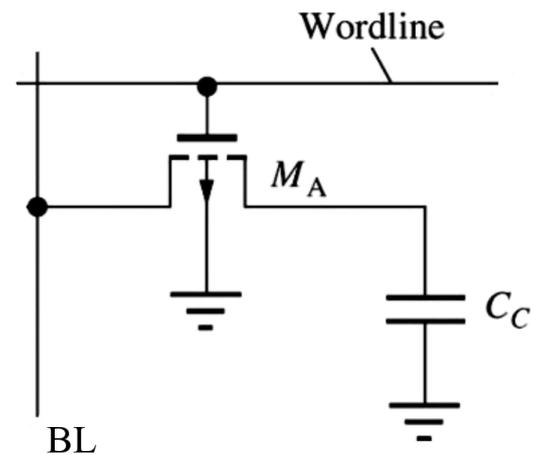
Nelle memorie DRAM la cella di memoria è **1T**, c'è solo un transistor.

Inoltre, sempre per semplificare il circuito, abbiamo una sola bitline.

L'elemento di memoria in questo caso è una capacità.

Questa capacità questa volta si deve proprio inserire nel circuito (*in riferimento al fatto che nel d-latch dinamico in realtà la capacità era quella parassita dell'invertitore, non esisteva nel circuito*).

Poi abbiamo il transistor di accesso M_A che, come prima, è pilotato dalla wordline e consente di mettere in contatto la bitline con l'elemento di memoria.



Scrittura

Supponiamo di dover scrivere uno 0.

Il circuito di lettura scrittura metterà il valore 0 sulla bitline.

La wordline si attiva e il transistor si accende.

La capacità, se era carica, e quindi memorizzava un 1, si scarica attraverso questo NMOS, altrimenti se era già scarica perchè memorizzava no 0, non succede niente.

In ogni caso al termine della fase di scarica il potenziale sulla capacità è 0 V.

Se devo scrivere un 1, il discorso è analogo, ovviamente in questo caso i circuiti esterni porteranno la bitline al potenziale di alimentazione.

Attivo la wordline e Il transistor va a caricare la capacità.

Il potenziale che mi trovo alla fine del processo, però è $V_{DD} - V_T$, perchè la capacità si carica attraverso l'NMOS che abbiamo visto che non trasmette bene il livello logico alto.

Beh, ci sarebbe piaciuto di più avere la tensione di alimentazione, ma comunque ci accontentiamo: riusciamo comunque a portare una tensione sufficientemente grande, oppure 0 V.

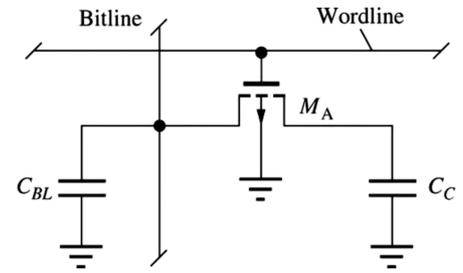
Quando sono in fase di memorizzazione, la wordline è bassa, il transistor è spento, la tensione sulla capacità rimane costante a meno del leakage, quindi quella tensione rimane più o meno costante, ma non posso mantenere il dato in memoria per un tempo indefinito, al massimo posso aspettare tra 1 e 10 ms, dopodichè la tensione sulla capacità svanisce.

1 ms, in un circuito che va alla frequenza di 1 GHz, è un tempo molto lungo, quindi il fatto che ogni ms devo aggiustare il dato in memoria non è una tragedia.

Fatto sta che non posso lasciare a tempo indeterminato la cella senza fare nulla, altrimenti il dato nella capacità si perde.

Lettura

Anche in questo caso abbiamo che su questa bitline c'è una capacità parassita C_{BL} di valore elevato molto grande. (sempre perchè la colonna collega molte celle)
Possiamo assumere che questa capacità sia di due ordini di grandezza più grande della capacità che usiamo come elemento di memoria.

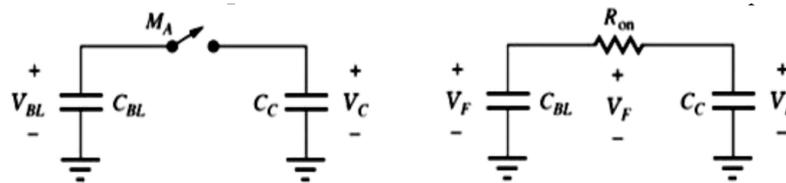


La fase di lettura anche in questo caso ha come primo step la precarica della bitline: la tensione viene portata a un certo valore intermedio tra livello alto e livello basso: $v_{BL} \simeq \frac{V_{DD} - V_T}{2}$

(Prima che il transistor si accenda la tensione sulla capacità della cella v_C sarà $0V$, se stiamo memorizzando uno 0, oppure $V_{DD} - V_T$ se stiamo memorizzando un 1.)

A questo punto attiviamo la wordline, e accendiamo il transistor, che possiamo vedere come una sorta di interruttore che si chiude.

Quando questo “interruttore” si chiude, i due condensatori sono in parallelo, chiamiamo v_F la tensione su entrambe le capacità dopo la chiusura di questo “interruttore”.



Per il **principio di conservazione della carica** (ricordo: definiamo carica di un condensatore il prodotto tensione · capacità), la carica complessiva sui due condensatori è la stessa, prima e dopo la chiusura dell'interruttore:

$$v_{BL} C_{BL} + v_C C_c = v_F (C_{BL} + C_c) \quad \Rightarrow \quad v_F = \frac{v_{BL} C_{BL} + v_C C_c}{C_{BL} + C_c}$$

Ora misuriamo la variazione dell'unica tensione che possiamo misurare grazie ai circuiti esterni, cioè la tensione sulla BL.

A seconda di come è variata la tensione sulla BL rispetto al valore di precarica, capiamo se era stato memorizzato un 1 o uno 0.

$$\Delta v_{BL} = v_F - v_{BL} = \frac{v_{BL} C_{BL} + v_C C_c}{C_{BL} + C_c} - v_{BL} = \frac{C_c}{C_{BL} + C_c} (v_C - v_{BL}) \simeq \frac{C_c}{C_{BL}} (v_C - v_{BL})$$

Il valore di Δv_{BL} è di qualche decina di mV.

Il **segno di Δv_{BL}** consente di individuare se $v_C > v_{BL}$ e quindi stiamo leggendo un 1, oppure $v_C < v_{BL}$ e quindi stiamo leggendo uno 0.

Avremo, poi, un **amplificatore di lettura** che amplifica Δv_{BL} e fornisce il dato in uscita.

L'amplificatore di lettura, per poter valutare il segno di $\Delta v_{BL} = v_F - v_{BL}$ dovrà tenere traccia della tensione di precarica.

Osservazione: più la capacità di memoria è grande, più aumentano le colonne, più aumenta la C_{BL} , più la Δv_{BL} sarà piccola e difficile da misurare.

La lettura è distruttiva: la procedura che ci consente di leggere il dato contenuto dalla cella, cioè la tensione sulla capacità della cella, modifica questa tensione stessa.

Alla fine della procedura di lettura sulla capacità ci ritroviamo la tensione

$$v_F = \frac{v_{BL}C_{BL} + v_C C_c}{C_{BL} + C_c} \simeq v_{BL} \text{ che non corrisponde né al livello alto né al livello basso.}$$

A risolvere questo problema ci pensa l'amplificatore di lettura, il quale dopo aver ultimato la lettura fornendo il dato in uscita, ripristina la tensione della capacità al valore che aveva prima della lettura.

Tralaltro, nel riscrivere il dato nella cella, effettua anche un **refresh**, quindi se la tensione aveva cominciato a variare a causa del leakage, quando faccio la lettura riesco lo stesso a leggere il dato e lo rinfresco pure.

L'operazione di refresh deve essere effettuata periodicamente in maniera automatica anche quando non è richiesta la lettura di nessun dato.

In questo caso è come se la memoria si leggesse da sola.

Il refresh di solito non riguarda una cella alla volta, ma una riga, o un blocco alla volta.

Negli intervalli di tempo nei quali la memoria si refresha, cioè si legge da sola, non è accessibile, quindi manda un segnale di “occupato” al processore.

Ci accorgiamo che l'amplificatore di lettura è indispensabile nelle DRAM. Se non ci fosse il circuito non funzionerebbe affatto. Nelle SRAM velocizza il circuito (fermo restando che è comunque abbastanza fondamentale, altrimenti la memoria sarebbe lentissima).

“Quindi quest'amplificatore fa una serie di cose: amplifica la tensione, riscrive il dato sulla capacità, e quindi contemporaneamente fa anche il refresh.

E' un circuito molto bello e intelligente perchè fa un sacco di cose con pochi transistori, ma non abbiamo il tempo di vederlo” (aaaah, ma allora non è un semplice differenziale).

“Abbiamo finto la nostra disamina sulle DRAM

Quindi le DRAM hanno un transistor per cella, quindi circuiti più compatti possibili, però le EEPROM e le FLASH hanno più meno lo stesso livello di compattezza, se non addirittura migliore nel caso delle FLASH. Le DRAM sono più veloci delle FLASH, soprattutto in fase di scrittura, perchè le flash richiedono che sia riscritto un intero blocco. Nei prossimi anni non è detto che le cose restino così.”

Lezione 21

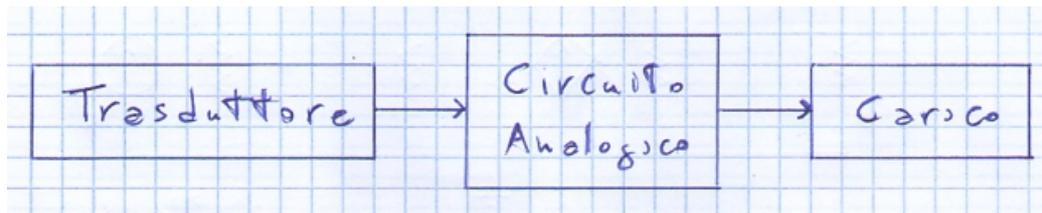
Elettronica Analogica

L'elettronica analogica è il complemento dell'elettronica digitale.

Nell'elettronica digitale noi dobbiamo avere dei circuiti estremamente non lineari, perchè vogliamo che l'uscita sia 0 o 1. L'elettronica analogica invece richiede dei circuiti lineari.

Questa cosa non è ovvia da ottenere, perchè i dispositivi elettronici sono per loro natura non lineari, e questo ci pone dei problemi.

Com'è fatto un circuito analogico?



Concettualmente abbiamo da un lato un trasduttore, quindi un sistema che fornisce una certa grandezza: o una tensione o una corrente.

Questo segnale viene portato al nostro circuito analogico, che effettua su di esso delle elaborazioni per darlo in ingresso ad un carico.

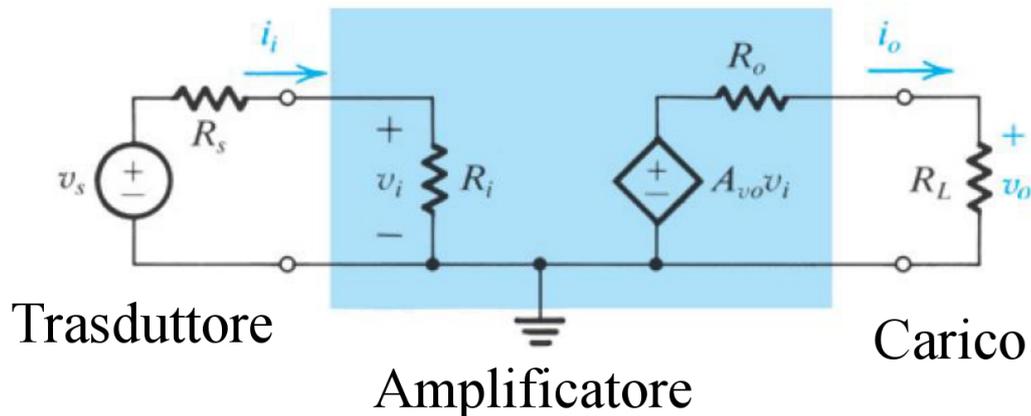
La forma più semplice di elaborazione è l'**amplificazione**, che è anche la cosa più importante, e che tutti i circuiti analogici fanno inizialmente, perchè spesso abbiamo a che fare con delle tensioni che arrivano da questi trasduttori, di valore talmente piccolo, che non possiamo utilizzarli utilmente.

Un'altra operazione di tipo lineare, oltre all'amplificazione è quella di **filtraggio**, che può essere di tipo passabasso, bassabanda, passaalto, ecc.

In questo caso le componenti frequenziali non vengono trattate tutte allo stesso modo, quindi potremo, ad esempio amplificare una certa banda di frequenze, o attenuarle, e così via.

Ci concentreremo inizialmente sugli amplificatori.

Amplificatori



Possiamo rappresentare il nostro trasduttore con un equivalente di Thevenin (o con un equivalente di Norton). Quindi abbiamo una certa tensione v_s (che ho segnato con + e -, ma può essere anche sinusoidale) e un certo resistore R_s . La tensione che dà in ingresso all'amplificatore la chiamiamo v_i .

Il carico lo rappresentiamo per semplicità con una resistenza R_L .

Il nostro amplificatore, che sarà fatto con dei transistor, con dei circuiti più o meno complicati, lo possiamo schematizzare con un circuito di tipo Thevenin.

Quindi avrà una sua propria resistenza di ingresso, poi in qualche modo andrà a prendere la tensione di ingresso v_i e la produrrà in uscita possibilmente, amplificata. Quindi avremo il generatore controllato $A_{v_o} v_i$, che non essendo ideale avrà una resistenza di uscita R_o .

Ora, ovviamente l'amplificatore non è che lo compriamo così, ci saranno degli schemi più o meno complicati che comprenderanno dei transistor. Quello che noi dovremo fare è: vedere quali sono questi schemi, e poi risalire da questi schemi con i transistori, i MOSFET, e così via, a questo modello del nostro amplificatore, schematizzato con Thevenin.

Se andiamo a studiare questo semplice circuito, osserviamo che la tensione v_i è data dal partitore di tensione, quindi $v_i = v_s \frac{R_i}{R_i + R_s}$, mentre la tensione di uscita sul carico, $v_o = A_{v_o} v_i \frac{R_L}{R_L + R_o}$.

. Mettendo insieme le due relazioni avremo che la tensione sul carico:

$$v_o = \left[A_{v_o} \frac{R_L}{R_L + R_o} \frac{R_i}{R_i + R_s} \right] v_s .$$

Osserviamo che questa tensione è il prodotto di tre termini: il primo, A_{v_o} , lo definiamo **guadagno a vuoto** dell'amplificatore, ed è il guadagno ideale.

Il comportamento ideale dell'amplificatore è che la tensione sul carico sia $A_{v_o} v_s$.

Purtroppo nella realtà questa quantità è attenuata da quei due fattori che dipendono rispettivamente dalla maglia in uscita e dalla maglia in ingresso.

Quindi un amplificatore di tensione, per comportarsi bene dovrebbe avere una resistenza $R_i \gg R_s$, e una resistenza $R_o \ll R_L$, in modo tale che quei due fattori tendano a 1.

Quindi il nostro amplificatore lo caratterizziamo con tre termini: la **resistenza di ingresso**, la **resistenza di uscita**, e il **guadagno**.

All'inizio abbiamo detto di volere dei circuiti lineari.

Nel caso dell'amplificatore, perchè vogliamo una relazione lineare tra tensione di ingresso e tensione sul carico?

Perchè se la relazione fosse non lineare si avrebbero dei fenomeni di distorsione, ovvero, in uscita osserveremmo componenti frequenziali che in ingresso non erano presenti.

Per esempio, se la caratteristica ingresso-uscita fosse $v_o = A_L v_S + A_{L2} v_S^2$ cosa succederebbe, supponendo che v_S sia una sinusoide: $v_S = v_M \sin(2\pi f t)$?

Oltre al termine a frequenza f , avrei una componente continua non nulla e un termine a frequenza $2f$, dovute al $\sin^2(2\pi f t)$ (che posso scrivere come $\frac{1}{2} - \frac{1}{2} \cos(2\pi 2f t)$)

Questo fenomeno è detto **distorsione armonica**.

Se poi abbiamo due segnali di ingresso, uno a frequenza f_1 e uno a frequenza f_2 , quindi una cosa tipo $v_M \sin(2\pi f_1 t) + v_N \sin(2\pi f_2 t)$, in uscita che cosa abbiamo, supponendo che il sistema presenti una non linearità del secondo ordine?

Avremo contributi frequenziali a $f_1, 2f_1, f_2, 2f_2, f_1+f_2, f_1-f_2$

Quest'altro fenomeno viene chiamato **intermodulazione**.

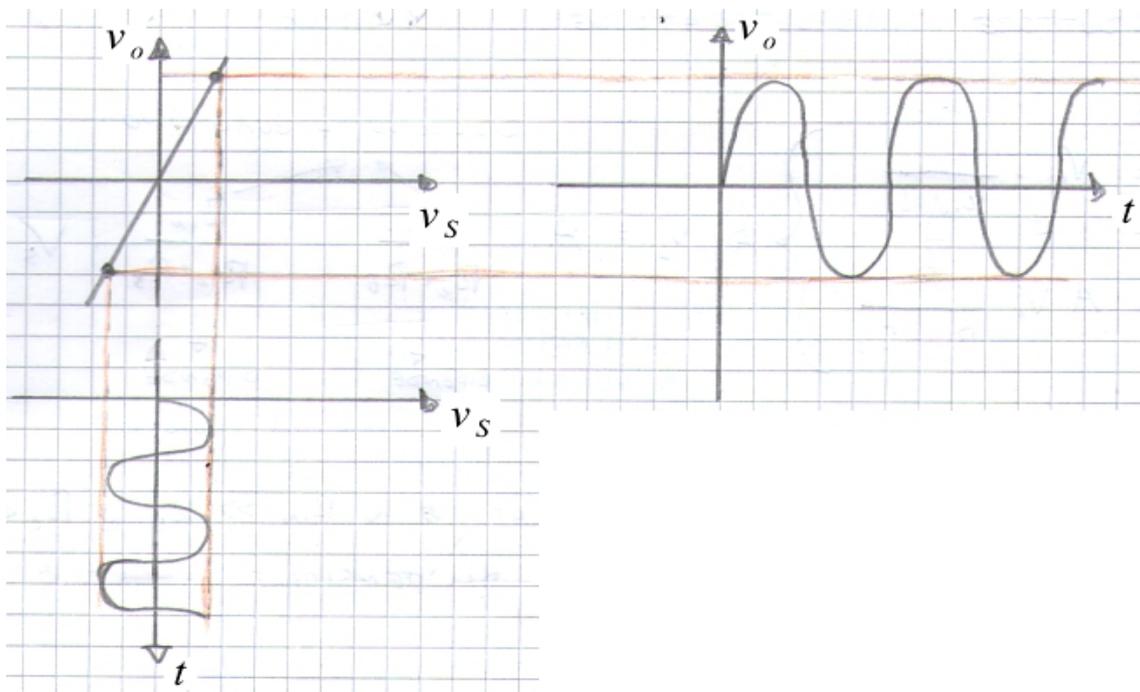
Quindi, uno dei problemi fondamentali sarà ottenere delle relazioni ingresso-uscita lineari, in modo da evitare gli effetti legati a distorsioni armoniche e intermodulazione.

Tenuto conto di ciò, vogliamo che quindi la relazione ingresso-uscita del nostro amplificatore sia:

$$v_o = A_v v_S$$

dove A_v , che chiamiamo **guadagno (complessivo) di tensione**, dipende da come è fatto l'amplificatore dalla resistenza del trasduttore, dalla resistenza di carico, ecc.

La relazione che lega tensione di ingresso e di uscita sarà, quindi, una retta:



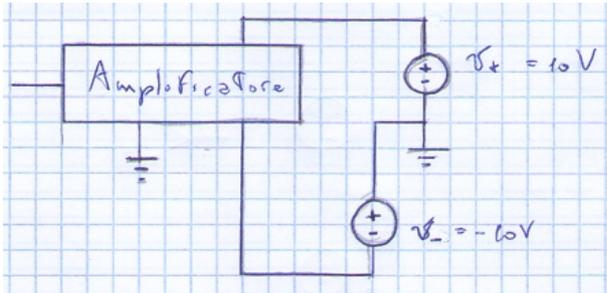
Nel caso in cui A_v sia negativo, ovviamente il segnale di uscita sarà amplificato (se è > 1 in modulo), ma anche cambiato di segno, o, se vogliamo, con uno sfasamento di 180° .

Quando l'amplificatore presenta questo guadagno negativo viene chiamato **amplificatore invertente**.

Nella pratica, purtroppo non riusciamo mai ad avere effettivamente una relazione lineare di questo tipo. Cioè la relazione tra ingresso e uscita è sempre caratterizzata da una certa “aliquota di non linearità”.

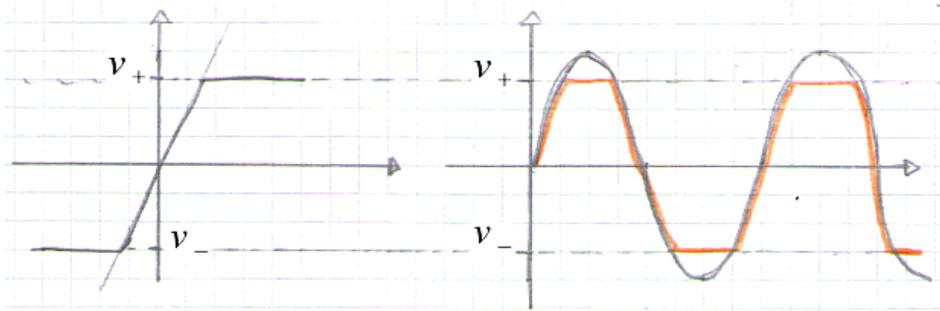
Un fenomeno che può causare distorsioni è dovuto alle limitazioni che comporta la tensione di alimentazione. La tensione di uscita non potrà mai essere più ampia rispetto ai valori della tensione di alimentazione, il che può comportare il fenomeno di saturazione.

Tralaltro questo vincolo impone che l'amplificatore sia alimentato con un doppio generatore, uno che eroga una tensione positiva, e uno che eroga una tensione negativa, tra un attimo spiegherò il perchè.



Supponiamo di alimentare l'amplificatore con questa modalità.

Siccome la tensione di uscita non potrà mai essere più grande di v_+ , né più piccola di v_- , la caratteristica di riferimento non sarà una retta, ma nella migliore delle ipotesi avrà il seguente andamento:

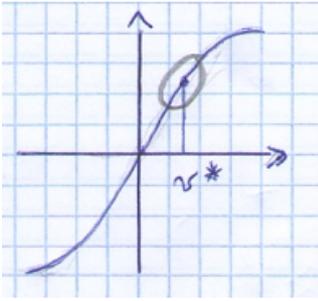


La tensione di uscita sarà $A_v v_s$ solo fintantoché questo valore è compreso tra v_+ e v_- . Se è più grande di v_+ l'uscita sarà v_+ , se è più piccola di v_- l'uscita sarà v_- .

Ora capiamo il motivo per cui l'amplificatore debba avere questa doppia alimentazione rispetto a massa: se così non fosse le tensioni che sarebbe in grado di trattare dovrebbero andare solo per positivi (se ci fosse solo v_+) o solo per negativi (se ci fosse solo v_-).

N.B: sto modo di dire “andare solo per positivi” lo usa il prof per dire “assume solo valori positivi”

Comunque, anche se volessimo trascurare questo aspetto, una caratteristica perfettamente lineare non la otterremo mai. Avremo sempre una caratteristica non lineare.



Però possiamo fare la seguente osservazione:

se opero soltanto in un intorno piccolo di un certo punto di lavoro, chiamiamolo v^* , posso considerare la caratteristica come lineare. Cioè se ho piccole variazioni dell'ingresso v , rispetto a v^* , posso approssimare la caratteristica intorno a v^* come una retta tramite il suo sviluppo in serie di Taylor: $f(v + v^*) \approx f(v^*) + f'(v^*)(v - v^*) +$ altri termini di ordine superiore.

Quindi, io posso utilizzare solo un pezzo della mia caratteristica di trasferimento, e sfruttare questo pezzo "lineare" per amplificare il segnale di ingresso.

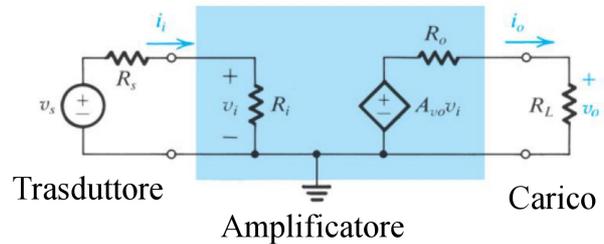
Tutto ciò funziona solo se il segnale di ingresso è piccolo.

Per questo motivo, quello che faremo più avanti nel corso sarà quello di studiare il comportamento dei circuiti elettronici per piccoli segnali.

Condurremo un'**analisi per piccoli segnali**.

Torniamo al nostro amplificatore =>

$$\text{Abbiamo detto che } v_o = \left[A_{v_o} \frac{R_L}{R_L + R_o} \frac{R_i}{R_i + R_s} \right] v_s$$



Quindi il guadagno complessivo A_v è dato dalla quantità racchiusa dalla parentesi.

Spesso per ottenere un guadagno adeguato, se il guadagno di un amplificatore non è sufficiente, è possibile mettere due stadi amplificatori in cascata.

Bisogna tener presente che i termini legati alle resistenze possono incidere in maniera significativa sul guadagno complessivo.

Facciamo un esempio.

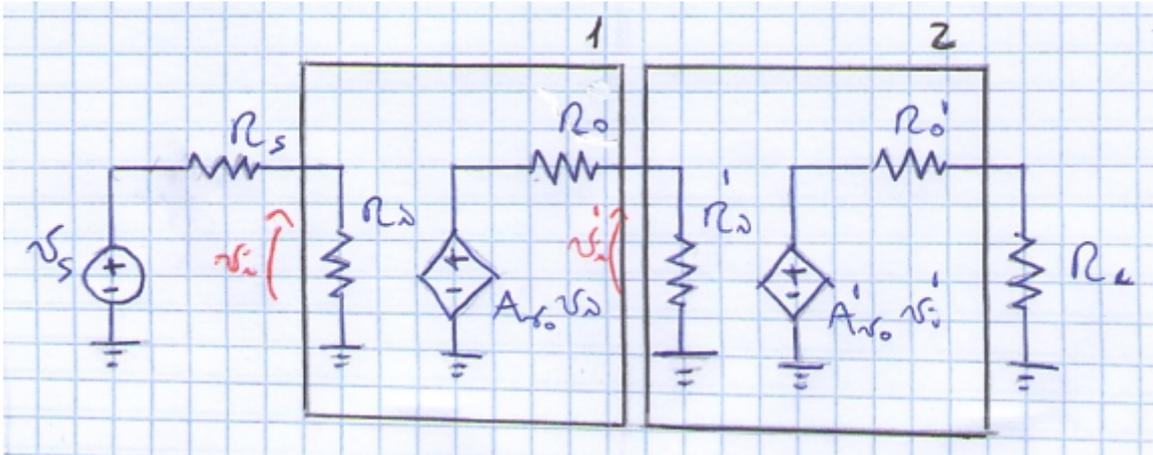
Supponiamo che $R_s = R_i = R_o = 10 \text{ k}\Omega$, $R_L = 10$, $A_{v_o} = 100$.

Il guadagno di tensione complessivo sarà:

$$A_v = 100 \frac{10}{10 + 10\text{k}} \frac{10\text{k}}{10\text{k} + 10} \approx 100 \cdot 10^{-3} \frac{1}{2} = 0,05$$

L'amplificatore, al posto di amplificare attenua! Questo perchè la resistenza di uscita, R_o , è molto più grande di quella di carico, R_L .

Proviamo ad inserire un secondo stadio al nostro amplificatore, che viene chiamato **inseguitore**, o **buffer** :



con una resistenza di ingresso $R'_i = 100 \text{ k}\Omega$, un guadagno $A'_{v_o} = 1$, e una resistenza di uscita, $R'_o = 10 \Omega$.

Può sembrare una cosa strana, perché mettiamo un secondo stadio che ha un guadagno di 1. Potremmo immaginare che non potrà mai migliorare le cose. Invece vediamo subito che questo stadio che guadagna 1 ha la caratteristica di avere una resistenza di ingresso molto grande una resistenza di uscita molto piccola. Questo fa sì che il guadagno complessivo del mio sistema possa crescere di molto rispetto alla situazione precedente.

Ce ne accorgiamo facendo i conti:
Basta applicare più volte il partitore di tensione.

$$A_v = \underbrace{\frac{R_i}{R_i + R_s}}_{\frac{1}{2}} \underbrace{\frac{R'_i}{R'_i + R_o}}_{\approx 1} \underbrace{\frac{R}{R + R'_o}}_{\frac{1}{2}} A_{v_o} A'_{v_o} \approx 25$$

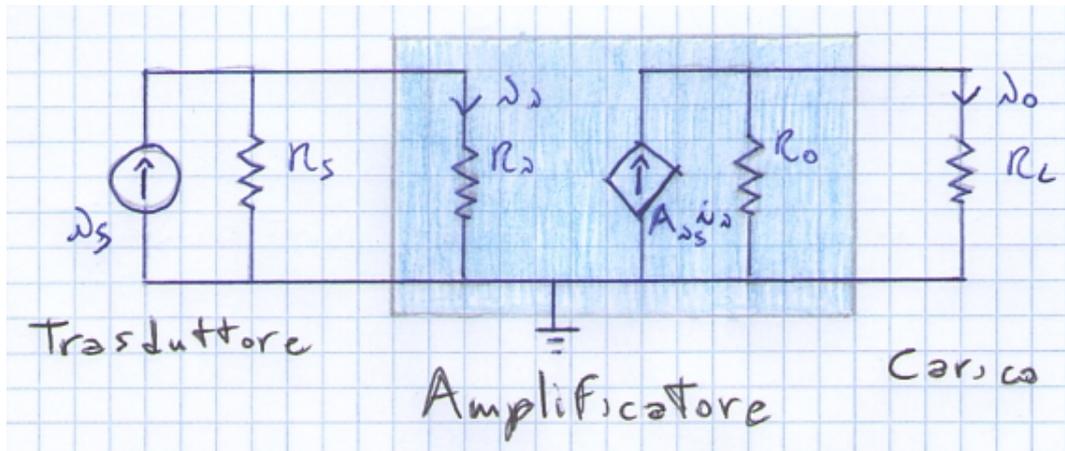
\downarrow \downarrow
 100 1

Che è più grande di quella di ingresso, nonostante il secondo stadio amplificatore abbia un guadagno a vuoto pari a 1.

Quindi vediamo come sia importante non solo avere dei circuiti che abbiano un elevato guadagno a vuoto, ma che abbiano anche una resistenza di ingresso grande (idealmente infinita) e una resistenza di uscita piccola (idealmente zero), altrimenti tutto il loro potenziale guadagno si può perdere o nel partitore di uscita o (potevo farvi l'esempio analogo) nel partitore di ingresso.

Ci sono molte applicazioni in cui quello che siamo interessati ad amplificare non è la tensione, bensì la corrente.

In questo caso rappresentiamo sia il trasduttore che l'amplificatore con dei circuiti equivalenti di Norton:



Quindi in questo caso vogliamo che $i_o = A_i i_s$, con A_i **guadagno complessivo di corrente**.

Con questa schematizzazione, possiamo calcolare facilmente la corrente di uscita applicando il partitore di corrente:

$$i_o = A_i i_i \frac{R_o}{R_L + R_o}, \quad i_i = i_s \frac{R_s}{R_s + R_i}$$

Da cui, sostituendo, otteniamo $i_o = \underbrace{\left[A_i \frac{R_s}{R_s + R_i} \frac{R_o}{R_L + R_o} \right]}_{A_i} i_s$

Quindi, il guadagno complessivo di corrente A_i , è rappresentato da sta roba tra parentesi.

Pertanto, un buon amplificatore di corrente dovrà avere una resistenza di ingresso, R_i , molto piccola, e una resistenza di uscita, R_o , molto grande.

Esattamente l'opposto delle caratteristiche che un buon amplificatore di tensione dovrebbe avere!

“Noi nella maggior parte degli esempi che faremo in questo corso ci riferiremo all'amplificazione di tensione, però sappiate che se invece vi serve amplificare una corrente, le caratteristiche dei nostri circuiti devono essere ottimizzati in maniera proprio inversa rispetto a quella che vediamo per gli amplificatori di tensione”.

Un'ultima osservazione:

Spesso il guadagno, sia di tensione che di corrente viene espresso in decibel, quindi

$$20 \log_{10}(\text{numero naturale})$$

Amplificatore Operazionale

L'amplificatore operazionale è l'elemento base dell'elettronica analogica.

Per capire da dove nasce l'idea di questo amplificatore operazionale, dobbiamo fare questa osservazione:

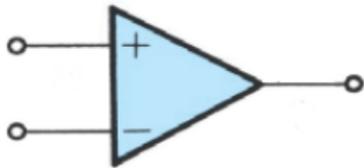
I circuiti elettronici sono caratterizzati da una elevata variabilità dei parametri.

Cioè noi possiamo realizzare facilmente un amplificatore il cui guadagno A_v , nominale è molto elevato, ma che in realtà, a causa delle variazioni della tensione di alimentazione e delle caratteristiche dei dispositivi, può avere delle grosse variazioni.

Noi invece vorremmo avere degli amplificatori con un guadagno preciso, ben determinato.

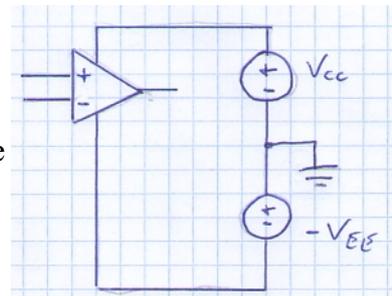
Per ottenere questo risultato utilizziamo un amplificatore con un guadagno nominale altissimo, magari utilizzando più stadi in cascata, e in più dei componenti passivi esterni che riducano il guadagno, ma che lo rendano deterministico e controllabile.

L'amplificatore operazionale viene rappresentato in questo modo:

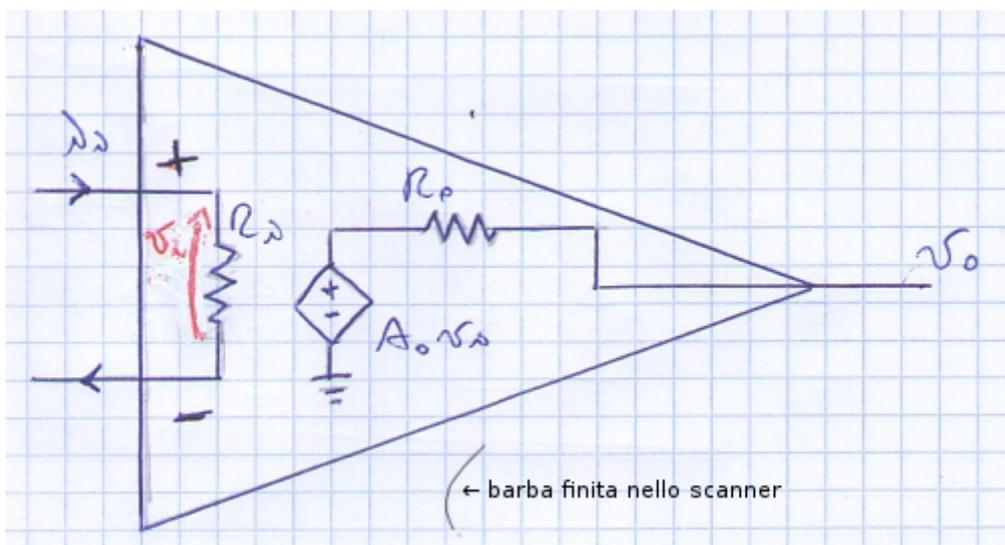


Il morsetto contrassegnato dal “-” viene chiamato **invertente**, quello contrassegnato dal simbolo “+” viene chiamato **non invertente**.

Oltre ad avere questi tre terminali ha anche i due terminali di alimentazione, e viene alimentato con due tensioni simmetriche rispetto a massa, cosicché l'uscita possa evolvere sia per positivi che per negativi.



Internamente lo possiamo schematizzare in maniera analoga a quanto abbiamo visto prima:



L'unica osservazione da fare è che, rispetto a prima, l'uscita dipende non dal valore della tensione su un morsetto, ma dalla differenza di tensione fra i due morsetti, il non invertente e l'invertente.

Le caratteristiche che **idealmente** l'amplificatore operazionale dovrebbe avere sono:

- A_o infinito (per quello che abbiamo detto prima);
- R_i infinita;
- R_o zero;

Ve ne sono altre, comunque, per esempio banda passante infinita.

Ora vediamo come possiamo utilizzare questo amplificatore operazionale ideale, per fare dei circuiti che abbiano un guadagno limitato.

Poi, fra qualche lezione dovremmo vedere cosa succede quando abbiamo un circuito reale, cioè quando andremo ad eliminare queste ipotesi semplificative che abbiamo scritto adesso.

Però per il momento posticipiamo questo aspetto, e supponiamo di avere a disposizione degli amplificatori operazionali ideali.

Ora, per come è realizzato il nostro circuito, vediamo che la tensione di uscita

$$v_o = (v_+ - v_-) A_o .$$

Dividendo ambo i membri per A_o , si ottiene

$$v_+ - v_- = \frac{v_o}{A_o} = 0$$

↑
in quanto $A_o = \infty$, e supponiamo v_o finita.

La corrente che circola in questi morsetti è anche essa $i_i = 0$, in quanto $R_i = \infty$

Queste due condizioni le andiamo a racchiudere in un'unica definizione: n
nel nostro amplificatore operazionale ideale abbiamo un **cortocircuito virtuale in ingresso**.

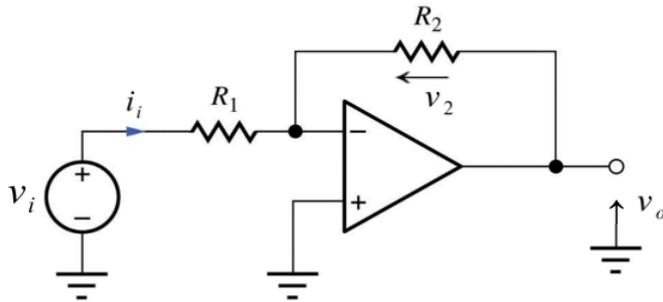
Questo cortocircuito è virtuale in quanto i due morsetti sono allo stesso potenziale, ma rispetto ad un normale cortocircuito la corrente non passa.

Amplificatore Invertente

Partiamo dal nostro operazionale, che supporremo ideale, quindi guadagno infinito, resistenza di ingresso infinita, resistenza di uscita zero.

Non disegniamo le alimentazioni, ma le sottintendiamo.

Lo schema è il seguente:



Le due resistenze R_1 e R_2 sono i due elementi passivi che ci consentono di ottenere un guadagno piccolo, ma controllato del nostro circuito.

(La tensione in ingresso l'ho chiamata v_i , ma non ha nulla a che vedere con la tensione tra i morsetti + e - nel "triangolo")

Vediamo di studiare come funziona il nostro amplificatore invertente.

Il morsetto + è collegato a massa, ma essendoci il cortocircuito virtuale tra i morsetti + e -, anche il potenziale sul morsetto - è zero.

$$\text{Quindi } i_i = \frac{v_i}{R_1} .$$

Ora, la corrente i_i arriva su questo nodo, ma la corrente di ingresso dell'operazionale è zero, perchè la resistenza di ingresso è infinita, quindi la corrente che attraversa R_2 è proprio i_i .

$$\text{La caduta sulla resistenza } R_2 \text{ sarà } v_2 = R_2 i_i = \frac{R_2}{R_1} v_i .$$

La tensione di uscita $v_o = -v_2$ (credo che il potenziale sul morsetto di uscita sia semplicemente uguale a $-v_2$ perchè il morsetto + è a massa, ma non ne sono totalmente certo)

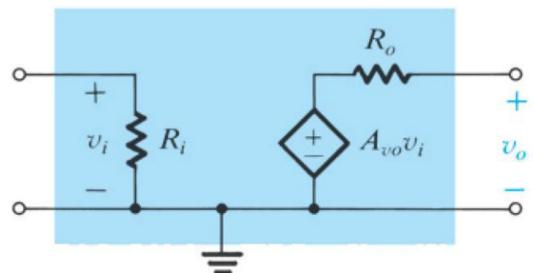
$$\text{In definitiva otteniamo che } v_o = -\frac{R_2}{R_1} v_i .$$

Se volessimo rappresentare l'invertente con l'equivalente di Thevenin introdotto all'inizio, il guadagno (a vuoto) è:

$$A_{v_0} \stackrel{\text{def}}{=} \frac{v_0}{v_i} = -\frac{R_2}{R_1}$$

(in realtà se fosse presente il carico sarebbe

$$v_o = A_{v_0} v_i \frac{R_L}{R_L + R_o})$$



Quindi se il rapporto di queste due resistenze è stabile, è noto, il guadagno del nostro circuito è perfettamente noto, perfettamente stabile.

Per esempio, se voglio avere un circuito che guadagni 20 dB, scelgo $\frac{R_2}{R_1} = 10$.

Ora, potrei scegliere $R_1 = 1 \Omega$ e $R_2 = 10 \Omega$, oppure $R_1 = 1 M \Omega$ e $R_2 = 10 M \Omega$, o ancora $R_1 = 1 k \Omega$ e $R_2 = 10 k \Omega$.

Se abbiamo un amplificatore ideale è la stessa cosa: una coppia qualunque delle resistenze che abbiamo elencato va bene.

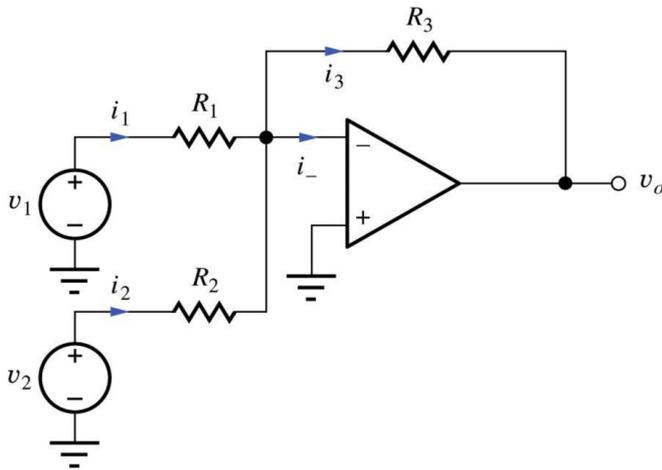
Nella pratica il guadagno non è infinito, la resistenza di ingresso non è infinita, quella di uscita non è nulla, quindi affinché il circuito funzioni correttamente, queste resistenze devono essere scelte molto più grandi di R_o e molto più piccole di R_i .

Idealmente sono rispettivamente zero e infinito, in pratica R_o è dell'ordine dei 10Ω e R_i è dell'ordine dei $10 M \Omega$, quindi la scelta corretta in realtà è prendere R_1 e R_2 dell'ordine dei $k \Omega$, quindi 1 e 10, ma anche 5 e 50, ecc.

Vediamo un'applicazione del nostro amplificatore invertente:

Sommatore

Anziché avere un'unica tensione di ingresso, supponiamo di poter disporre di due ingressi che indichiamo con v_1 e v_2 .



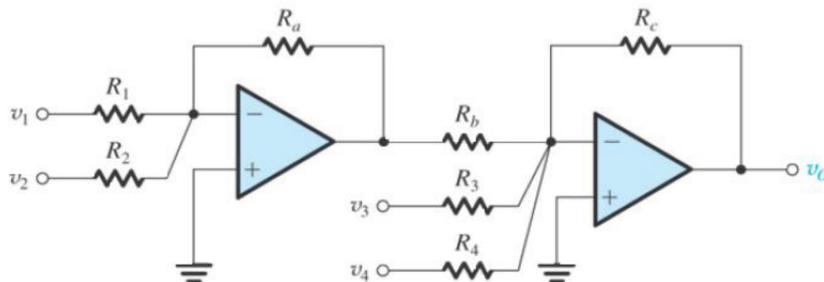
Siccome $i_- = 0$, $i_3 = i_1 + i_2$.

Siccome tra i morsetti + e - c'è il cortocircuito virtuale, $i_1 = \frac{v_1}{R_1}$ e $i_2 = \frac{v_2}{R_2}$.

$$v_o = -R_3 i_3 = -R_3 (i_1 + i_2) = -R_3 \left(\frac{v_1}{R_1} + \frac{v_2}{R_2} \right) = -\frac{R_3}{R_1} v_1 - \frac{R_3}{R_2} v_2.$$

In talune circostanze possiamo voler sommare anche dei termini col segno +.

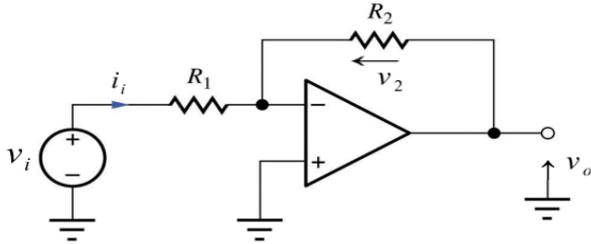
Per fare ciò utilizziamo la stessa tecnica premettendo uno stadio per i termini col segno +:



$$\text{La tensione di uscita sarà: } v_o = v_1 \frac{R_a}{R_1} \frac{R_c}{R_b} + v_2 \frac{R_a}{R_2} \frac{R_c}{R_b} - v_3 \frac{R_c}{R_3} - v_4 \frac{R_c}{R_4}$$

Lezione 22

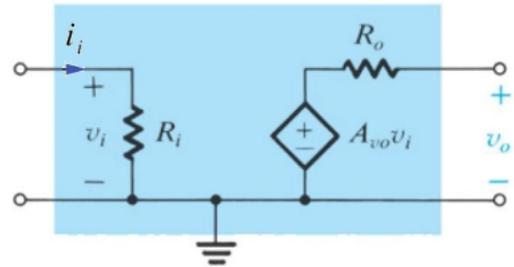
Ritorniamo all'invertente



Abbiamo detto che, il guadagno (a vuoto) di questo amplificatore è $A_{v_o} = -\frac{R_2}{R_1}$ (in assenza di carico).

Sempre volendoci rifare all'equivalente di Thevenin, calcoliamo gli altri due parametri dell'amplificatore: le resistenze di ingresso R_i e di uscita R_o

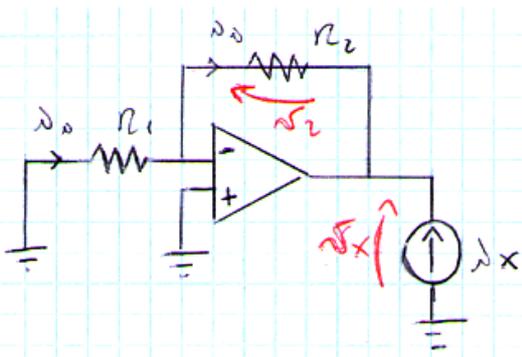
$$R_i \stackrel{\text{def}}{=} \frac{v_i}{i_i}, \quad i_i = \frac{v_i}{R_1} \Rightarrow R_i = R_1$$



“Questo non è un risultato positivo se vogliamo utilizzare il circuito come amplificatore di tensione, perchè un buon amplificatore di tensione dovrebbe avere una resistenza di ingresso idealmente infinita, invece qui è data da questo valore R_1 , che sarà quello che sarà ma è detto che sarà sufficientemente grande se vogliamo fare un amplificatore di tensione”

Valutiamo la resistenza di uscita R_o

Per farlo, azzeriamo il generatore in ingresso, applichiamo un generatore di corrente i_x sul morsetto di uscita e vediamo che succede sulla maglia di ingresso.



$$R_o \stackrel{\text{def}}{=} \frac{v_x}{i_x} \quad [?]$$

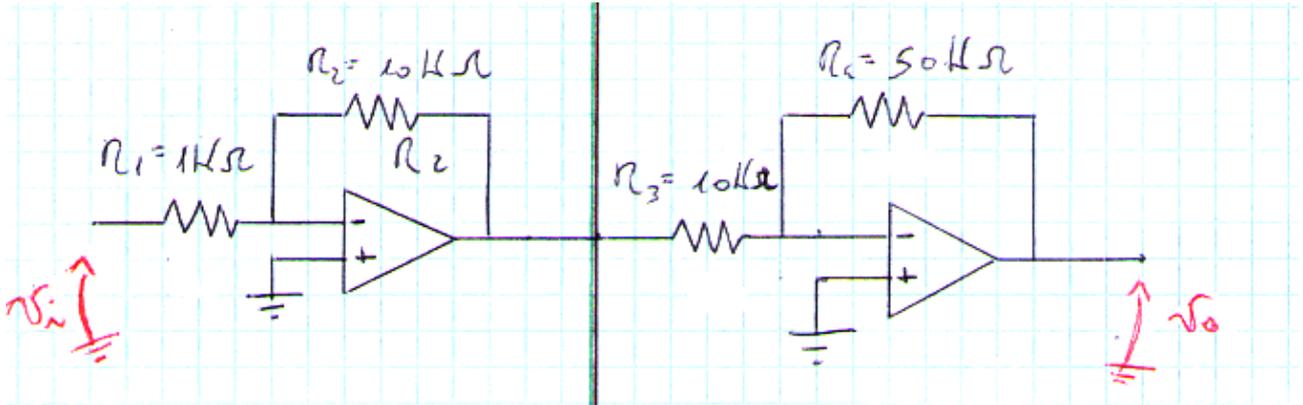
La corrente $i_i = 0$, perchè in ingresso non abbiamo più il generatore di tensione $\Rightarrow v_2 = 0 \Rightarrow v_x = 0$.
Quindi, indipendentemente dalla corrente impressa in uscita, la resistenza di uscita sarà sempre

$$R_o \stackrel{\text{def}}{=} \frac{v_x}{i_x} = \frac{0}{i_x} = 0$$

Il che è caratteristico di un buon amplificatore di tensione.

Esempio

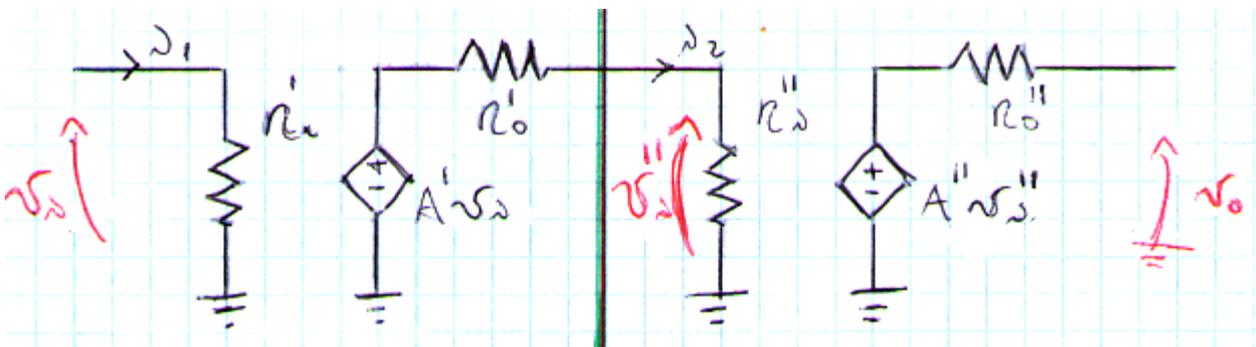
Consideriamo un circuito formato da un amplificatore che utilizza due operazionali in cascata.



Cerchiamo di ottenere il circuito equivalente.

Dividiamo il circuito in due parti, studiamo il primo stadio, poi il secondo, e mettiamo assieme.

Li rappresentiamo uno per volta con il rispettivo schema equivalente, e poi li colleghiamo.



La resistenza di ingresso del primo stadio sarà $R'_i = R_1 = 1 \text{ k}\Omega$

Il guadagno a vuoto del primo stadio è $A' = -\frac{R_2}{R_1} = -10$

La resistenza di uscita del primo stadio $R'_o = 0$

La resistenza di ingresso del secondo stadio sarà $R''_i = R_3 = 10 \text{ k}\Omega$

Il guadagno a vuoto del secondo stadio è $A'' = -\frac{R_4}{R_3} = -5$

La resistenza di uscita del secondo stadio $R''_o = 0$

Siccome la resistenza di uscita del secondo stadio è nulla, la tensione di uscita

$$v_o = A'' v''_i = -5 v''_i$$

A sua volta, siccome la resistenza di uscita del primo stadio è nulla, l'uscita del primo stadio

$$v''_i = -A' v_i = -10 v_i$$

Pertanto

$$v_o = -5(-10 v_i) = 50 v_i$$

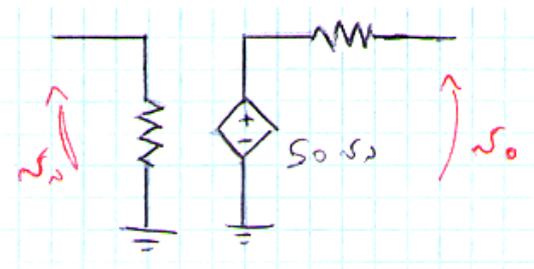
Quindi il nostro circuito si comporta come un circuito non invertente.

“Vediamo subito che in tecnica operazionale possiamo semplicemente studiare il primo blocco, il secondo blocco, e poi **moltiplichiamo i guadagni**, non c'è problema quando colleghiamo l'uscita di uno con l'ingresso dell'altro, perchè la resistenza di uscita del primo amplificatore è zero, quindi non c'ho un partitore che mi può modificare i calcoli”

Possiamo fare uno schema equivalente unico per tutto il circuito:

La resistenza di ingresso è quella del primo amplificatore (non so perchè)

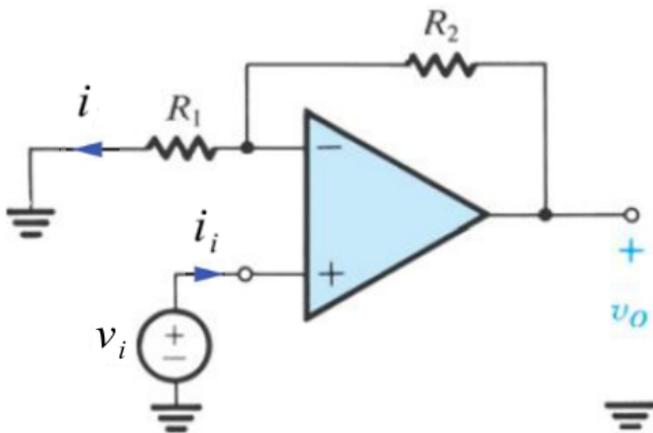
La resistenza di uscita è zero.



Abbiamo visto come ottenere un guadagno positivo mettendo in cascata due stadi, tuttavia questa non è la cosa migliore quando vogliamo ottenere un guadagno positivo.

Possiamo infatti sfruttare un singolo operazionale, in quella che viene chiamata la configurazione non invertente.

Amplificatore Non Invertente

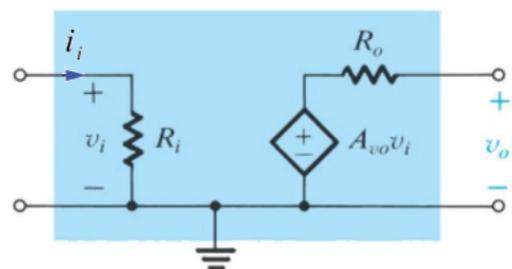


Notiamo che la resistenza che collega l'ingresso con l'uscita si attacca sempre al morsetto invertente, deve infatti far attivare un **feedback negativo**, altrimenti il circuito non funziona come amplificatore. Se lo colleghiamo al morsetto +, il circuito diventa una cosa completamente diversa da un amplificatore, lo vedremo più avanti.

Come prima, vogliamo calcolare i parametri che ci consentono di rappresentare l'amplificatore con un equivalente di Thevenin:

Sempre in assenza di carico, $A_{v_o} \stackrel{\text{def}}{=} \frac{v_o}{v_i}$

Chiamiamo i la corrente che circola nella resistenza R_1 .



Per il cortocircuito virtuale, sul morsetto - il potenziale è lo stesso che abbiamo sul morsetto +, v_i , e i è la corrente che circola anche in R_2 .

v_o è pari alla caduta sulla resistenza R_1 più la caduta sulla resistenza R_2 , quindi:

$$v_o = i(R_1 + R_2) = \frac{v_i}{R_1}(R_1 + R_2)$$

Perciò $A_{v_o} \stackrel{\text{def}}{=} \frac{v_o}{v_i} = 1 + \frac{R_2}{R_1}$.

Quindi il guadagno in configurazione non invertente, innanzitutto è positivo, da cui il nome "non invertente", e sempre ≥ 1

Calcoliamo la resistenza di ingresso R_i .

“Si mette il generatore di tensione in ingresso e si vede la corrente che entra nel nostro amplificatore erogata dal generatore”

In questo caso la tensione in ingresso è direttamente collegata al morsetto +, la corrente i_i che entra nell'amplificatore non invertente è la corrente che dovrebbe entrare nell'operazionale, che siccome è ideale $\Rightarrow i_i = 0$.

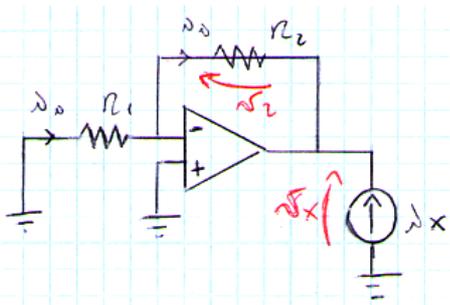
Quindi $R_i \stackrel{\text{def}}{=} \frac{v_i}{i_i} = \infty$.

Il che ci fa piacere, in quanto un buon amplificatore dovrebbe avere una resistenza di ingresso infinita.

Ci resta da calcolare R_o .

Mettiamo la tensione di ingresso a zero, e sul morsetto di uscita un generatore, ad esempio di corrente, per poi valutare cosa accade ai morsetti di ingresso.

Se spegniamo il generatore di ingresso, mi ritrovo nella stessa situazione in cui mi trovavo quando dovevo valutare la tensione resistenza di uscita nell'invertente:



Quindi, è inutile che rifacciamo i calcoli, sappiamo immediatamente che $R_o = 0$

Quindi ricapitolando:

$$A_{v_o} = 1 + \frac{R_2}{R_1} , \quad R_i = \infty , \quad R_o = 0$$

Le resistenze sono tipiche di un amplificatore ideale, e il guadagno è perfettamente controllabile.

Esempio

Se volessimo realizzare un amplificatore che, come nell'esempio precedente, guadagna 50, anziché mettere due stadi invertenti in cascata, posso utilizzare un non invertente con la resistenza

$$R_2 = 49 \cdot R_1 .$$

La differenza, in questo caso, è che la resistenza di ingresso è infinita (il che credo sia meglio).

Supponiamo di voler realizzare un amplificatore invertente, ma con resistenza di ingresso infinita. Come possiamo fare?

Possiamo mettere in cascata un primo stadio non invertente, con la sua resistenza di ingresso infinita e un secondo stadio invertente.

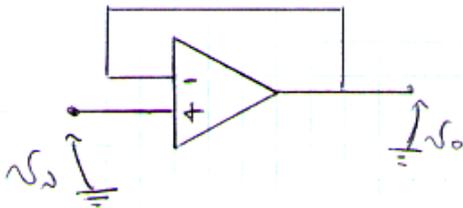
Il primo stadio ci serve semplicemente per sfruttare la resistenza di ingresso infinita, il guadagno possiamo metterlo a 1: ci fa da **buffer**.

Per realizzare un buffer, cioè un circuito con un guadagno unitario, con l'amplificatore non invertente abbiamo 3 possibilità:

- $R_2 = 0$, e R_1 qualsiasi
- $R_1 = \infty$, e R_2 qualsiasi
- $R_2 = 0$, e $R_1 = \infty$

Scegliamo la terza opzione, che è la più efficace, perchè la resistenza infinita vuol dire che non ce la metto, la resistenza zero, sarebbe un cortocircuito, un filo, e quindi la resistenza la risparmio.

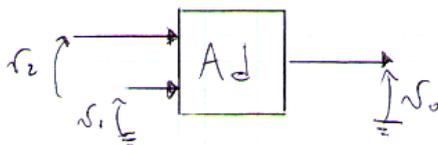
Quindi il nostro buffer la realizziamo nel modo seguente:



Amplificatore Differenziale

In molte applicazioni è necessario amplificare la **differenza** di due segnali v_1 e v_2 .

Se lo vediamo "a scatola nera", l'amplificatore ha il seguente comportamento:



$$v_o = A_d (v_2 - v_1)$$

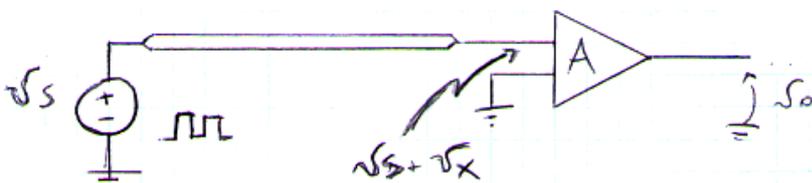
Sono molto comuni, vediamo perchè.

Supponiamo di avere un generatore di un certo segnale v_s , che trasporta informazioni.

Vogliamo trasferire questo segnale ad un ricevitore mediante un filo di collegamento.

Supponiamo che nella trasmissione il segnale sia soggetto a un disturbo v_x .

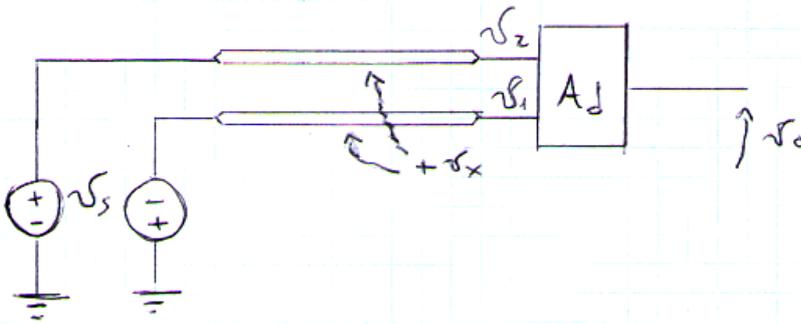
Se amplificassi il segnale con uno degli amplificatori studiati in precedenza, amplificerei anche il disturbo, inficiando eventualmente la correttezza della ricezione.



La soluzione è rappresentata dall'amplificatore differenziale.

Anziché utilizzare un unico filo, oltre la massa, per trasmettere il segnale utile, ne utilizziamo due, fisicamente molto vicini:

sul primo invio il segnale v_s , sull'altro invio il suo opposto.



L'amplificatore differenziale produce in uscita un segnale proporzionale alla differenza tra i due in ingresso.

Ora, essendo i fili molto vicini tra di loro, se è presente un disturbo, questo disturbo sarà uguale su entrambi i segnali, pertanto l'uscita dell'amplificatore sarà completamente priva di questo disturbo.

Detti v_1 e v_2 i segnali che entrano nell'amplificatore differenziale, definiamo

il **segnale differenziale**: $v_d \stackrel{\text{def}}{=} v_2 - v_1$ che è il segnale utile

il **segnale di modo comune**: $v_{cm} \stackrel{\text{def}}{=} \frac{v_2 + v_1}{2}$ che è il disturbo.

In realtà noi VORREMMO che l'amplificatore amplificasse solo il segnale differenziale, ma in pratica l'amplificatore amplifica in qualche misura anche il modo comune, pertanto l'uscita la scriviamo come:

$$v_o = A_d v_d + A_{cm} v_{cm}$$

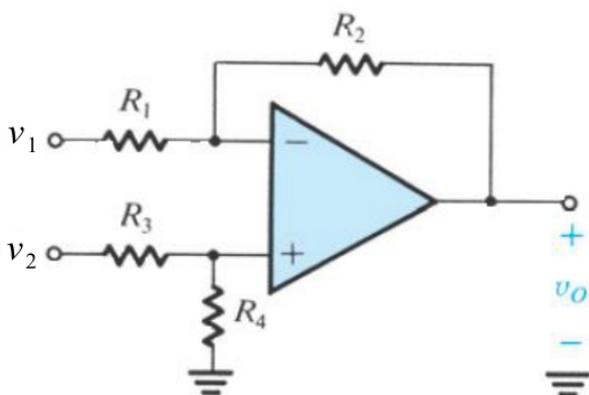
dove A_d è detto **guadagno differenziale**, e A_{cm} **guadagno di modo comune**.

Un parametro importantissimo è il rapporto tra i due guadagni, che prende il nome di **rapporto di reiezione del moto comune**, e si indica con **CMRR**:

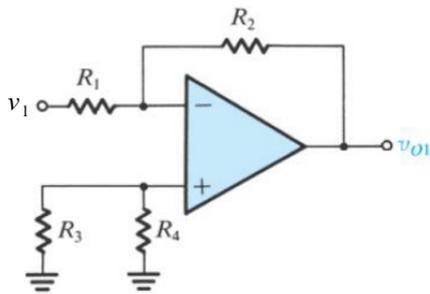
$$CMRR = \frac{A_d}{A_{cm}}$$

Maggiore è questo parametro, migliore è l'amplificatore.

Possiamo realizzare il differenziale tramite un operazionale:

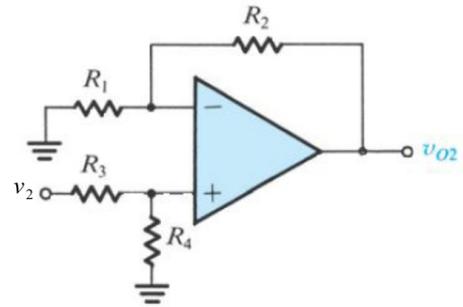


Cerchiamo di ricavare l'espressione dell'uscita applicando la sovrapposizione degli effetti:



Quando $v_2 = 0$,
(Siamo in configurazione invertente)

$$\text{l'uscita } v_{o1} = -\frac{R_2}{R_1} v_1$$



Quando $v_1 = 0$,
(Siamo in configurazione non invertente

, ma la tensione di ingresso non è applicata direttamente sul morsetto +, c'è un partitore)

$$\text{l'uscita } v_{o2} = v_2 \frac{R_4}{R_3 + R_4} \left(1 + \frac{R_2}{R_1} \right)$$

$$\text{Quindi l'uscita complessiva del circuito sarà } v_o = \frac{R_4}{R_3 + R_4} \left(1 + \frac{R_2}{R_1} \right) v_2 - \frac{R_2}{R_1} v_1 .$$

Siccome con il differenziale dobbiamo avere qualcosa del tipo $v_o = A_d (v_2 - v_1)$, si deve verificare che $\frac{R_4}{R_3 + R_4} \left(1 + \frac{R_2}{R_1} \right) = \frac{R_2}{R_1}$, affinché questa condizione sia soddisfatta, dobbiamo

$$\text{avere } \frac{R_4}{R_3} = \frac{R_2}{R_1} .$$

Se le resistenze verificano questa condizione, abbiamo $v_o = \frac{R_2}{R_1} (v_2 - v_1)$

e il CMRR = ∞ , in quanto il guadagno di modo comune è zero.

Diversamente, se non riusciamo perfettamente ad avere $\frac{R_4}{R_3} = \frac{R_2}{R_1}$, il guadagno di modo comune sarà $\neq 0$ e il CMRR avrà un valore finito più o meno grande.

Per renderci meglio conto di questa cosa, possiamo scrivere l'espressione di v_o in termini di v_d e

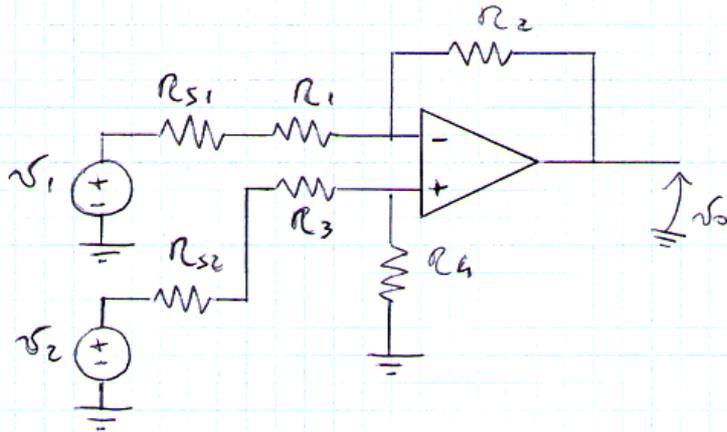
$$v_{cm} . \text{ Noi sappiamo che } v_2 - v_1 = v_d \text{ e che } v_2 + v_1 = 2 v_{cm} , \text{ quindi } v_2 = v_{cm} + \frac{v_d}{2} \text{ e}$$

$$v_1 = v_{cm} - \frac{v_d}{2} .$$

Sostituendo questi valori di v_1 e v_2 nell'espressione di v_o , otteniamo l'espressione di v_o in termini di v_d e v_{cm} .

“Vediamo se c'è da fare qualche aggiustamento su questo circuito”

Qui stiamo ipotizzando che i segnali di ingresso arrivino mediante generatori ideali di tensione, ma in pratica sappiamo che qualsiasi generatore sarà accompagnato da una resistenza serie:



Le resistenze serie dei due generatori si vanno ad aggiungere a R_1 e a R_3 , e quindi se anche fosse verificata $\frac{R_4}{R_3} = \frac{R_2}{R_1}$, affinché il guadagno di modo comune sia zero dovremmo anche avere che le due resistenze serie siano uguali. Cosa che non è facile da ottenere.

Per svincolarci da questo problema utilizziamo due stadi buffer:

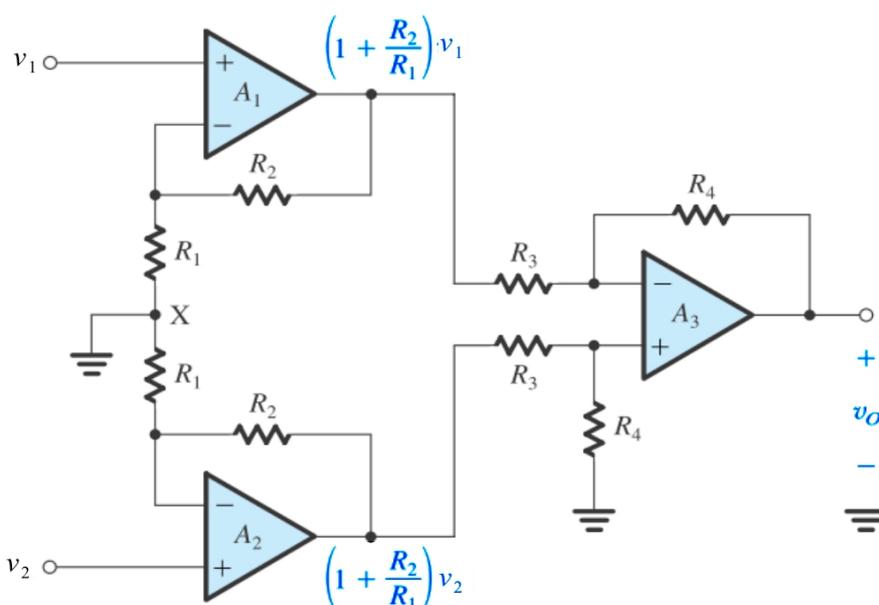
premettiamo un circuito che ci consenta di disinteressarci delle resistenze di ingresso dei generatori.

Per l'amplificatore differenziale al secondo stadio, affinché si verifichi $\frac{R_4}{R_3} = \frac{R_2}{R_1}$, scegliamo proprio $R_4 = R_2$ e $R_3 = R_1$.

I due buffer al primo stadio sono in configurazione non invertente.

“Giacché ci siamo, al posto di usarli come buffer, gli diamo un guadagno diverso da zero, e li utilizziamo proprio come amplificatori”

Le resistenze dei due amplificatori non invertenti devono essere uguali, altrimenti i guadagni sono diversi.



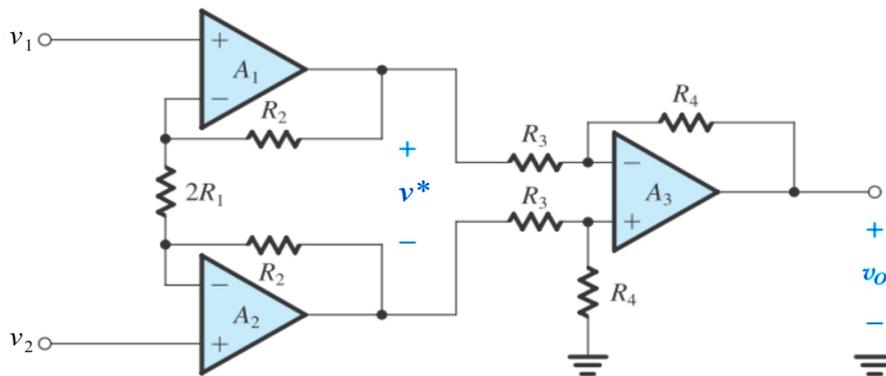
Si può verificare facilmente (grazie alle uscite dei non invertenti scritte in blu nel disegno) che l'uscita del circuito è

$$v_o = \frac{R_4}{R_3} \left(1 + \frac{R_2}{R_1} \right)$$

Osserviamo che per cambiare il guadagno, devo sostituire le resistenze, ma lo devo fare sostituendo una coppia di resistenze uguali con un'altra coppia di resistenze uguali (difficile da fare), altrimenti sbilancio il guadagno.

Allora posso raffinare ulteriormente il circuito con uno schema che mi permette di regolare più semplicemente il guadagno.

Al posto di mettere due resistenze R_1 collegate tra di loro e a massa, metto un'unica resistenza di valore $2R_1$:



In questo modo, cambiando semplicemente il valore di questa resistenza, regolo il guadagno, senza sbilanciarlo (e quindi senza far comparire guadagno di modo comune).

Questo schema prende il nome di **Amplificatore per Strumentazione**, e si utilizza quando si vuole avere un “differenziale fatto bene”.

Studiamolo:

Per i cortocircuiti virtuali sugli operazionali A_1 e A_2 , ai capi della resistenza $2R_1$ (con la freccia rivolta verso il basso) c'è una tensione pari a $v_2 - v_1$, quindi la corrente (che sale) nella resistenza è

$$i = \frac{v_2 - v_1}{2 R_1}$$

Questa corrente i , siccome non entra negli operazionali, oltre che a $2R_1$ passa solo nelle due resistenze R_2 , quindi la tensione tra i due morsetti di ingresso del differenziale al secondo stadio, chiamiamola v^* , sarà

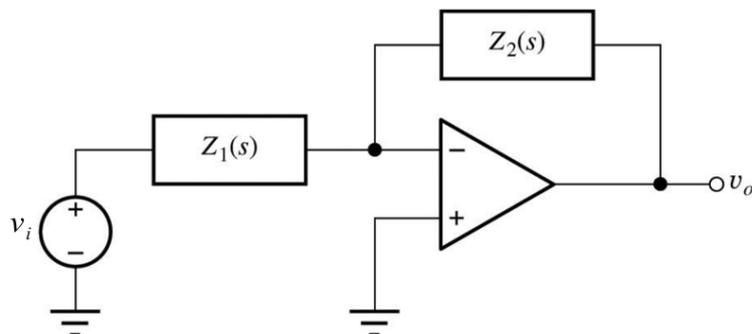
$$v^* = 2(R_1 + R_2)i = 2(R_1 + R_2) \frac{v_2 - v_1}{2 R_1} = (v_2 - v_1) \left(1 + \frac{R_2}{R_1}\right)$$

Siccome sappiamo che $v_o = \frac{R_4}{R_3} v^*$, abbiamo che $v_o = \frac{R_4}{R_3} \left(1 + \frac{R_2}{R_1}\right) (v_2 - v_1)$

Filtri

I circuiti che abbiamo visto finora danno un guadagno che non dipende dalla frequenza. In realtà con gli operazionali possiamo realizzare anche dei filtri, cosiddetti filtri attivi. Vengono chiamati attivi proprio perchè sono realizzati mediante gli operazionali che sono dispositivi attivi. Il fatto che utilizziamo gli operazionali ci consente di fare a meno degli induttori che sono ingombranti.

Per realizzare un filtro mediante un operazionale utilizziamo la configurazione invertente, solo che anziché utilizzare due resistenze, utilizziamo due **impedenze**.



Queste due impedenze in linea di principio possono contenere resistenze, condensatori e induttori, ma noi vedremo solo qualche esempio con condensatori e resistenze.

Analogamente a quanto visto per l'invertente con le resistenze: $v_o(s) = -\frac{Z_2(s)}{Z_1(s)} v_i(s)$

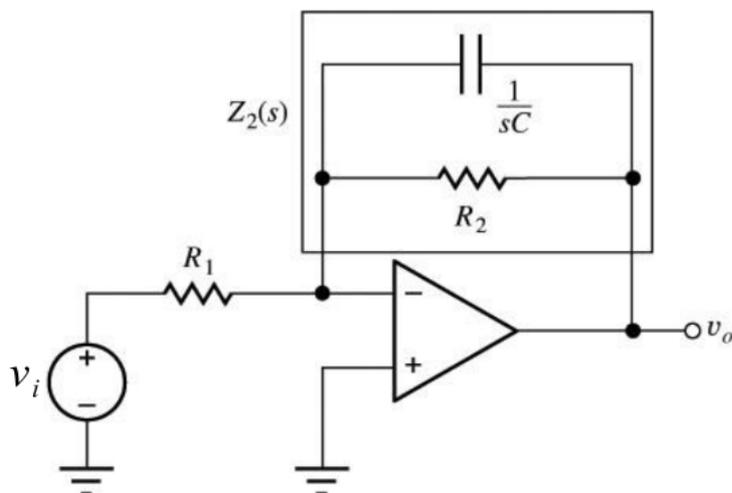
$A_v(s) \stackrel{\text{def}}{=} \frac{v_o(s)}{v_i(s)} = -\frac{Z_2(s)}{Z_1(s)}$ è la risposta in frequenza.

Agendo sulle due impedenze, quindi posso ottenere la risposta in frequenza desiderata.

(vedremo solo il filtro passabasso, ma comunque sarà facile intuire come ottenere un passaalto o un passabanda)

Filtro Passabasso

In questo caso, per l'impedenza Z_1 mettiamo una resistenza di valore R_1 , per l'impedenza Z_2 mettiamo il parallelo di una resistenza R_2 e un condensatore C .



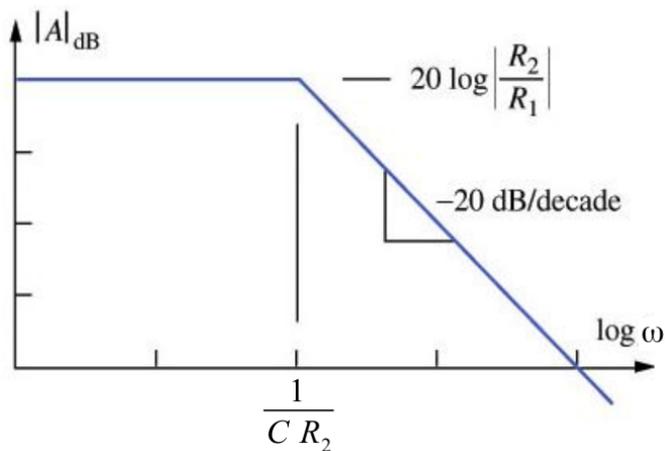
$$Z_1(s) = R_1 \text{ e } Z_2(s) = \frac{R_2 \frac{1}{sC}}{R_2 + \frac{1}{sC}} = \frac{R_2}{sC R_2 + 1}$$

$$A_v(s) = -\frac{R_2}{R_1} \frac{1}{sC R_2 + 1}$$

(In realtà la “risposta in frequenza” propriamente detta, è nel dominio $j\omega$, devo sostituire $j\omega$ a s)

$$A_v(j\omega) = -\frac{R_2}{R_1} \frac{1}{j\omega C R_2 + 1}$$

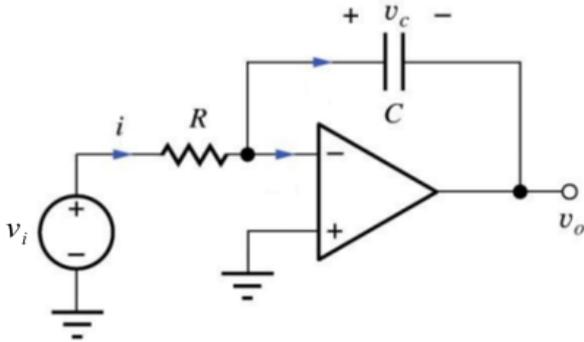
Il diagramma di Bode dei moduli di A_v :



Dal diagramma osserviamo che effettivamente il dispositivo si comporta come un filtro passabasso.

Lezione 23

Integratore



Si ha che $\frac{v_o(s)}{v_i(s)} = -\frac{1}{sRC} = -\frac{1}{sRC}$ che effettivamente è la funzione di trasferimento di un integratore.

Verifichiamo nel dominio del tempo che si tratta di un integratore.

Per la presenza del cortocircuito virtuale, $i = \frac{v_i(t)}{R}$ e la corrente è la stessa che attraversa la capacità $\Rightarrow i = C \frac{d v_c(t)}{d t}$.

Essendo il morsetto + a massa, $v_c = -v_o \Rightarrow i = -C \frac{d v_o(t)}{d t}$.

Quindi otteniamo $\frac{v_i(t)}{R} = -C \frac{d v_o(t)}{d t} \Leftrightarrow \frac{d v_o(t)}{d t} = -\frac{1}{RC} v_i(t)$

Integriamo tra 0 e t:

$$\int_0^t \frac{d v_o(t)}{d t} = -\frac{1}{RC} \int_0^t v_i(t) \Leftrightarrow v_o(t) - v_o(0) = -\frac{1}{RC} \int_0^t v_i(t)$$

$$\Leftrightarrow v_o(t) = v_o(0) - \frac{1}{RC} \int_0^t v_i(t)$$

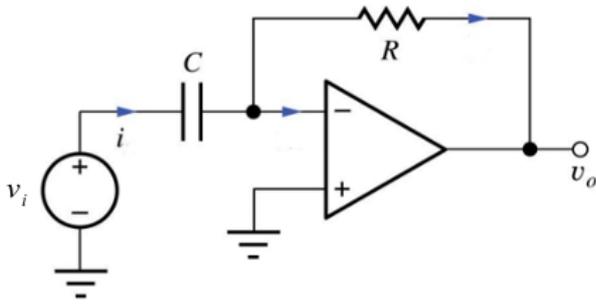
E quindi effettivamente il nostro dispositivo è un integratore.

Osserviamo che l'integratore ha un comportamento passabasso, ma ha un guadagno infinito in continua. Ce ne accorgiamo dal diagramma di Bode. Se mettiamo in ingresso una tensione costante, in uscita la tensione divergerà.

Per limitare il guadagno in continua, si preferisce utilizzare lo schema visto la volta scorsa, quindi con una resistenza in parallelo al condensatore.

Derivatore

Comportamento passalto. Lo schema è il seguente è simile a quello dell'integratore, ma con resistenza e capacità scambiate di posto:



Nel dominio della s , abbiamo ovviamente

$$v_o(s) = -\frac{R}{\frac{1}{sC}} v_i(s) = -sRC v_i(s)$$

Nel dominio del tempo,

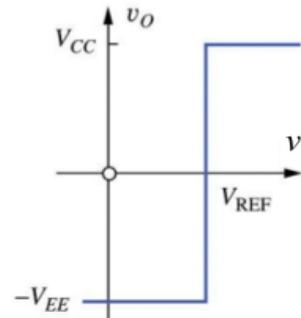
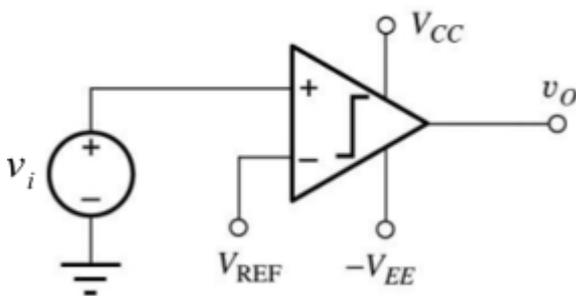
$$v_o(t) = -Ri = -RC \frac{dv_i(t)}{dt}$$

Idealmente, in quanto passa alto, all'aumentare della frequenza aumenta l'amplificazione. Nella pratica l'operazionale non riesce a lavorare a frequenze altissime.

Circuiti Non Lineari

Comparatore

(Teniamo sempre presente il discorso che abbiamo fatto all'inizio: l'operazionale è alimentato di solito con due tensioni, una negativa e una positiva, e la tensione di uscita non può superare positivamente la tensione di alimentazione positiva, e negativamente quella negativa.)



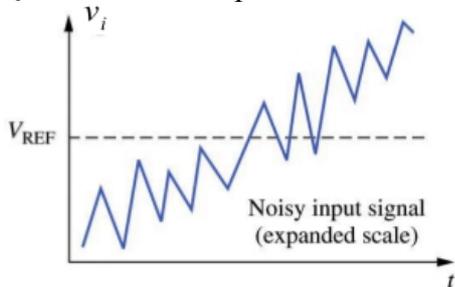
Il comparatore confronta la tensione di ingresso con una certa tensione di riferimento V_{REF} .

Attenzione: in questo caso il cortocircuito virtuale non c'è più. A quanto ho capito, il cortocircuito virtuale è legato alla presenza delle retroazione negativa, e per questo la tensione ai morsetti dell'operazionale abbiamo lo stesso potenziale. In questo non abbiamo proprio retroazione. Comunque continueremo a supporre l'operazionale come ideale, guadagno infinito, resistenza di uscita zero e resistenza di ingresso infinita, quindi comunque la corrente in ingresso all'operazionale continua ad essere nulla.

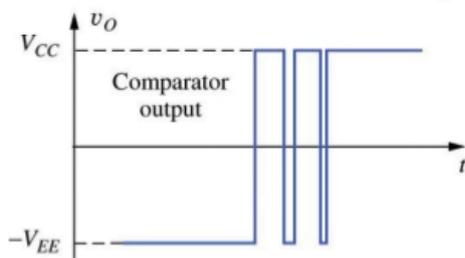
Il dispositivo fa la seguente cosa:

- Se $v_i(t) > V_{REF}$, l'operazionale, se lo supponiamo ideale, e quindi con guadagno infinito, moltiplicare la differenza di potenziale (che non è nulla in quanto non c'è il cortocircuito virtuale) ai suoi morsetti per ∞ . Quindi dovremmo avere idealmente $v_o(t) = \infty$. Nella pratica la tensione di uscita non può superare la tensione positiva di alimentazione, che in questo caso chiamiamo V_{CC} , e quindi in realtà abbiamo $v_o(t) = V_{CC}$.
- Se $v_i(t) < V_{REF}$...discorso analogo... $v_o(t) = -V_{EE}$

Quindi se ad esempio abbiamo una tensione di ingresso del genere:

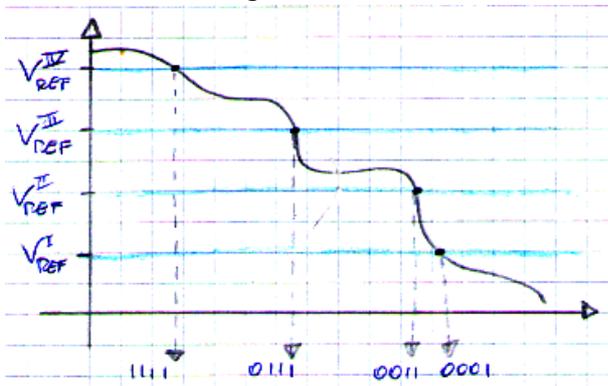


, in uscita abbiamo:



Questo dispositivo può essere adoperato per realizzare dei convertitori analogico/digitale.

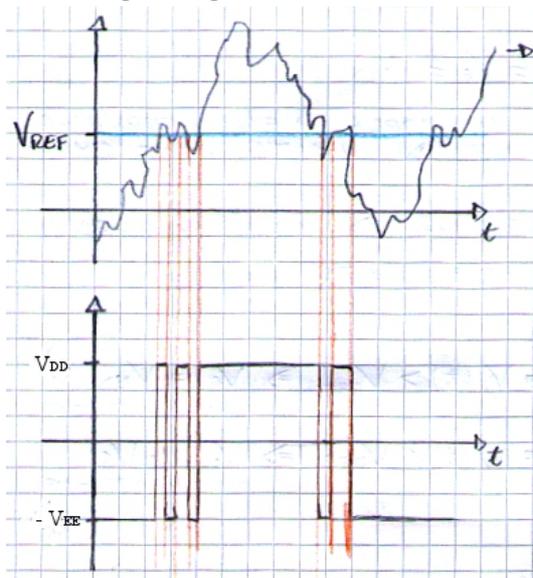
Posso mettere, ad esempio, quattro di questi dispositivi in parallelo con delle V_{REF} diverse tra di loro e ottenere la seguente cosa:



Uno **svantaggio**:

E' particolarmente sensibile alla presenza di eventuali disturbi sovrapposti all'ingresso:

Ce ne accorgiamo graficamente:



(segnale, in questo caso sinusoidale, + disturbo)

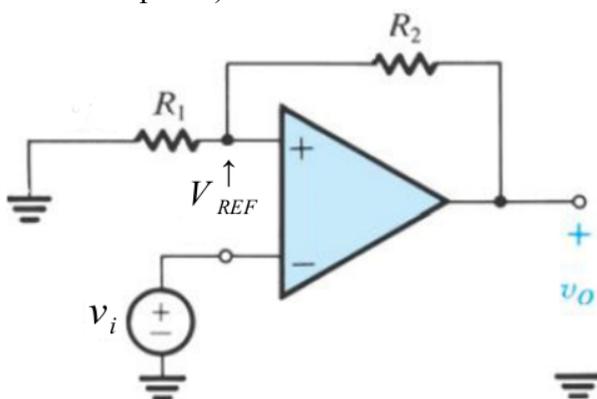
Il segnale utile in ingresso, specialmente quando assume valori prossimi alla V_{REF} , è accompagnato da un disturbo che può far commutare la tensione di uscita erroneamente.

Una soluzione a questo problema consiste nell'inserire nella caratteristica di riferimento un'isteresi.

Trigger di Schmitt (Comparatore con Isteresi)

La tensione di riferimento non è costante ma si modifica dinamicamente, in modo da far fronte alla presenza di disturbi sovrapposti al segnale di ingresso.

Utilizziamo la configurazione invente: la tensione di ingresso la mettiamo sul morsetto -, anziché sul morsetto +, quindi la tensione di uscita è bassa per valori della tensione di ingresso maggiori di una certa soglia e alta per valori dell'ingresso minori di un'altra certa soglia. (Più o meno, al contrario di prima).



In questo caso la retroazione è presente, ma si tratta di **retroazione è positiva**, cioè l'uscita è collegata al morsetto +.

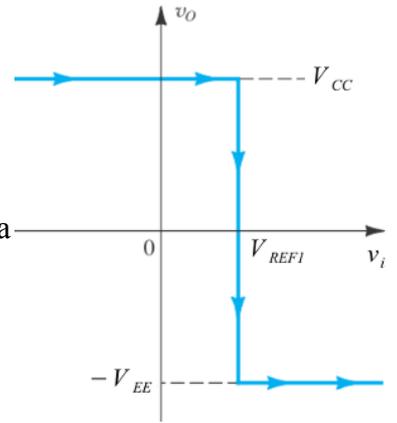
(Lo schema somiglia a quello del non invertente, ma ATTENZIONE i morsetti dell'operazionale sono invertiti)

Anche in questo caso non c'è un cortocircuito virtuale, anzi, se c'è uno sbilanciamento tra uscita e ingresso, il feedback negativo aumenta questo sbilanciamento.

Supponiamo che la tensione di uscita sia inizialmente saturata al valore massimo V_{CC} (perchè magari ho un ingresso sufficientemente piccolo), la tensione al morsetto + è (part. di tensione) $v_o \frac{R_1}{R_1 + R_2} = V_{CC} \frac{R_1}{R_1 + R_2}$.

Finché v_i è al di sotto di questo valore, la differenza di potenziale tra i morsetti + e - dell'operazionale è positiva \Rightarrow l'operazionale ideale moltiplica questa differenza di potenziale per infinito. In realtà l'uscita satura a V_{CC} . Quando v_i supera questa tensione, la differenza di potenziale diventa negativa, facendo lo stesso discorso, dovrei avere in uscita $-\infty$. In realtà l'uscita satura a $-V_{EE}$.

Quindi la prima tensione di riferimento è questa $V_{REF1} = V_{CC} \frac{R_1}{R_1 + R_2}$



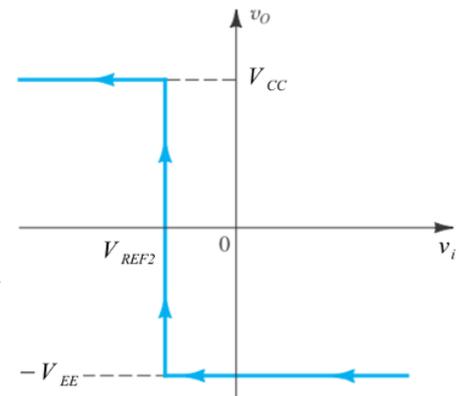
Ora invece supponiamo che la tensione di uscita sia inizialmente saturata al valore minimo $-V_{EE}$ (perchè magari ho un ingresso sufficientemente grande), la tensione al morsetto + è

$$v_o \frac{R_1}{R_1 + R_2} = -V_{EE} \frac{R_1}{R_1 + R_2}$$

Finché v_i è maggiore di questo valore, la differenza di potenziale tra i morsetti + e - dell'operazionale è negativa \Rightarrow l'operazionale ideale moltiplica questa differenza di potenziale per infinito. In realtà l'uscita satura a $-V_{EE}$.

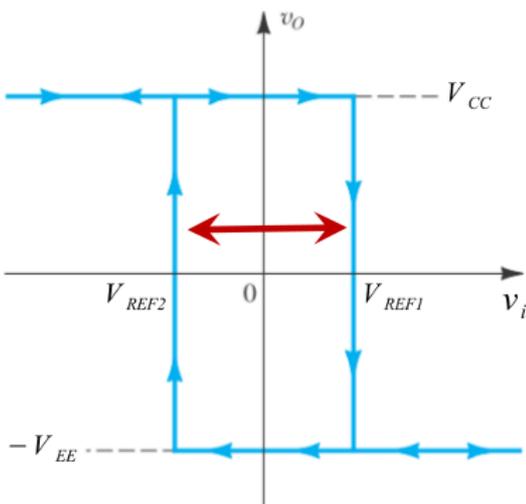
Quando v_i diventa più piccola di questa tensione, la differenza di potenziale diventa positiva, facendo lo stesso discorso, dovrei avere in uscita $+\infty$. In realtà l'uscita satura a V_{CC} .

Quindi la seconda tensione di riferimento è questa $V_{REF2} = -V_{EE} \frac{R_1}{R_1 + R_2}$.



Quindi ho due diverse tensioni di riferimento che dipendono da “se la tensione di ingresso va a salire o va a scendere”, cioè *se la tensione che applico sta aumentando, la tensione di riferimento è V_{REF1} , altrimenti se sta diminuendo, è V_{REF2}* .

Complessivamente, posso riassumere la caratteristica con questo grafico:



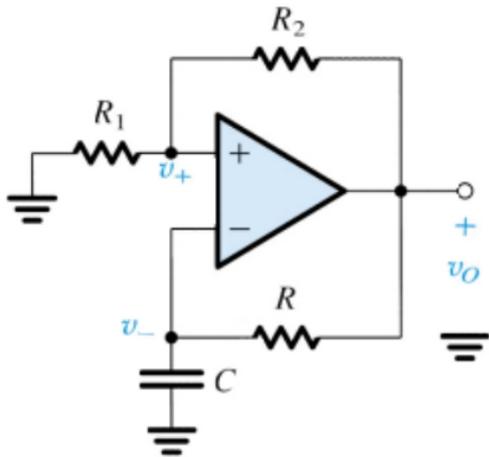
L'ampiezza dell'isteresi è

$$V_{REF1} - V_{REF2} = \frac{R_1}{R_1 + R_2} (V_{CC} + V_{EE})$$

L'ampiezza dell'isteresi non va scelta troppo grande né troppo piccola, è sufficiente che sia un po' più grande della possibile ampiezza dell'eventuale disturbo sovrapposto all'ingresso.

Oscillatore Astabile (RC)

Partiamo da un comparatore con isteresi e inseriamo una resistenza e una capacità per formare il seguente schema:



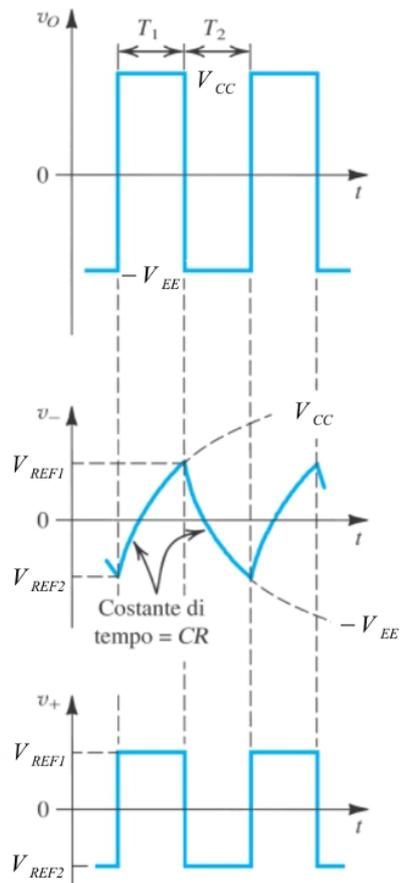
Mi pare di aver capito che non è che ci sia una tensione di ingresso, si imprime una tensione ad un certo istante sul morsetto -, dopodichè il circuito elabora solo la sua uscita.

Supponiamo che all'istante 0 (nel quale applichiamo la tensione sul morsetto -, che stacchiamo subito dopo) il potenziale sul morsetto - sia minore di quello sul morsetto +.

Il nostro operazionale saturerà per positivi, quindi l'uscita dell'operazionale sarà V_{CC} , e la tensione di riferimento del comparatore, che sarebbe la tensione sul morsetto +, sarà V_{REF1} che è positiva.

Il potenziale sul morsetto - comincia ad aumentare seguendo un andamento esponenziale che dovrebbe portarlo, a regime, alla tensione massima V_{CC} (dopo $5/RC$ credo).

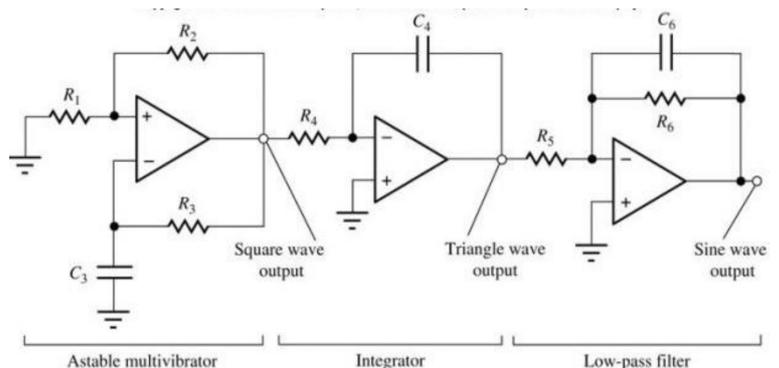
In realtà quando la tensione sul morsetto - raggiunge V_{REF1} , il comparatore commuta: v_o diventa negativa e pari a $-V_{EE}$, la tensione sul morsetto - decresce con andamento esponenziale per portarsi a regime a $-V_{EE}$, ma la tensione sul morsetto + diventa V_{REF2} , per cui quando la tensione sul morsetto - raggiunge il valore di V_{REF2} , la tensione tra + e - torna ad essere positiva, il comparatore commuta di nuovo, e così via.



Possiamo sfruttare l'uscita del nostro oscillatore: un'onda quadra, per ricavare altri tipo di forme d'onda.

Ad esempio, in uscita posso collegare un integratore, ed ottenere un'onda triangolare.

Se poi a questi due dispositivi, faccio seguire anche un filtro passabasso, con una banda passante abbastanza stretta, posso ottenere una sinusoide approssimata abbastanza bene.



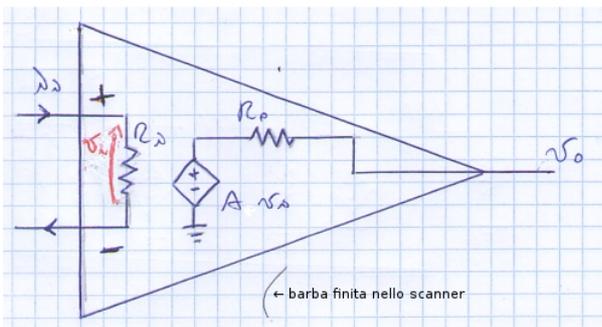
Fino ad ora abbiamo fatto l'ipotesi che gli operazionali fossero ideali.
 Ora vedremo in che modo i risultati ottenuti nel caso ideale, si differenziano quando consideriamo gli operazionali come non ideali.

Concentriamoci su una non idealità alla volta.

Guadagno finito

Supponiamo che il guadagno dell'operazionale sia finito.
 Vediamo in che modo questo guadagno limitato modifica i conti che abbiamo finora effettuato.

Abbiamo detto che la struttura interna dell'operazionale è la seguente:

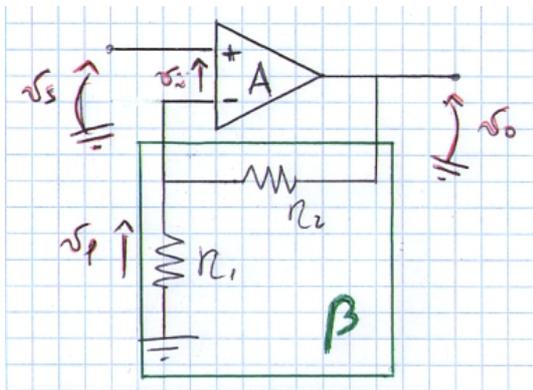


(qua e nei conti successivi il guadagno lo chiameremo A al posto di A_o , vabbuò...)

Quindi continuiamo a supporre resistenza di ingresso e di uscita rispettivamente infinite e zero.

A , invece, in questo caso lo supporremo limitato.

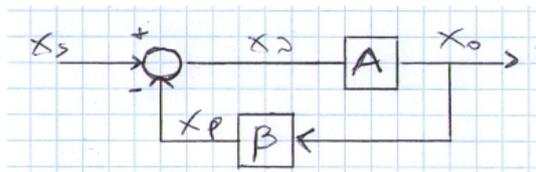
Facciamo questa analisi solo in un caso ("non per tutti i circuiti, se non ci muoviamo più"), cioè solo nel caso dell'amplificatore non invertente.



Il nostro problema è quello di calcolare $\frac{v_o}{v_s}$, che in questo contesto indichiamo con A_f .

Idealmente dovrebbe essere $1 + \frac{R_2}{R_1}$. In questo caso non sarà così, magari è qualcosa che vi si avvicina.

Prima di studiare questo circuito, preventivamente, studiamo uno schema a blocchi generico:



$$x_f = \beta x_o, \quad x_i = x_s - x_f, \quad x_o = A x_i \Rightarrow x_o = A x_i = A(x_s - \beta x_o) \Rightarrow$$

$$\Rightarrow x_o = \frac{A}{1 + A\beta} x_s$$

A_f è questo $\frac{A}{1 + A\beta}$, e prende il nome di **guadagno a ciclo chiuso**.

A si dice **guadagno a ciclo aperto**.

$A\beta$ viene a volte chiamato **guadagno di anello**.

Possiamo vedere il nostro circuito come uno schema in retroazione.

Utilizziamo un amplificatore di guadagno molto grande, poco controllabile, e un blocco β rappresentato da componenti passivi di valore ben noto.

Il guadagno di anello $A\beta$ deve essere $\gg 1$.

Se vale questa condizione, $A_f \stackrel{\text{def}}{=} \frac{A}{1 + A\beta} \simeq \frac{A}{A\beta} = \frac{1}{\beta}$.

Nel nostro circuito, il blocco A, chiaramente è l'operazionale.

Il blocco β è quello racchiuso nel riquadro, che quindi moltiplica la tensione v_o , producendo la tensione v_f : $\beta = \frac{v_f}{v_o}$.

v_f si ricava mediante il partitore di tensione: $v_f = v_o \frac{R_1}{R_1 + R_2}$

e quindi troviamo che $\beta = \frac{R_1}{R_1 + R_2}$.

Pertanto $A_f = \frac{R_1 + R_2}{R_1} = 1 + \frac{R_2}{R_1}$

che è esattamente la stessa formula che abbiamo ottenuto in precedenza nel caso ideale.

Comunque, per concludere questa cosa abbiamo supposto che $A\beta \gg 1$.

Esempio

Calcoliamo il guadagno a ciclo chiuso (preciso, senza semplificare la A) di un amplificatore non invertente con un operazionale che ha un guadagno a ciclo aperto $A = 80 \text{ dB}$, $R_1 = 1 \text{ k}\Omega$, $R_2 = 199 \text{ k}\Omega$.

Il guadagno ideale è $1 + \frac{R_2}{R_1} = 200$. $\beta = \frac{1}{200}$. $A = 80 \text{ dB} = 10^4$

$$A_f \stackrel{\text{def}}{=} \frac{A}{1 + A\beta} = \frac{10^4}{1 + 10^4 \cdot \frac{1}{200}} \simeq 196$$

Se vogliamo essere più precisi, possiamo mettere anziché un solo amplificatore che guadagna 200, due in cascata che guadagnano uno 20 e uno 10, credo con gli stessi valori delle resistenze.

[...]

Lezione 24

Continuiamo il discorso sul guadagno...

Desensibilizzazione del guadagno

Se il guadagno a ciclo aperto A varia di una certa quantità dA , il guadagno a ciclo chiuso A_f varierà di una quantità dA_f molto più piccola della variazione dA .

Quindi, incertezze sul guadagno A , si traducono in incertezze minori sul guadagno a ciclo chiuso A_f .

Cerchiamo di quantificare questa cosa.

Confronteremo $\frac{dA_f}{A_f}$ e $\frac{dA}{A}$, le variazioni percentuali.

$$A_f = \frac{A}{1 + \beta A}; \text{ facciamone la derivata rispetto ad } A: \frac{dA_f}{dA} = \frac{1 + \beta A - A\beta}{(1 + \beta A)^2} = \frac{1}{(1 + \beta A)^2}$$
$$\Rightarrow dA_f = \frac{dA}{(1 + \beta A)^2}$$

$$\frac{dA_f}{A_f} = \frac{\frac{dA}{(1 + \beta A)^2}}{\frac{A}{1 + \beta A}} = \frac{dA}{A} \frac{1}{1 + \beta A}$$

Quindi vediamo che effettivamente una variazione percentuale del guadagno a ciclo aperto comporta una variazione percentuale del guadagno a ciclo chiuso, ma con un fattore moltiplicativo

$$\frac{1}{1 + \beta A} \text{ che è } \ll 1, \text{ in quanto } \beta A \gg 1.$$

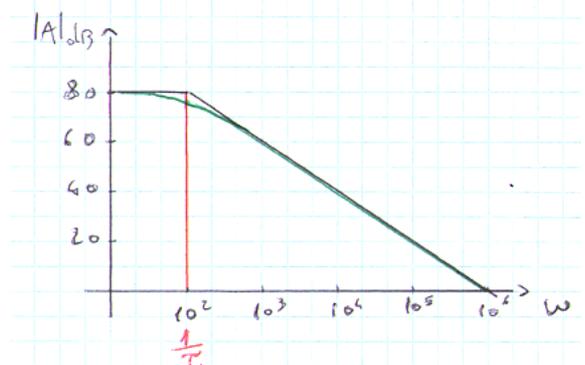
Risposta in frequenza

Supponendo che l'amplificatore a ciclo aperto abbia un comportamento passabasso una certa banda passante (perchè il nostro amplificatore amplifica molto, ma inevitabilmente l'amplificazione per i contributi a frequenze elevate diminuisce all'aumentare della frequenza), quale sarà la banda passante dell'amplificatore a ciclo chiuso?

Se l'amplificatore a ciclo aperto ha un andamento di tipo passabasso, A non sarà semplicemente una costante del tipo $A(s) = A_0$, ma sarà del tipo $A(s) = \frac{A_0}{1 + s\tau}$.

Supponiamo che $A_{0dB} = 80 \text{ dB}$, cioè $A_0 = 10^4$ e che la pulsazione di taglio $\frac{1}{\tau} = 100 \text{ rad/s}$.

Rappresentiamo la risposta in frequenza con il diagramma di Bode dei moduli:

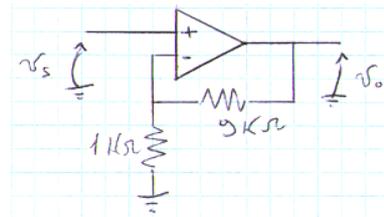


Ora utilizziamo questo operazionale per realizzare un amplificatore in configurazione non invertente che abbia un guadagno nominale a ciclo chiuso di 20 dB, (di 10).

Quindi metto la resistenza $R_2 = 9\text{ k}\Omega$ e $R_1 = 1\text{ k}\Omega$,

cosicché nominalmente $A_f = 1 + \frac{9\text{k}}{1\text{k}} = 10$.

Questa comunque sarà (più o meno) l'amplificazione alle basse frequenze, perchè anche in questo caso, all'aumentare delle frequenze A_f diminuirà.



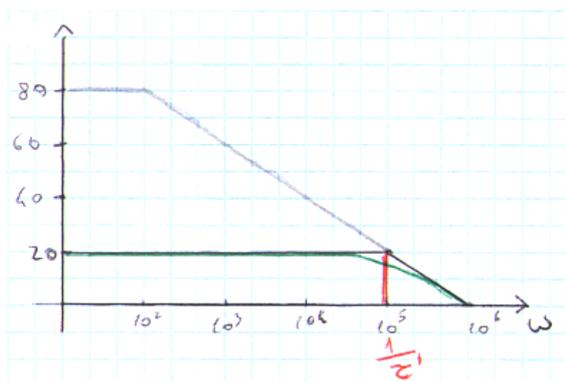
Quale sarà il comportamento in frequenza di A_f ?

$$A_f(s) = \frac{A(s)}{1 + \beta A(s)} = \frac{\frac{A_0}{1 + s\tau}}{1 + \beta \frac{A_0}{1 + s\tau}} = \frac{A_0}{1 + s\tau + \beta A_0} = \frac{A_0}{1 + \beta A_0} \cdot \frac{1}{1 + s \frac{\tau}{1 + \beta A_0}} = \frac{A'_f}{1 + s\tau'}$$

Quindi alle basse frequenze avremo un guadagno di A'_f , che è ≈ 10 , in quanto $\beta A_0 \gg 1$.

In più, avremo una nuova pulsazione di taglio $\frac{1}{\tau'} = \frac{1 + \beta A_0}{\tau} = (1 + \frac{1}{10} 10^4) 100 \approx 10^5$.

Quindi il diagramma dei moduli della nuova risposta in frequenza è:



N.B.: I concetti seguenti sono RICHIESTISSIMI all'esame:

La banda passante dell'amplificatore a ciclo chiuso, rispetto a quella dell'amplificatore a ciclo aperto, **augmenta**, e in particolare aumenta dello stesso fattore $(1 + \beta A_0)$ di cui diminuisce il guadagno (con A_0 guadagno in bassa frequenza dell'amplificatore a ciclo chiuso).

Possiamo anche dire:

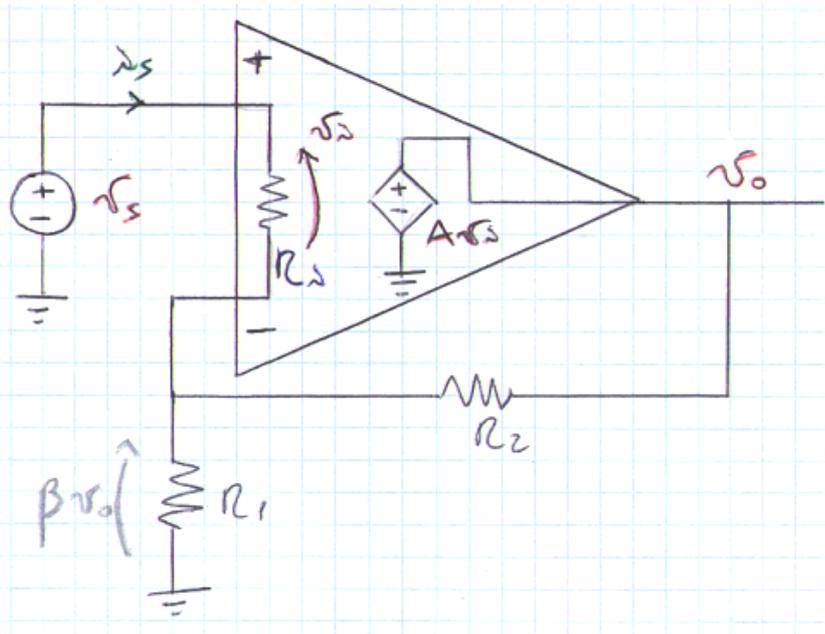
il prodotto (guadagno in bassa frequenza) * (pulsazione di taglio) rimane costante :

$$\frac{A_0}{\tau} = \frac{A'_f}{\tau'}$$

(spesso il prof usa ω_0 al posto di $\frac{1}{\tau}$ per la frequenza di taglio, quindi per la relazione precedente dovrei usare la seguente notazione: $A_0 \omega_0 = A'_f \omega'_0$)

Resistenza di ingresso non infinita

Continuiamo a considerare la resistenza di uscita dell'operazionale come $R_o = 0$, per semplificare l'analisi.



Chiamiamo R_{if} la **resistenza di ingresso quando è presente il feedback**

(la resistenza di ingresso che avresti rappresentando col solito schema equivalente di Thevenin TUTTO il circuito)

$R_{if} \stackrel{\text{def}}{=} \frac{v_s}{i_s}$ E' questa che dobbiamo calcolare.

Noi sappiamo che $v_o = \frac{A}{1 + \beta A} v_s$.

La tensione ai capi di R_1 , (ci facemmo il calcolo la volta scorsa) si ottiene applicando il partitore di v_o su R_1 , e il termine $\frac{R_1}{R_1 + R_2}$ lo chiamammo β .

Quindi la tensione ai capi di R_1 è βv_o .

$$v_i = v_s - \beta v_o = v_s - \frac{\beta A}{1 + \beta A} v_s \Rightarrow v_i = v_s \frac{1}{1 + \beta A} \quad i_s = \frac{v_i}{R_i} = \frac{v_s}{R_i} \frac{1}{1 + \beta A}$$

$$R_{if} \stackrel{\text{def}}{=} \frac{v_s}{i_s} = \frac{v_s}{\frac{v_s}{R_i} \frac{1}{1 + \beta A}} = R_i (1 + \beta A)$$

Quindi la resistenza di ingresso del nostro circuito è moltiplicata per questo fattore che dipende da βA . Se quest'ultimo è $\gg 1$, anche avendo una resistenza di ingresso dell'operazionale finita, posso comunque avere una resistenza di ingresso complessiva del circuito molto grande. (Credo "grazie alla retroazione").

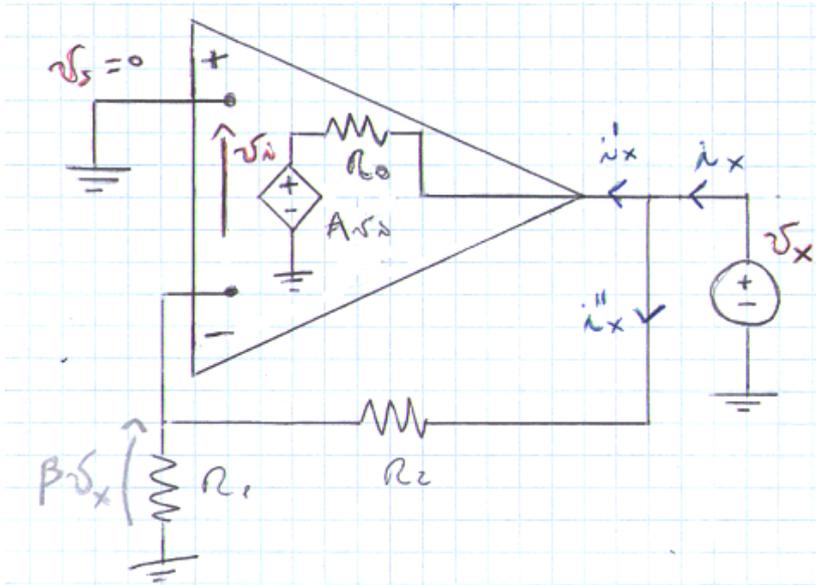
In realtà questa resistenza non è una vera e propria resistenza, in quanto dipende da A, che dipende dalla frequenza. Quindi in realtà si tratta di un'impedenza.

Se vogliamo possiamo scriverla come: $Z_{if} = R_i (1 + \beta A(s))$, ed è una resistenza fino a prima della pulsazione di taglio di $A(s)$; dopo, siccome $A(s)$ è passabasso, e quindi scende, si può vedere come un parallelo tra una resistenza e un condensatore.

Resistenza di uscita non nulla

Questa volta supponiamo che la resistenza di ingresso dell'operazionale $R_i = \infty$, sempre per semplificare l'analisi.

Per calcolare la resistenza di uscita del circuito, spengo il generatore in ingresso e metto un generatore di prova in uscita che eroga una certa tensione v_x .



Detta i_x la corrente che attraversa il generatore di prova,

la **resistenza di uscita quando è presente il feedback**: $R_{of} \stackrel{\text{def}}{=} \frac{v_x}{i_x}$.

La resistenza di uscita dall'operazionale avrà un certo valore e noi speriamo che grazie al feedback la resistenza di uscita di tutto il circuito sia più vicina allo zero di quanto non sia quella dell'operazionale.

$$i''_x = \frac{v_x}{R_1 + R_2}; \quad i'_x = \frac{v_x - A v_i}{R_o}, \text{ dobbiamo calcolare } v_i.$$

Il potenziale sul morsetto $-$ è βv_x , quindi $v_i = -\beta v_x$. Sostituisco nell'espressione di i'_x :

$$i'_x = \frac{v_x + \beta A v_x}{R_o} = \frac{v_x (1 + \beta A)}{R_o}$$

i_x è la somma di i'_x e i''_x , ma i'_x è molto più grande dell'altra perchè è moltiplicata per un fattore che contiene $A\beta$.

Quindi possiamo dire

$$i_x \simeq i'_x \quad \Rightarrow \quad R_{of} \simeq \frac{v_x}{i'_x} = \frac{R_o}{1 + \beta A}.$$

Notiamo che il fattore $(1 + \beta A)$ è ricorrente: ci fa diminuire il guadagno, aumentare la banda, aumentare la resistenza di ingresso e ridurre la resistenza di uscita.

...comunque, se vogliamo essere proprio pignoli e considerare $i_x = i'_x + i''_x$,

$$R_{of} = \frac{R_o}{1 + \beta A} // (R_1 + R_2)$$

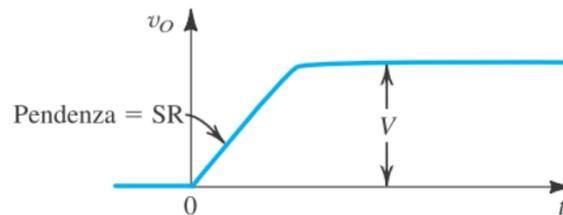
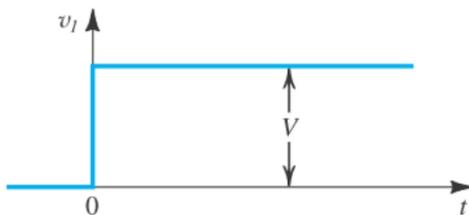
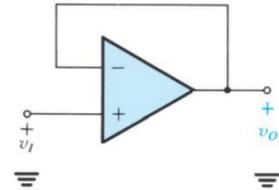
Slew Rate (Tasso di variazione)

Gli amplificatori operazionali hanno dei limiti in termini di velocità di variazione dell'uscita $\frac{dv_o}{dt}$, a causa della struttura interna dei circuiti.

Questo limite superiore alla velocità di variazione dell'uscita è detto **Slew Rate (SR)**.

Quindi $\frac{dv_o}{dt} \leq SR$.

Quindi se, ad esempio, mettessi in ingresso ad un buffer in configurazione non invertente una tensione a gradino (derivata nell'origine infinita), la tensione di uscita avrà una derivata limitata e pari a SR nel primo tratto (finchè tipo non va "a regime").

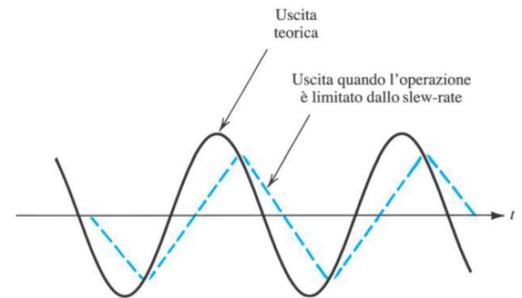


Ora, invece, supponiamo che l'uscita dell'operazionale sia una **sinusoide**: $v_o(t) = V_M \sin(\omega t)$.

Il valore massimo assunto dalla derivata è

$$\left. \frac{dv_o}{dt} \right|_{MAX} = \omega V_M \cos(\omega t) \Big|_{MAX} = \omega V_M$$

Se $\omega V_m < SR$, l'uscita riesce a seguire l'ingresso, in caso contrario si ha **distorsione**.

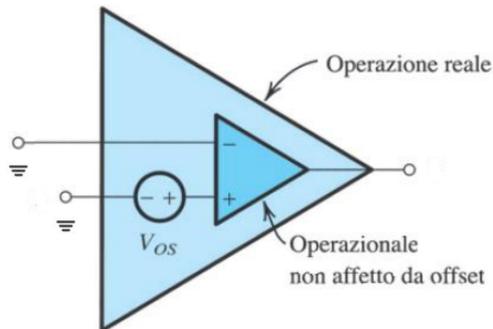


Tensione di Offset

Quando la tensione di ingresso di un operazionale è nulla ci aspettiamo che lo sia anche l'uscita. Nella pratica non è così: anche quando non colleghiamo nulla all'operazionale, in uscita si osserva una piccola tensione.

Questo fenomeno prende il nome di **offset**. "Ed è causata da un'asimmetria [?] del nostro circuito"

Possiamo schematizzare il nostro operazionale reale in questo modo:



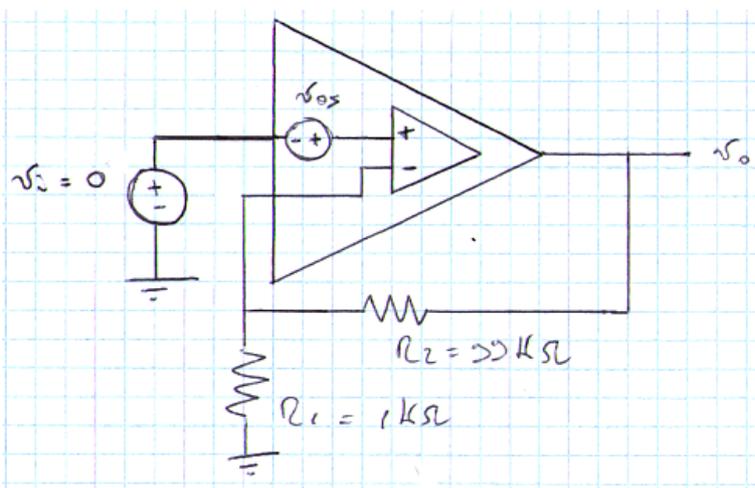
L'operazionale reale possiamo schematizzarlo come un operazionale ideale con un generatore di tensione parassita, detta proprio **tensione di offset**, collegato a uno dei due morsetti, per esempio al morsetto + .

Quindi se ad esempio la tensione di offset è $v_{OS} = 1 \text{ mV}$ e il guadagno a ciclo aperto dell'operazionale è $A = 10^5$, la tensione di uscita $v_o = 10^{-3} 10^5 = 100 \text{ V}$.

Non dobbiamo scordarci mai, però, che la tensione di uscita è limitata dalle tensioni di alimentazione.

Quindi, in sostanza, quando andiamo a comprare un operazionale e lo alimentiamo, e mettiamo i morsetti + e - a massa, la tensione di uscita saturerà o per positivi o per negativi, (il segno di questa tensione di offset è aleatorio).

Vediamo invece qual'è l'effetto di questo fenomeno se utilizziamo la retroazione, per esempio consideriamo un amplificatore non invertente:



$$\text{L'uscita sarà } v_o = v_{OS} \left(1 + \frac{R_2}{R_1} \right) = v_{OS} 100 = 100 \text{ mV}$$

Quindi nel mio circuito che guadagna 100, se la tensione di ingresso è zero, l'uscita non è zero ma 100 mV.

Ci può dare fastidio, ma non più di tanto, sicuramente meno di quanto dia fastidio nell'operazionale a ciclo aperto.

In alcune applicazioni la tensione di offset può essere molto fastidiosa, basta pensare all'integratore (senza accorgimenti, un integratore così com'è).

Lezione 25

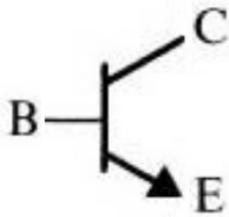
“Abbiamo un quadro di che cosa possiamo fare con i nostri amplificatori operazionali, e anche quali sono le limitazioni che ci possono imporre. Possiamo quindi chiudere il capitolo degli operazionali perchè dobbiamo ora domandarci come sono fatti dentro. Vedremo come sono fatti gli **amplificatori elementari** che stanno all'interno degli operazionali.”

Nel campo dell'elettronica analogica, così come i MOSFET nell'elettronica digitale, a farla da padrone sono i BJT (Transistori Bipolari a Giunzione).

BJT

Così come esistono due famiglie di MOSFET: a canale n e a canale p, anche dei BJT abbiamo due tipologie: **n-p-n**, e **p-n-p**.
Noi ci concentreremo sugli **n-p-n**.

Si indicano nel modo seguente:

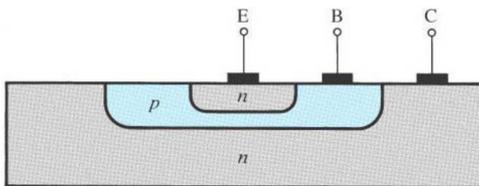


I morsetti vengono chiamati:

B: Base
C: Collettore
E: Emittitore

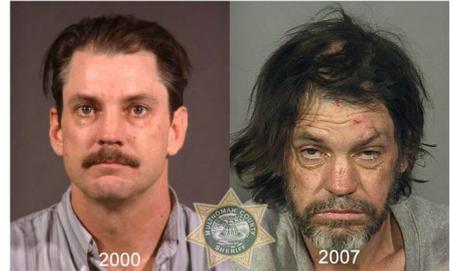
e a differenza del MOSFET tutti i morsetti sono univocamente identificati (non è che, tipo source e drain, che dipende da chi è a potenziale maggiore).

La **struttura interna** è la seguente:



l'emittitore è molto più drogato del collettore:

collettore emittitore



La corrente entra nel collettore ed esce dall'emittitore (il prof: “in senso verticale”).

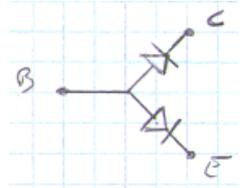
Il collettore fa un po' quello che faceva il drain nel MOSFET, l'emittitore è l'equivalente del source, e la base è grossomodo l'equivalente della gate.

La base è il terminale di controllo del nostro transistor.

A differenza del MOSFET, il BJT è un dispositivo **pilotato in corrente**, cioè: è necessario che sia iniettata una certa corrente nella base per far passare corrente tra collettore ed emittitore.

Questo fatto è una limitazione del BJT rispetto al MOSFET, in quanto “ci vuole della potenza per attivarlo: ci devo mettere un generatore che deve erogare una corrente di controllo, mentre nel MOSFET metto un generatore sulla gate, ma in condizioni stazionarie la corrente di gate è nulla, quindi non c'è dissipazione”. Quindi consuma di più del MOSFET.

A prima vista potremmo vedere il dispositivo come formato da due diodi →



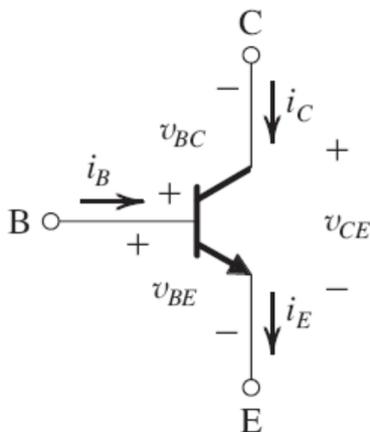
In realtà, non è così semplice, perchè quello che gioca un ruolo fondamentale nel modo di funzionare del dispositivo è lo spessore della zona p, che è sottile tanto da permettere alle due giunzioni di interagire tra di loro.

Chiamiamo **JBC** la giunzione tra base e collettore e **JBE** la giunzione tra base ed emettitore.

Ciascuna di queste giunzioni può essere polarizzata in maniera diretta o inversa, quindi abbiamo 4 modalità operative per il transistor:

JBC → JBE ↓	Diretta	Inversa
Diretta	Regione di Saturazione (cortocircuito)	Regione Attiva Diretta. E' quella nella quale dovremo far funzionare il nostro dispositivo. Questa zona è l'equivalente della zona di pinch-off del MOSFET, ed è quella nella quale il dispositivo si comporta come amplificatore
Inversa	Regione Attiva Inversa E' una zona che non serve a nulla. Otterremmo un pessimo amplificatore.	Regione di Interdizione (circuito aperto)

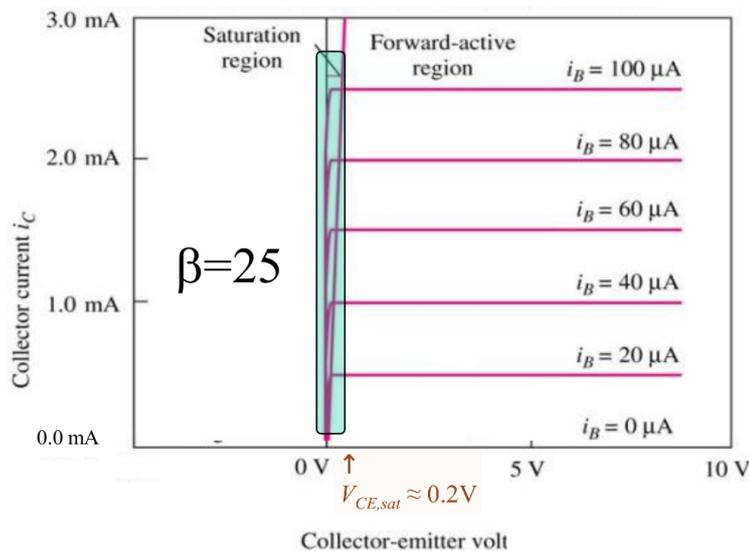
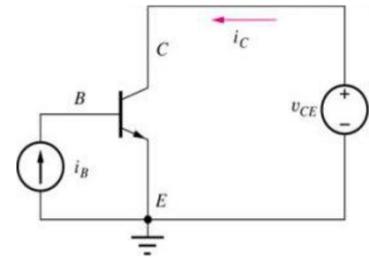
Come abbiamo già accennato, il dispositivo è comandato dalla corrente che entra dalla base, i_B



La grandezza che controlliamo, è invece la corrente che fluisce dai terminali di collettore ed emettitore, rispettivamente i_C e i_E . Queste correnti, che vedremo essere, sotto certe ipotesi "la stessa corrente", è la corrente più grande che circola nel dispositivo. La corrente di base è una piccola aliquota, cambiando la quale possiamo regolare questo flusso di corrente più ampio che attraversa il dispositivo dal collettore all'emettitore.

Vediamo le **caratteristiche** del nostro dispositivo:

Traceremo la corrente di collettore i_C in funzione della tensione collettore-emettitore v_{CE} , per dei fissati valori della corrente di base i_B .



Innanzitutto, per $i_B = 0 \Rightarrow i_C = 0$. In questo caso siamo in **regione interdizione**, perchè sono polarizzate inversamente entrambe le giunzioni.

Per tensioni v_{CE} superiori a circa 0,2 V, siamo in **regione attiva diretta**, i_C dipende solo da i_B , in particolare è proporzionale ad essa: $i_C = \beta i_B$.

β è detto **guadagno di corrente** e dipende da come è fatto il dispositivo (soprattutto da quanto è sottile la zona che separa le due giunzioni), tipicamente varia tra 20 e 200.

In ogni caso, con una piccola corrente di base, abbiamo una corrente di collettore MOLTO più grande, ed è per questo che vogliamo far funzionare il dispositivo nella zona attiva diretta: perchè solo in questa zona può funzionare da amplificatore.

Per $v_{CE} < 0,2 V$ siamo in **regione di saturazione**.

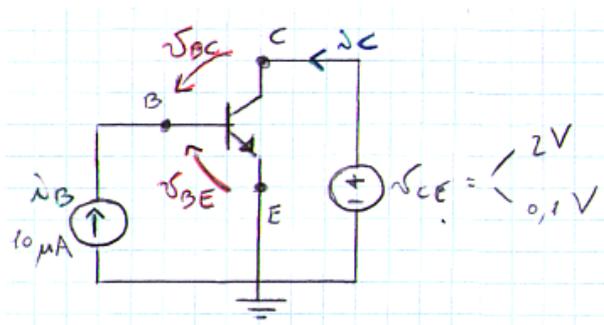
In questa zona non c'è una relazione diretta tra corrente di base e corrente di collettore.

Spesso questo valore per la tensione $v_{CE} = 0,2 V$ che fa da confine tra regione di saturazione e regione attiva diretta viene chiamato **v_{CE} di saturazione**, e indicato con $V_{CE, sat}$.

Comunque non è proprio verticale, nel considerarla verticale stiamo facendo un'approssimazione.

Non vedremo quali sono esattamente le equazioni che descrivono le curve, perchè sarebbe complicato, ed esula dagli obiettivi del corso.

Vediamo se effettivamente le regioni di funzionamento descritte adesso rispecchiano quello che abbiamo scritto nella tabella, cioè che effettivamente in regione attiva diretta JBE è polarizzata inversamente e JBC inversamente, che in regione di saturazione sia JBE che JBC sono polarizzate direttamente, ecc.



Supponiamo che corrente di base $i_B = 10 \mu A$ e che la tensione $v_{CE} = 2 V$

La corrente entra nella base del transistor e “sfrutta la presenza della JBE che è polarizzata direttamente” [?].

Essendo la JBE polarizzata direttamente, la tensione $v_{BE} = 0,7 V$.

L'emettitore è a massa, quindi sul morsetto di base ci sarà un potenziale di 0,7 V. Il collettore, invece, si trova a 2 V, quindi la tensione tra base e collettore $v_{BC} = 0,7 - 2 = -1,3 V$. Pertanto, effettivamente la giunzione JBC è polarizzata inversamente. Quindi per come sono polarizzate le giunzioni siamo in regione attiva diretta.

Ora, rimanendo con questa i_B , abbassiamo la tensione di alimentazione: anziché 2 V la mettiamo a 0,1 V. Siccome la v_{BE} è ancora a 0,7 V, la $v_{BC} = 0,7 - 0,1 = 0,6 V$. La giunzione JBC con 0,6 V è polarizzata direttamente, non molto, ma comunque è polarizzata direttamente. E quindi in questo caso sono polarizzate direttamente entrambe le giunzioni e quindi effettivamente stiamo in questa zona di saturazione.

Sappiamo che $i_C = \beta i_B$.

Per ricavare la corrente di emettitore, applichiamo il principio di Kirchhoff ai nodi, e quindi:

$$i_E = i_B + i_C = (\beta + 1) i_B$$

Se volessimo scrivere i_E in termini di i_C : $i_E = (\beta + 1) \frac{i_C}{\beta}$.

Questa relazione viene generalmente scritta al contrario $i_C = \frac{\beta}{\beta + 1} i_E = \alpha i_E$.

$$\alpha \stackrel{\text{def}}{=} \frac{\beta}{\beta + 1} \simeq 1 \quad (\text{per valori abb. grandi di } \beta)$$

Essendo il dispositivo a 3 terminali, abbiamo bisogno di due equazioni indipendenti per poterlo studiare.

Abbiamo appena visto la prima, scritta in vari modi, servendoci del principio di Kirchhoff.

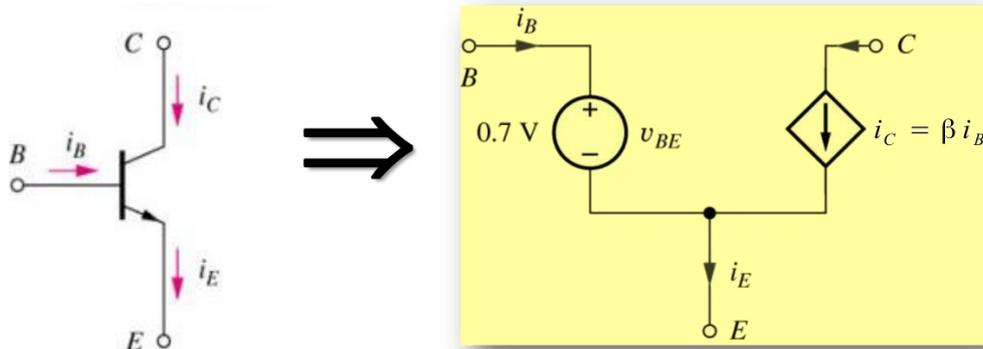
L'altra è la seguente:

$$v_{BE} \simeq 0,7 V \quad (\text{se siamo in regione attiva diretta})$$

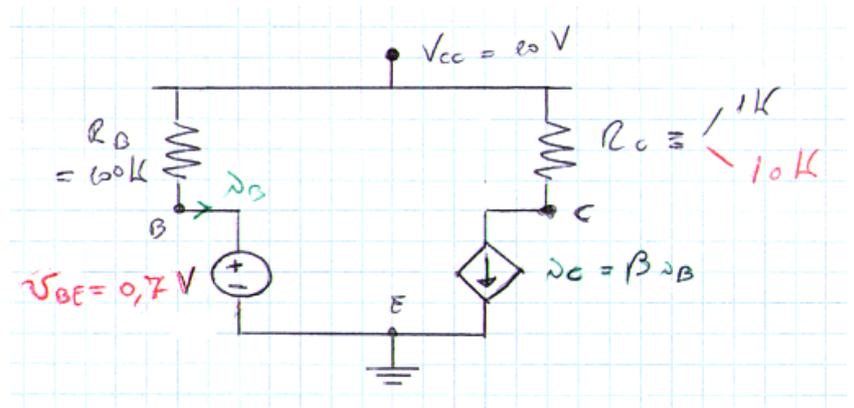
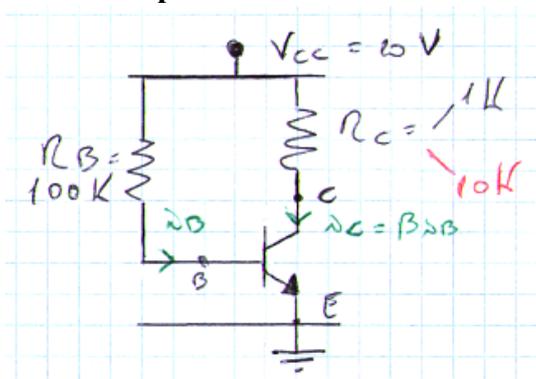
Gli step da fare nella risoluzione (in continua) di un circuito contenente BJT sono i seguenti:

- ipotesi di lavoro: il dispositivo opera in regione attiva diretta
- risolvo il circuito utilizzando, fra le altre, le equazioni del dispositivo, ad es. $v_{BE} = 0,7 V$ e $i_C = \beta i_B$
- verifica dell'ipotesi: verifico che $i_B > 0$ e che $v_{CE} > 0,2 V$.

Un circuito equivalente che possiamo utilizzare per studiare il circuito in continua contenente il dispositivo che opera in **regione attiva diretta** è il seguente:



Esempio:



supponiamo che il dispositivo operi in regione attiva diretta.

$$\beta = 50$$

$$i_B = \frac{V_{CC} - v_{BE}}{R_B} = \frac{10 - 0,7}{100k} = \frac{9,3}{100k} = 93 \mu A$$

$$i_C = \beta i_B = 50 \cdot 93 \mu \simeq 4500 \mu A = 4,5 mA$$

$$v_{CE} = V_{CC} - R_C i_C = 10 - 1k \cdot 4,5 m = 5,5 V$$

Verifica: $i_B > 0$? Si! Ok! $v_{CE} > 0,2 V$? Si! Ok!

Supponiamo che $R_C = 10 k \Omega$.

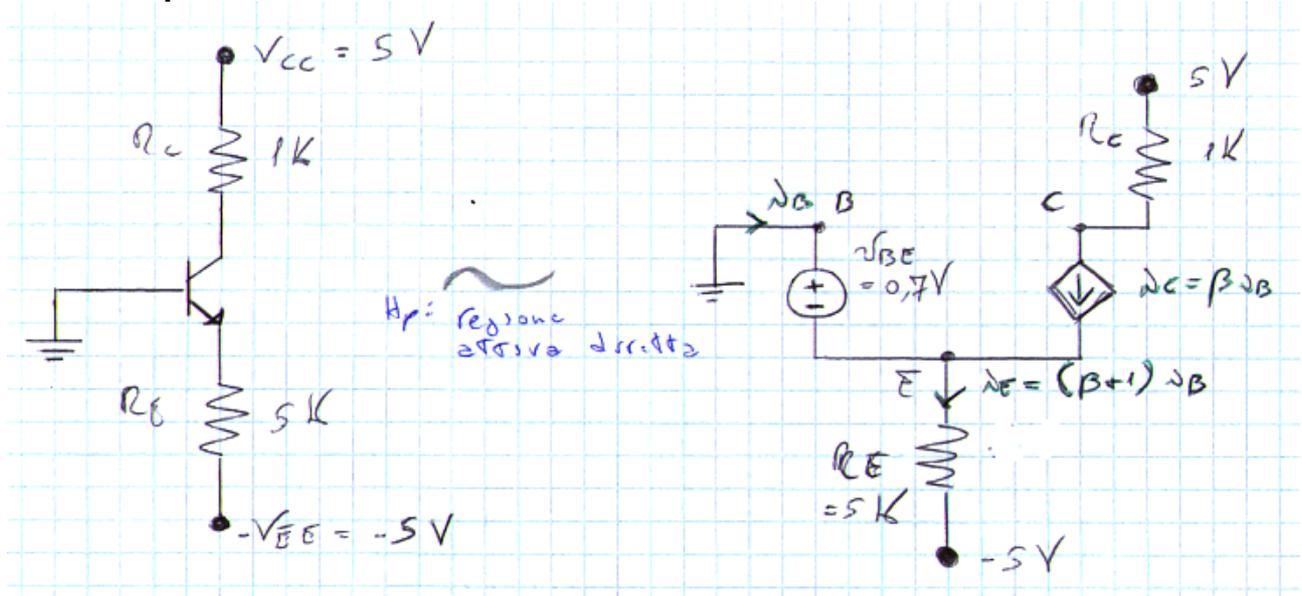
Per quanto riguarda la i_B e la i_C non cambia nulla, ma per la v_{CE} si ha

$$v_{CE} = 10 - 10k \cdot 4,5 m = -35 V$$

Quindi le ipotesi risulterebbero sbagliate, quel modello utilizzato per il BJT non è valido, e dovremmo rifare tutti i calcoli.

Ma in realtà calcolare le grandezze del circuito nel caso in cui non ci troviamo in regione attiva diretta non ci interessa, perchè al di fuori di quella regione il BJT non può funzionare come amplificatore.

Altro Esempio:



$$\beta = 100$$

Detto v_E il potenziale sul morsetto E, $i_E = \frac{v_E - (-V_{EE})}{R_E} = \frac{-0,7 + 5}{5k} = 0,86 \text{ mA}$

$$i_B = \frac{i_E}{\beta + 1} \approx \frac{i_E}{\beta} = \frac{0,86}{100} = 8,6 \mu A$$

$$i_C = \alpha i_E \approx i_E = 0,86 \text{ mA}$$

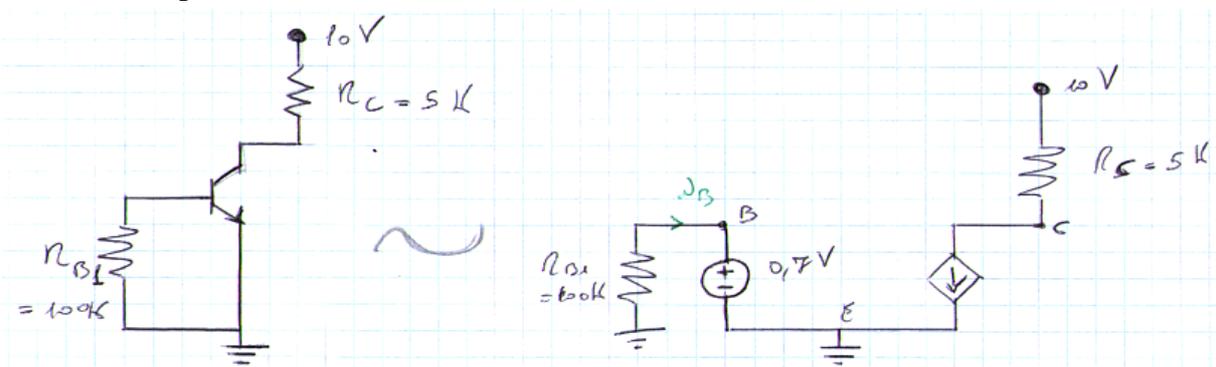
Detto v_C il potenziale sul morsetto C, $v_C = V_{CC} - R_C i_C = 5 - 1k \cdot 0,86 \text{ mA} \approx 4,1 \text{ V}$

$$v_{CE} = v_C - v_E = 4,1 + 0,7 = 4,8 \text{ V}$$

Facciamo il check [...]OK, le ipotesi sono verificate.

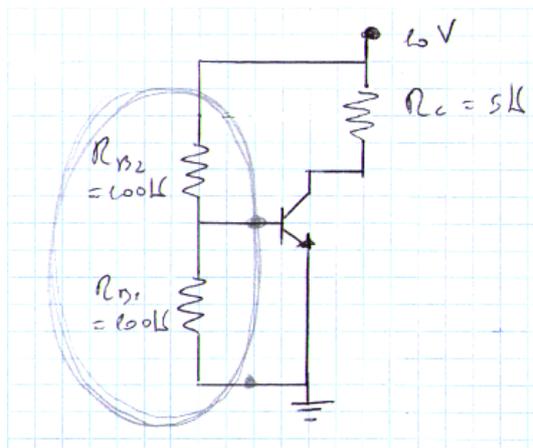
Il prof: potevamo risolvere il circuito senza ricorrere al modello semplificato, utilizzando il fatto che $i_C \approx i_E$.

Un ultimo esempio:

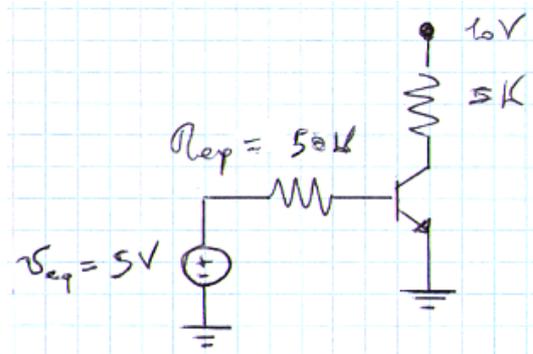


$i_B = -\frac{0,7}{R_{B1}} < 0 \Rightarrow$ il dispositivo non è in regione attiva diretta come avevamo implicitamente supposto utilizzando il modello, essendo la corrente negativa, possiamo supporre di essere in interdizione.

Se aggiungessimo una resistenza in questo modo:



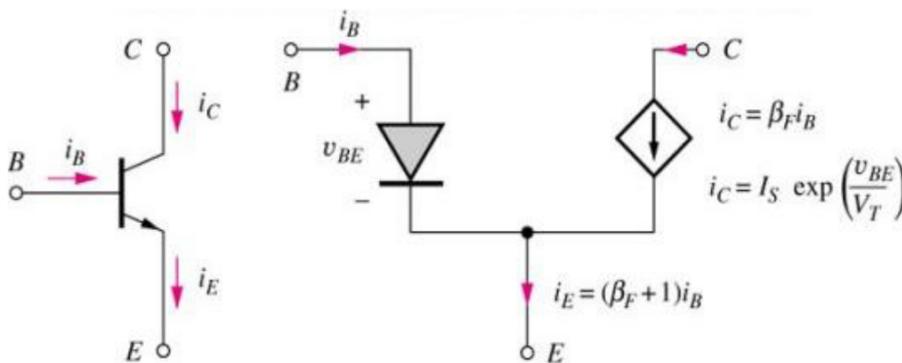
Potremmo semplificare la porzione di circuito a sinistra della base con il suo equivalente di Thevenin:



Dopodichè possiamo sempre sostituire il BJT con il solito modello equivalente (sempre ipotizzando di essere in regione attiva diretta) e risolvere il circuito.

Il modello che abbiamo utilizzato, con la batteria da 0,7 V e il generatore di corrente controllato in corrente è utile solo **in continua**.

In generale, quando dovremo trattare segnali variabili, ci serve un modello più accurato.



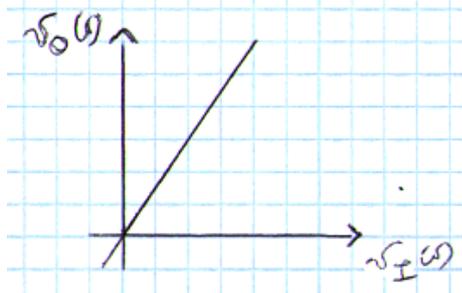
(qua il guadagno lo chiama β_F , ma fondamentale ha lo stesso significato del β che abbiamo usato prima)

Dove I_S è la corrente di saturazione inversa, che abbiamo visto quando trattammo i diodi, ed è una corrente piccolissima, dell'ordine dei nanoAmpere, femtoAmpere.

V_T è la tensione termica $\approx 25 mV$ a $30^\circ C$.

Intro alla realizzazione di amplificatori

La caratteristica che vorremmo che l'amplificatore avesse è di questo tipo:

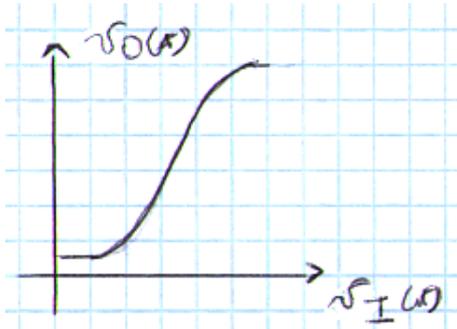


Vorremmo fosse di tipo lineare, $\Rightarrow v_o = A v_i$.

In caso contrario, il sistema sarà distorcente, quindi produrrà in uscita delle componenti frequenziali che in ingresso non erano presenti.

In pratica, nessuna caratteristica sarà di questo tipo.

Ne parliamo già, diciamo che la prima non linearità che si può riscontrare è legata alla saturazione. In ogni caso, anche dimenticandoci della saturazione, non avremmo comunque una caratteristica lineare.



(il prof lo fa col guadagno negativo, quindi con la caratteristica che va a scendere, anziché a salire)

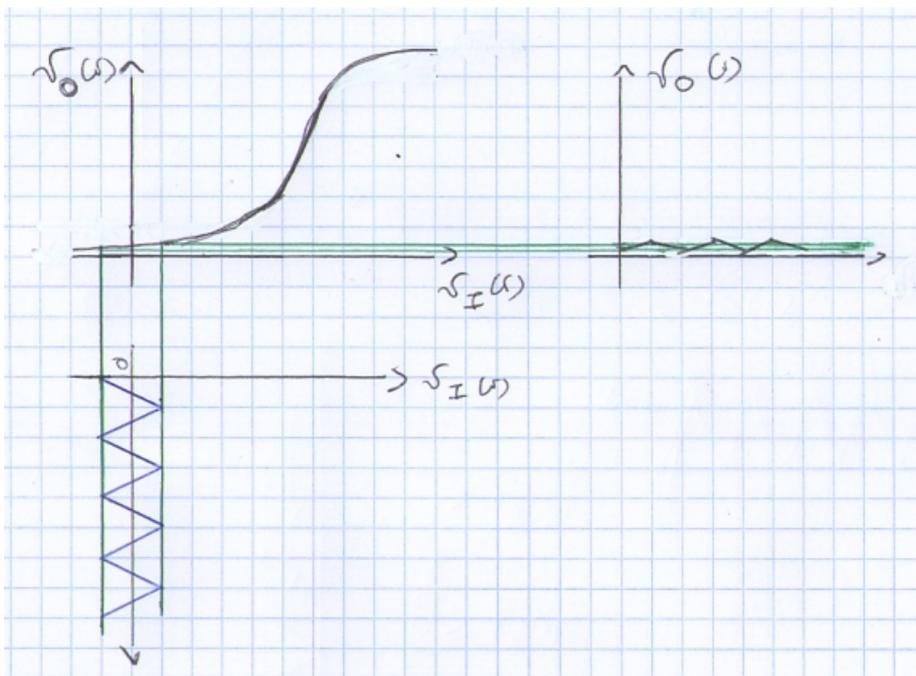
Questa caratteristica può essere sfruttata per fare un amplificatore?

Si, ma solo entro certi limiti

Supponiamo di mettere in ingresso un segnale con componente continua **nulla**:

Nel seguito indicheremo con	
lettera minuscola e pedice maiuscolo il segnale complessivo	es: $v_I(t)$
lettera maiuscola e pedice maiuscolo la componente continua	es: V_I
lettera minuscola e pedice minuscolo la componente variabile	es: $v_i(t)$

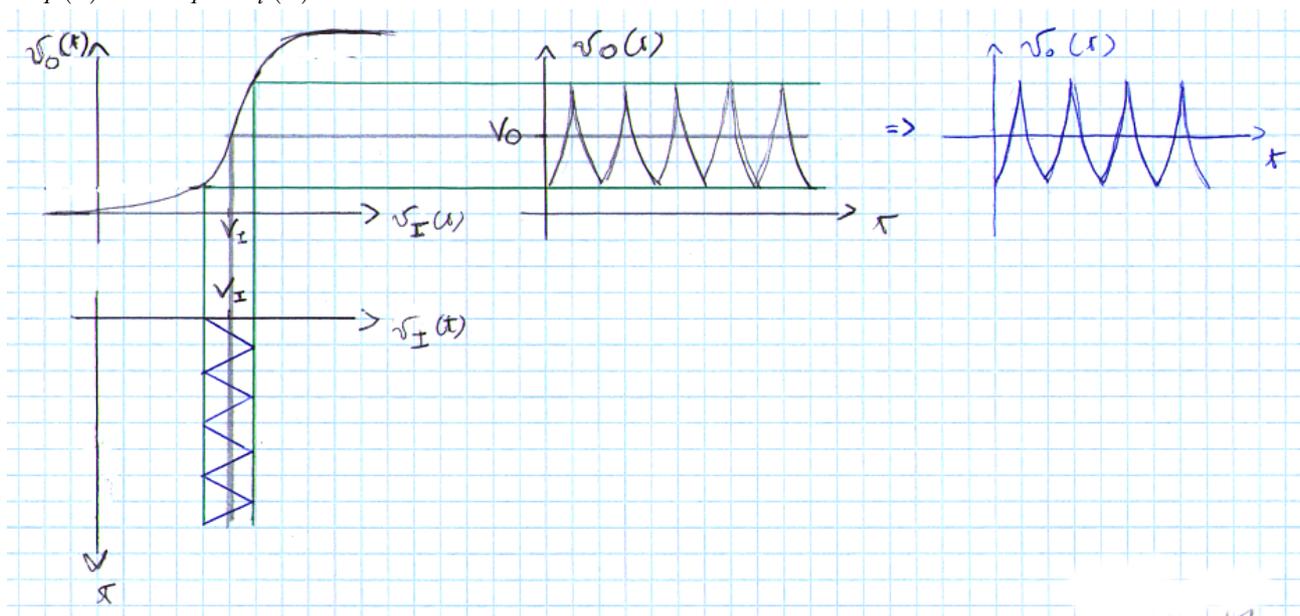
$$v_I(t) = V_I + v_i(t)$$



Il segnale è fortemente attenuato. Può avere una componente continua non nulla, ma comunque ha delle componenti variabili molto attenuate, se non del tutto azzerate.

Se a questo segnale sommo una costante, detta **di polarizzazione**, scelta opportunamente, posso fare in modo che il segnale venga amplificato:

$$v_I(t) = V_I + v_i(t)$$



La **costante di polarizzazione**, quindi non è foriera di informazioni, ma mi consente di utilizzare la zona della caratteristica di trasferimento che mi amplifica il segnale.

Notiamo che la caratteristica, anche intorno alla costante di polarizzazione opportunamente scelta, non è proprio costante, quindi si ha una certa distorsione.

Pertanto bisogna stare attenti a mettere in ingresso un segnale che abbia variazioni sufficientemente piccole, in modo da poter considerare la caratteristica come costante.

Vediamo di giustificare matematicamente queste considerazioni:

$$v_o(t) = f(v_I(t)) = f[V_I + v_i(t)] = [\text{sviluppando con Taylor}] =$$

$$= f(V_I) + f'(V_I) \cdot v_i(t) + \underbrace{\frac{1}{2} f''(V_I) \cdot v_i^2(t) + \dots}_{\approx 0 \text{ se } v_i(t) \text{ è sufficientemente piccolo}}$$

(e, credo, se la caratteristica, nell' intorno di V_I , è abbastanza lineare)

Quindi $v_o(t) \stackrel{\text{def}}{=} V_O + v_o(t) = f(V_I) + f'(V_I) \cdot v_i(t)$.

Quindi, in particolare la componente variabile:

$$v_o(t) = v_i(t) \cdot f'(V_I) = v_i(t) \cdot A \quad \text{dove} \quad A = f'(V_I)$$

Quindi il guadagno corrisponde alla derivata della funzione di trasferimento valutata nel punto prescelto per la polarizzazione.

Quindi noi staremo attenti a scegliere questo V_I in modo tale che la derivata sia massimizzata, e quindi il guadagno sia massimizzato.

Inoltre dobbiamo stare attenti a prendere V_I in una zona che sia il più possibile lineare della caratteristica di trasferimento, altrimenti entrano subito in gioco i termini che danno luogo a distorsione.

(Immagino che da oggi in poi per guadagno non intendiamo tensione in uscita fratto tensione in ingresso, ma componente variabile in uscita fratto componente variabile in ingresso, anche perchè:)

La costante di polarizzazione viene aggiunta stesso all'interno del dispositivo utilizzato come amplificatore: ci sarà un primo stadio che si occupa di questa cosa.

Inoltre, sempre lo stesso dispositivo elimina l'eventuale componente continua in uscita V_O .

(Quindi insomma, il segnale che noi mettiamo all'ingresso di questa scatola che fa tutte queste cose è solo la componente variabile, e in uscita vediamo solo la componente variabile dell'uscita, quindi ci sta che chiamiamo guadagno solo il rapporto fra i due senza contare le eventuali componenti continue.)

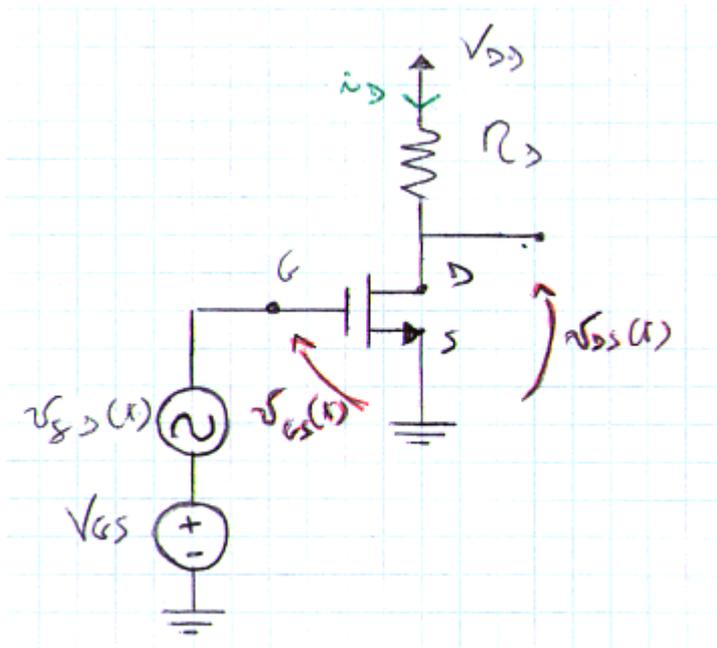
In conclusione:

Quando noi realizziamo un amplificatore dobbiamo scindere i due problemi:

- Definiamo la polarizzazione nei circuiti, perchè se non scelgo bene la polarizzazione il circuito non funziona bene.
In questo caso utilizziamo i **modelli in continua** dei nostri dispositivi., perchè ipotizziamo che il segnale di ingresso, che poi sarebbe la componente variabile del segnale che elaboriamo, sia zero, e quindi devo analizzare il circuito solo con grandezze costanti all'ingresso.
- Dobbiamo vedere come sovrapporre a questa polarizzazione il segnale di ingresso (analisi per piccoli segnali), e come poi pescare il segnale di uscita.
In questo caso utilizziamo i **modelli per piccoli segnali**.

Lezione 26

Amplificatore a Source Comune (“fatti iniziali”)



Il segnale di ingresso è la componente variabile della tensione della v_{GS} , cioè la v_{gs} .
Preleviamo l'uscita dal morsetto di drain. Per segnale di uscita intendiamo sempre la componente variabile, quindi l'uscita è v_{ds} .

(Comunque a quanto ho capito, quando dice “segnale” sottintende la componente variabile)

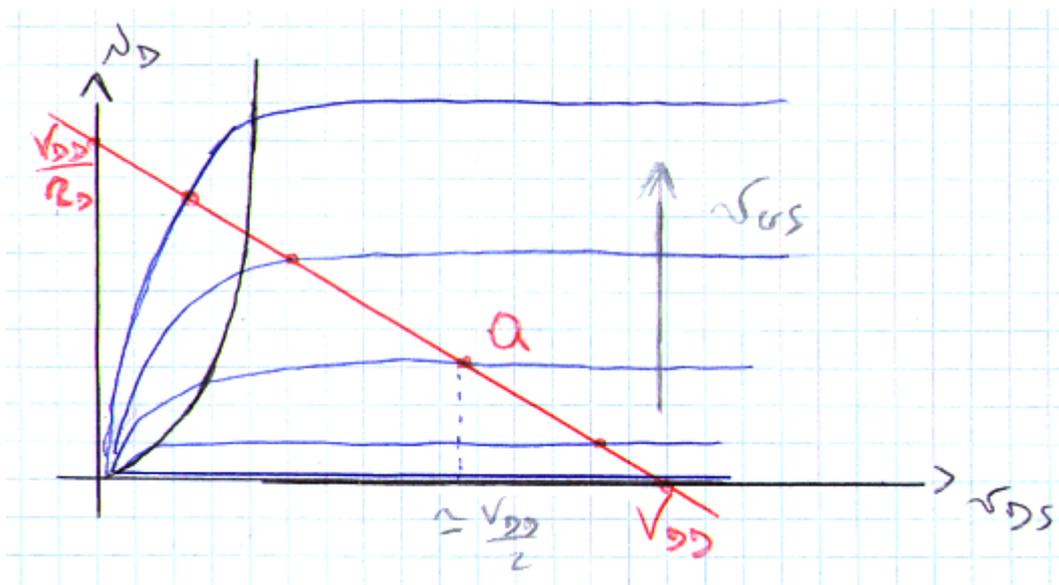
Questo circuito viene detto “a source comune” perchè il source è collegato a massa e quindi è comune sia alla maglia di ingresso che alla maglia di uscita.

Vediamo come scegliere la costante di polarizzazione V_{GS} :

Utilizziamo un'analisi grafica.

Consideriamo le caratteristiche di uscita del MOSFET.

E inoltre tracciamo la retta di carico: ($v_{DS} + R_D i_D = V_{DD} \Rightarrow$) $i_D = \frac{V_{DD} - v_{DS}}{R_D}$



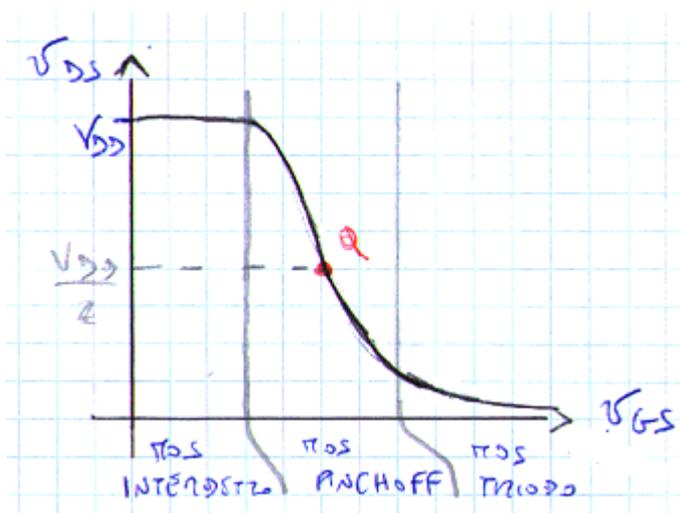
Per trovare la funzione di trasferimento del dispositivo, riportiamo su un grafico la tensione v_{DS} dei punti di intersezione tra la retta di carico e la caratteristica del MOS, al variare di v_{GS} .

Per $v_{GS} < V_T$ “(tensione di soglia)” , quando il MOSFET è interdetto, il punto di intersezione è sulle ascisse: $v_{DS} = V_{DD}$.

Una volta che v_{GS} supera la tensione di soglia, il MOSFET si trova in zona di pinch-off. I punti di intersezione, all'aumentare della v_{GS} , si avvicinano velocemente alla zona triodo, quindi la tensione v_{DS} relativa a questi punti diminuisce velocemente.

Aumentando ancora la v_{GS} i punti di intersezione si trovano in regione di triodo, la tensione v_{DS} relativa a questi punti, è prossima allo zero, ma la decrescita è più lenta.

Quindi abbiamo questo tipo di andamento:



Ci accorgiamo, guardando la caratteristica, che la zona in cui si ha la pendenza maggiore è la regione di pinch-off, e quindi questa zona è quella da selezionare per realizzare un amplificatore con il nostro dispositivo.

Il punto di lavoro, che indichiamo con Q lo andiamo a piazzare più o meno al centro di questa zona, in modo da essere lontani sia dalla zona di interdizione che da quella di triodo.

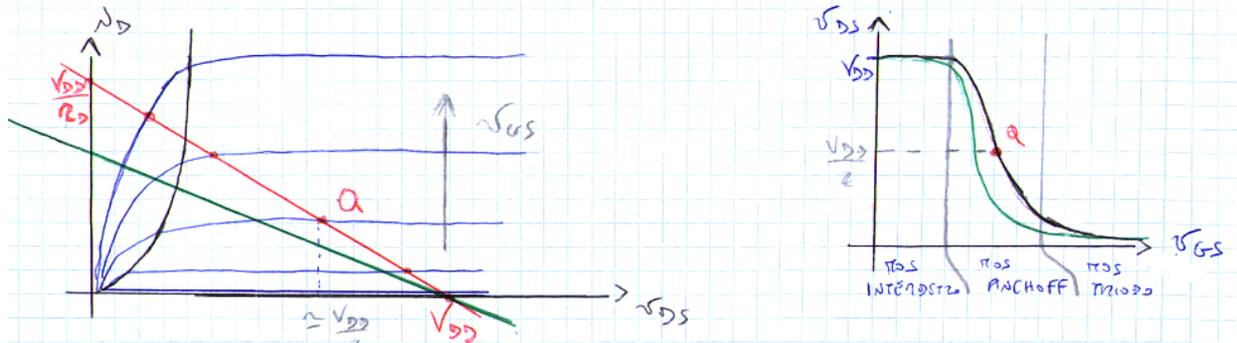
Ad esempio, una buona approssimazione di questa scelta è attorno al punto Q nel quale

$$V_{DS} \approx \frac{V_{DD}}{2}$$

Osservazione: Cosa succede se aumento la resistenza R_D aumenta?

La retta di carico si abbassa.

La caratteristica del dispositivo sarà a spostata a sinistra, in quanto: fino alla zona di interdizione è più o meno uguale, dopodichè comincia a scendere più velocemente, e infine entra nella regione di triodo in anticipo.



Il punto di lavoro lo possiamo piazzare più o meno sempre a $\frac{V_{DD}}{2}$.

Il guadagno sarà maggiore, in quanto la curva scende più rapidamente.

Dimostriamolo analiticamente:

In zona di pinch-off l'equazione del MOSFET è $i_D(t) = \frac{K}{2} [v_{GS}(t) - V_T]^2$.

$$v_{DS}(t) = V_{DD} - R_D i_D(t) = V_{DD} - \frac{R_D}{2} K [v_{GS}(t) - V_T]^2.$$

Quindi questa è l'equazione che descrive la caratteristica del circuito quando il MOSFET è in zona di pinch-off, che tralaltro scopriamo essere una parabola.

Ma $v_{GS}(t) = V_{GS} + v_{gs}(t)$, quindi

$$\begin{aligned} v_{DS}(t) &= V_{DD} - \frac{R_D}{2} K [(V_{GS} + v_{gs}(t)) - V_T]^2 = V_{DD} - \frac{R_D}{2} K [(V_{GS} - V_T) + v_{gs}]^2 \\ &= V_{DD} - \frac{R_D}{2} K [(V_{GS} - V_T)^2 + 2 v_{gs}(t) (V_{GS} - V_T) + v_{gs}^2(t)] \\ &= V_{DD} - \frac{R_D}{2} K (V_{GS} - V_T)^2 - R_D K (V_{GS} - V_T) v_{gs}(t) - \frac{R_D}{2} K v_{gs}^2(t) \end{aligned}$$

V_{DS} ,	$v_{ds}(t)$, è il termine di	Termine non lineare
il termine costante di	segnale	del secondo ordine,
polarizzazione che		distorsione.
abbiamo detto dovrebbe		Trascurabile
essere pari $\frac{V_{DD}}{2}$		rispetto al termine
		di segnale, se v_{gs}
		è sufficientemente
		piccolo.

Quindi, il solo termine di segnale:

$$v_{ds}(t) = - R_D K (V_{GS} - V_T) v_{gs}(t)$$

Guadagno (per piccoli segnali).

E' negativo, infatti la pendenza della caratteristica è negativa.

E' direttamente proporzionale alla resistenza R_D e al termine di polarizzazione.

Cerchiamo di quantificare quel “sufficientemente piccolo” che deve soddisfare la v_{gs} , affinché il termine quadratico sia trascurabile.

Il termine quadratico deve essere molto più piccolo del termine di segnale:

$$\frac{R_D}{2} K v_{gs}^2(t) \ll R_D K (V_{GS} - V_T) v_{gs}(t) \quad \Rightarrow$$

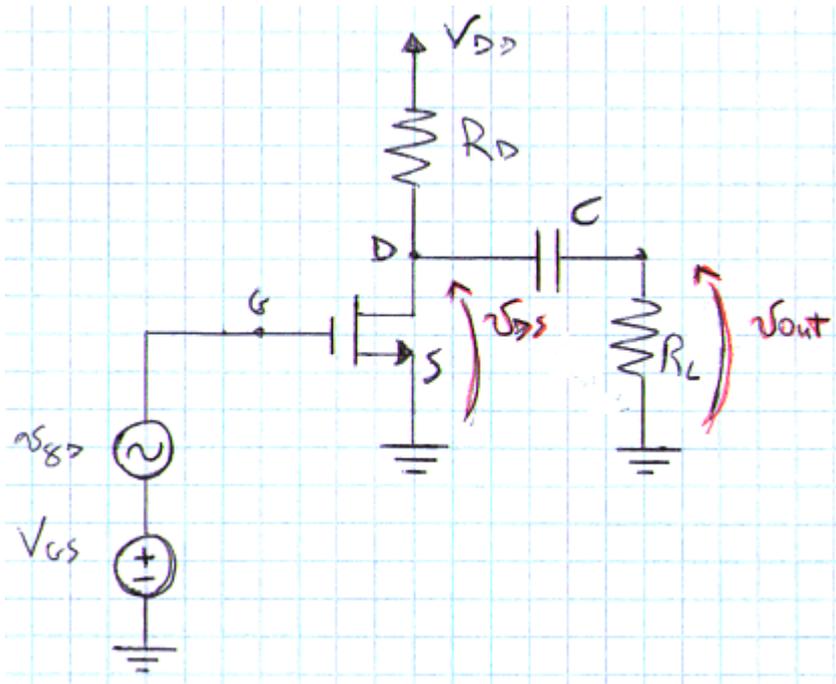
$$\Rightarrow v_{gs}(t) \ll 2(V_{GS} - V_T)$$

Quindi ecco cosa intendiamo per “piccolo segnale”

Miglioriamo il dispositivo in modo da renderlo capace di fornire un uscita priva della componente continua V_{DS} .

Vogliamo far sì che la tensione costante V_{DS} non sia vista da un eventuale carico, chiamiamolo R_L , in uscita.

Per fare ciò, inseriamo un condensatore detto **condensatore di accoppiamento, o di blocco**.



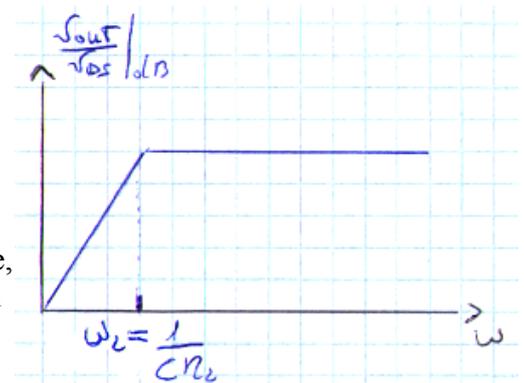
Il condensatore è un'impedenza il cui valore è $Z(s) = \frac{1}{sC}$.

La tensione di uscita (partitore di tensione) è
$$v_{out}(s) = v_{DS}(s) \frac{R_L}{\frac{1}{sC} + R_L} = v_{DS}(s) \frac{sC R_L}{1 + sC R_L}$$

Quindi con l'aggiunta di questo condensatore, è come se aggiungessimo un filtro passaalto in uscita.

Questo filtro è tanto più selettivo quanto più è grande la capacità del condensatore.

Siccome vorremmo bloccare solo la continua, spesso si accompagna il condensatore con il simbolo “ ∞ ” per indicare che il valore della capacità deve essere sufficientemente grande, in modo da poter trascurare l'impedenza alle frequenze utili del segnale.



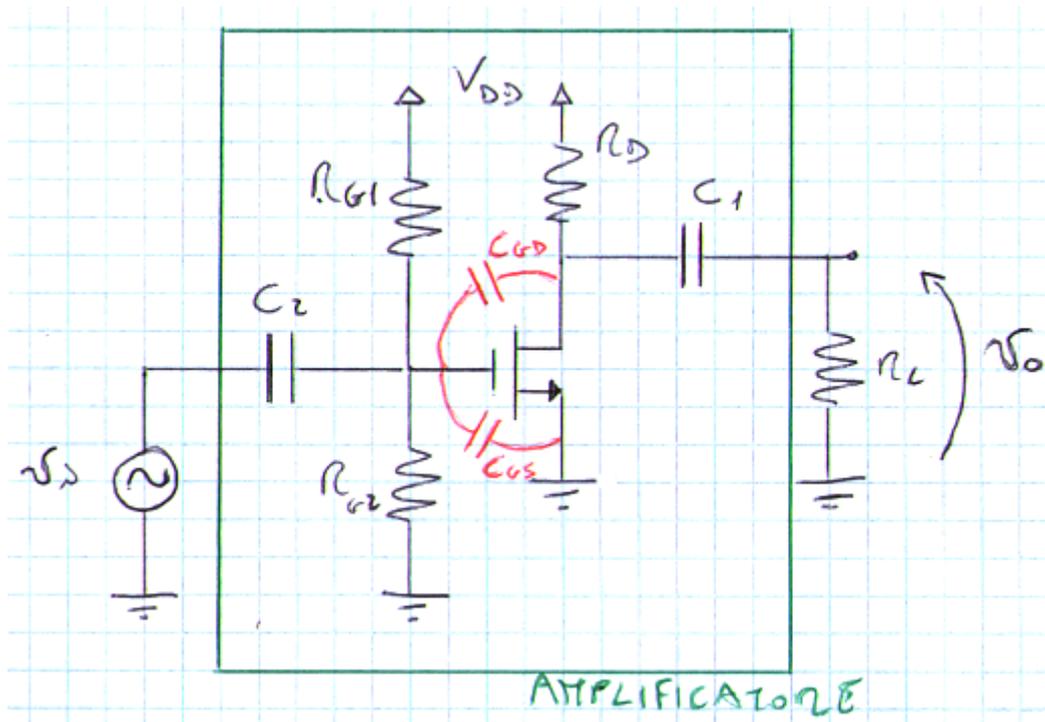
Miglioriamo ulteriormente il dispositivo così che non sia più necessaria la batteria per la tensione di polarizzazione.

Per fare ciò, possiamo sfruttare la tensione di alimentazione, ma perchè questa tensione sia più bassa inseriamo un partitore, quindi due resistenze R_{G1} e R_{G2} .

In questo modo la nostra tensione di polarizzazione la otteniamo semplicemente come

$$V_{GS} = V_{DD} \frac{R_{G2}}{R_{G1} + R_{G2}}.$$

Affinchè il segnale non cambi la polarizzazione del circuito, mettiamo un altro condensatore di accoppiamento che blocchi la continua del segnale di ingresso.



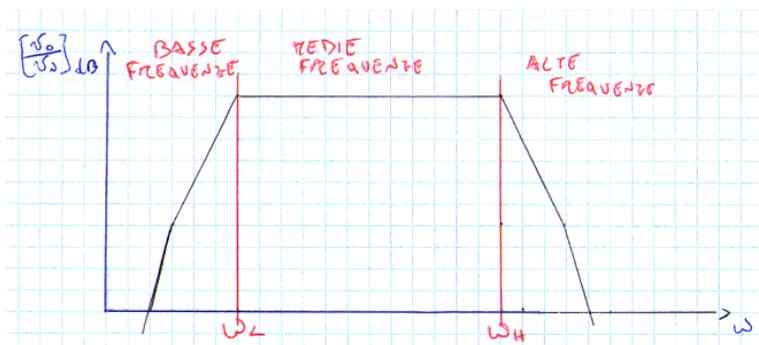
L'effetto che questa nuova capacità avrà sulla risposta in frequenza del circuito è quello di accentuare il comportamento passabasso dell'altra capacità, quindi presumibilmente il diagramma di bode partirà con una pendenza di 40 dB a decade, poi da una certa frequenza di taglio la pendenza si riduce a 20 dB a decade, ed infine ad un'altra frequenza di taglio si assesta e diventa costante. Quale delle due dipenda da ciascuna delle due capacità dipende dal valore delle capacità, ma non ci soffermiamo.

Capacità parassite

Nella pratica il transistor non è in grado di elaborare segnali la cui frequenza supera una certa soglia. Questo fenomeno è dovuto alle cosiddette **capacità parassite** (in rosso nel grafico) C_{GD} (gate-drain) C_{GS} (gate-source).

L'effetto di queste capacità è quello di ridurre il guadagno al di sopra di una certa frequenza (comportamento passabasso). Quindi, quello che noi vediamo è che il guadagno resta costante, ma a un certo punto, per una frequenza che possiamo chiamare ω_H , vedremo che il guadagno comincia a decrescere.

Quindi, alla fine, la risposta in frequenza del circuito è la seguente:

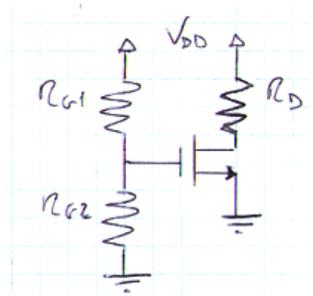


Solitamente le due pulsazioni ω_H e ω_L sono distanti tra di loro, il circuito è a larga banda.

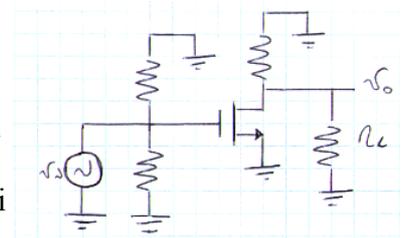
Se studiamo il circuito nel campo delle medie frequenze (come immagino faremo nel caso di segnali con piccole variazioni), tratteremo le capacità di accoppiamento come dei cortocircuiti, mentre tratteremo le capacità parassite come dei circuiti aperti.

L'analisi che condurremo per i circuiti un po' più complicati, tipo quest'ultimo, sarà divisa in due step:

- Studiamo il circuito in continua, per ottenere la **polarizzazione**. Quindi sostituiamo tutte le capacità con dei circuiti aperti (sia quelle di accoppiamento che quelle parassite) e eliminiamo i generatori di segnale all'ingresso. Abbiamo solo la tensione di alimentazione, le resistenze e i transistor. Qualora sia disponibile, utilizziamo un modello del transistor semplificato per l'analisi in continua. L'obiettivo di questa analisi è ottenere il **punto Q di riposo**, che nel piano delle caratteristiche del MOSFET ha due coordinate: $Q: (I_D ; V_{DS})$.



- Studiamo il circuito **per piccoli segnali**. Per il momento faremo l'analisi soltanto delle medie frequenze, quindi con le capacità di accoppiamento che diventano cortocircuiti, e quelle interne dei dispositivi circuiti aperti. Trascureremo le componenti continue, quindi ai morsetti a cui è collegata l'alimentazione, mettiamo la massa.



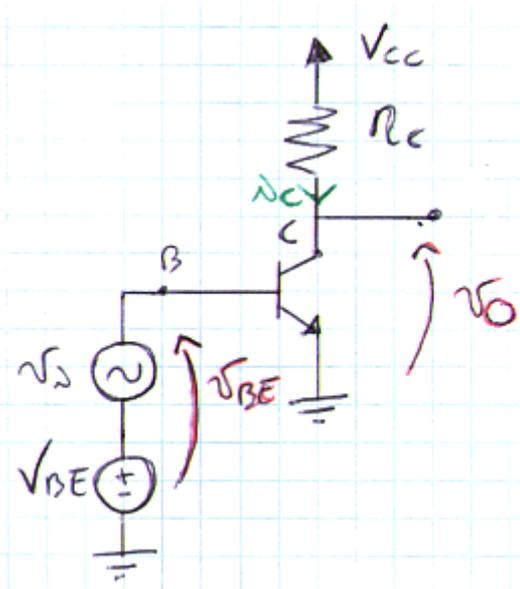
Anche in questo caso, qualora sia disponibile, utilizziamo un modello per il transistor per lo studio con piccoli segnali (che dobbiamo ancora vedere). Con questa analisi vogliamo conoscere il **guadagno, la resistenza di ingresso e di uscita**.

Il prof: Ora voi direte "ma poco fa abbiamo calcolato il guadagno scrivendoci le equazioni, vedendo il termine lineare e trascurandolo...." E' vero! Però questo possiamo farlo se il circuito è molto semplice. Se il circuito è un po' più complicato, diventa difficile continuare su quella strada. Per esempio, se utilizziamo quell'approccio, come facciamo qui a vedere l'effetto di questa R_L sul guadagno?...prima abbiamo detto che il guadagno dipende dalla R_D ...e dalla R_L come dipende? eh...non è così ovvio. Invece con questo approccio, dopo che abbiamo osservato che per piccoli segnali l'alimentazione è come se fosse una massa, vediamo subito che R_D e R_L fondamentalmente stanno in parallelo, quindi il guadagno dipende dal parallelo di quelle due resistenze.

Il discorso dei due step per l'analisi si applica allo stesso identico modo se nell'amplificatore sono presenti BJT, anziché MOS.

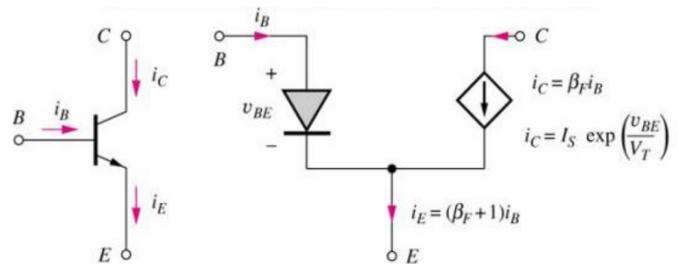
Amplificatore ad Emittore Comune (“fatti iniziali”)

Il circuito è del tutto simile a quello che abbiamo appena visto. Abbiamo al posto del MOSFET il transistor bipolare. Colleghiamo a massa l'emittore, che è l'equivalente del source. L'alimentazione la chiamiamo V_{CC} . (c'è questa prassi: nei circuiti a mosfet l'alimentazione la chiamiamo V_{DD} , perchè c'è il drain...nei circuiti bipolari V_{CC} perchè c'è il collettore...).



Come possiamo studiare questo circuito.

In questo caso dobbiamo utilizzare il modello del transistor più accurato che abbiamo.



(forse quando studieremo il vero amplificatore ad emittore comune con la divisione tra analisi per la polarizzazione e

analisi per i piccoli segnali, utilizzeremo durante la prima il modello in continua, e durante la seconda un modello per segnali variabili, ma non questo che abbiamo usato adesso, perchè li assumeremo piccoli.)

Applicando questo modello, otteniamo che

$$v_o = V_{CC} - R_C i_C = V_{CC} - R_C I_S e^{\frac{v_{BE}}{V_T}} \quad (\text{le dipendenze dal tempo mo le stossottintendo})$$

A questo punto la v_{BE} la scriviamo come somma di componente continua e componente variabile:

$$v_o = V_{CC} - R_C I_S e^{\frac{v_i + V_{BE}}{V_T}} = V_{CC} - R_C I_S e^{\frac{V_{BE}}{V_T}} e^{\frac{v_i}{V_T}}$$

Quindi vediamo che la relazione ingresso uscita è sicuramente di tipo non lineare, perchè c'è un esponenziale della tensione di ingresso. Tuttavia se la tensione di ingresso è piccola possiamo sviluppare l'esponenziale in serie di Taylor.

$$v_o = V_{CC} - R_C I_S e^{\frac{V_{BE}}{V_T}} \left[1 + \frac{v_i}{V_T} + \frac{1}{2} \left(\frac{v_i}{V_T} \right)^2 + \dots \right]$$

Quindi se andiamo ora a riscrivere i nostri contributi cosa abbiamo?

Abbiamo un termine costante, che è quello che viene fuori quando qui prendiamo l'1. Quindi la tensione di uscita

$$v_o = V_{CC} - R_C I_S e^{\frac{V_{BE}}{V_T}} - R_C I_S e^{\frac{V_{BE}}{V_T}} \frac{v_i}{V_T} - \frac{1}{2} R_C I_S e^{\frac{V_{BE}}{V_T}} \left(\frac{v_i}{V_T} \right)^2 + \dots$$

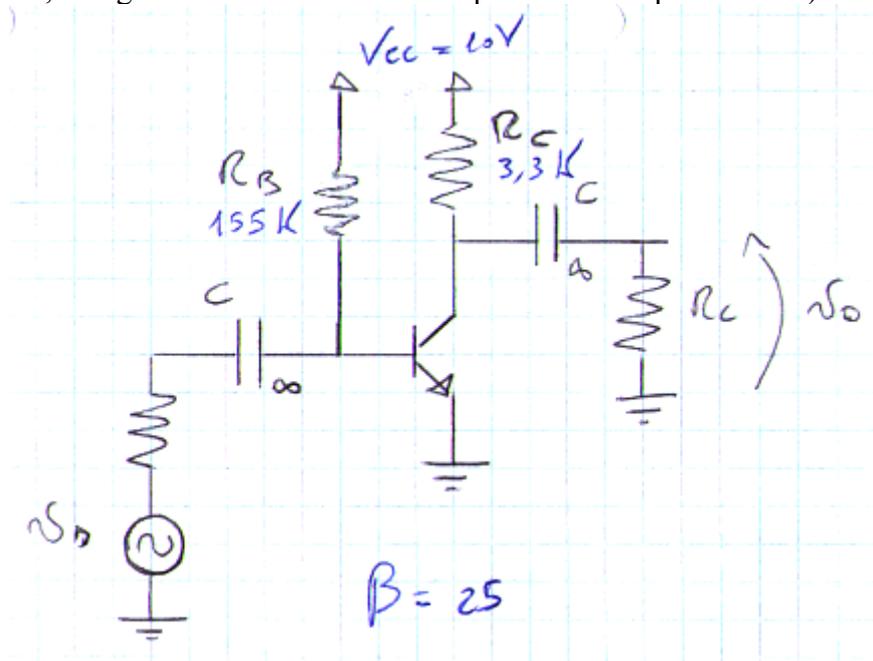
Se la tensione di ingresso è tale per cui il termine quadratico e i termini di ordine superiore sono trascurabili, (condizione di piccolo segnale (niente disuguaglianza stavolta?!)) il primo termine è il termine di polarizzazione V_O e il secondo è la componente di segnale v_o .

Così facendo
$$v_o = \underbrace{\frac{R_C I_S e^{\frac{V_{BE}}{V_T}}}{V_T}}_{\text{Guadagno}} v_i$$

Lezione 27

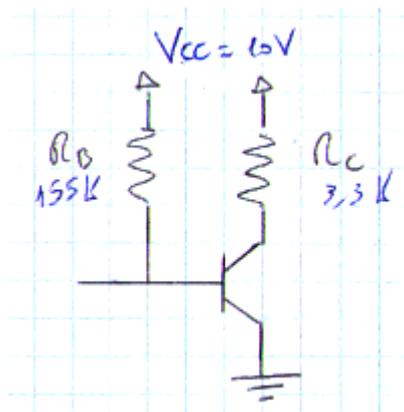
Polarizzazione nell'Amplificatore a Emittitore Comune

(Qua bellebbuono le capacità di di accoppiamento ha cominciato a chiamarle “di disaccoppiamento”, navigando nell'interwebs ho scoperto che so tipo sinonimi)

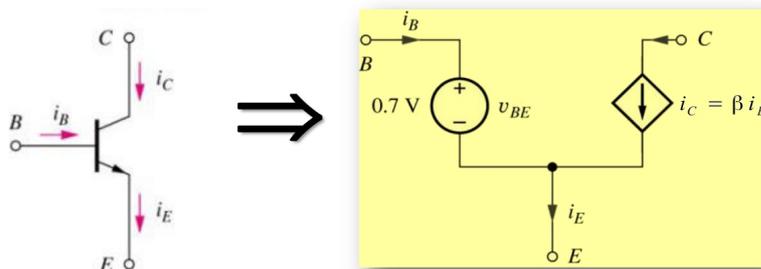


Facciamo l'analisi della polarizzazione.

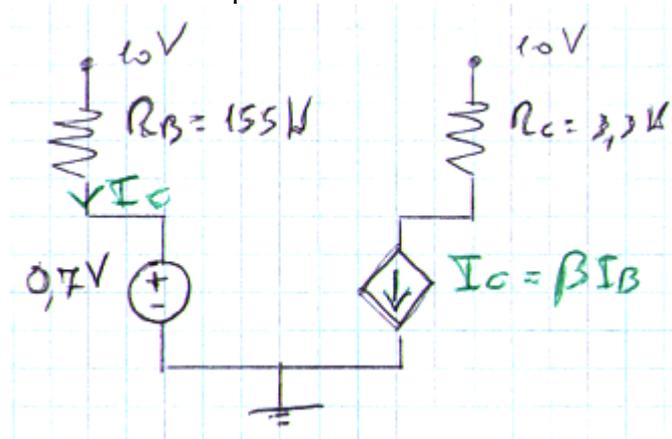
Riscriviamo il circuito evidenziando soltanto quello che serve per lo studio della polarizzazione, quindi i condensatori li consideriamo come dei circuiti aperti, perchè bloccano le componenti continue.



Per il transistor bipolare utilizziamo il modello semplificato per lo studio in continua:



Quindi possiamo riscrivere il circuito in questo modo:



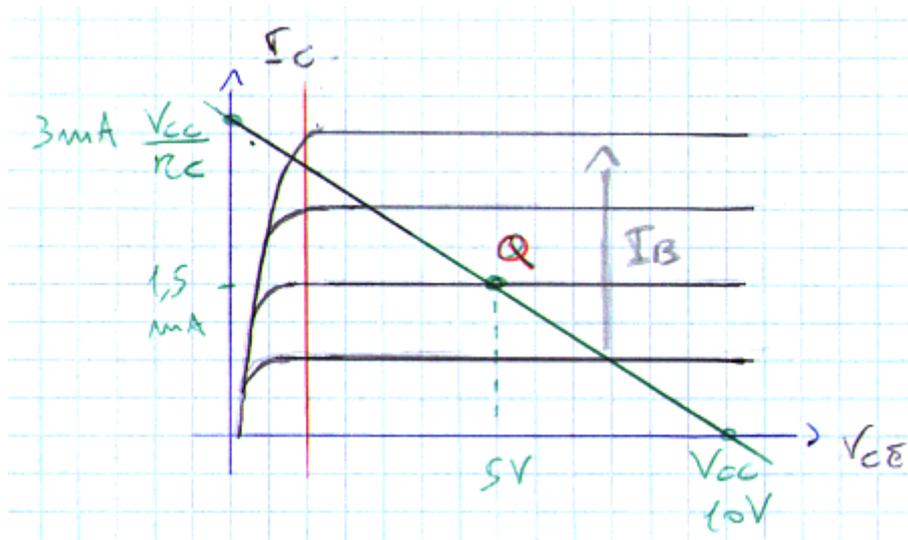
$$I_B = \frac{10 - 0,7}{155 \text{ k}} = \frac{9,3}{155} \text{ mA} \quad I_C = \beta I_B = 25 \frac{9,3}{155} \text{ mA} = 1,5 \text{ mA}$$

$$V_{CE} = V_{CC} - I_C R_C = 10 - 1,5 \text{ mA} \cdot 3,3 \text{ k} = 5 \text{ V}$$

Quindi il punto $Q : (I_C ; V_{CE})$ è
 $Q : (1,5 \text{ mA} ; 5 \text{ V})$

Questi valori che abbiamo ottenuto sono validi per un buon funzionamento del nostro circuito?

Questi valori sono ragionevoli se siamo abbastanza lontani dalla zona di interdizione e di saturazione:

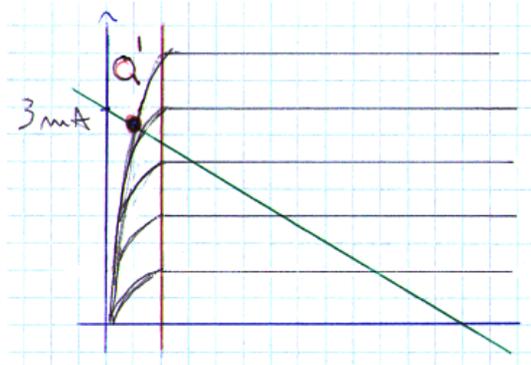


L'equazione della retta di carico ($V_{CE} = V_{CC} - R_C I_C \Rightarrow I_C = \frac{V_{CC} - V_{CE}}{R_C}$).

Guardando la figura, ci accorgiamo che tutto sommato il punto di riposo Q ottenuto può essere valido, perchè è abbastanza lontano dalle zone di saturazione e interdizione, quindi il segnale di ingresso è abbastanza libero di avere le sue variazioni.

In realtà questa scelta non è tanto valida, perchè il punto di riposo che abbiamo ottenuto **dipende fortemente dal valore di β** .

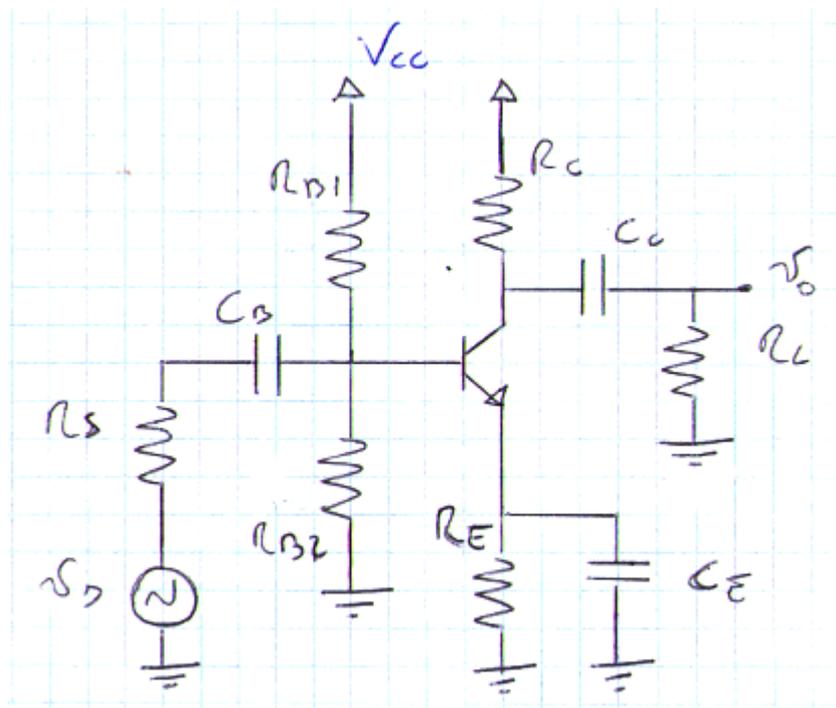
In questo caso avevamo $\beta = 25$. Se avessimo avuto $\beta = 50$, avremmo avuto
 $Q' : (3 \text{ mA} ; 0 \text{ V})$



Quindi il dispositivo va in saturazione e il dispositivo non funziona più come amplificatore.

Questo tipo di dipendenza non ci piace, perchè il β , non è noto a priori, può essere ampiamente variabile, quindi dobbiamo cambiare il circuito di partenza, per far sì che sia più indipendente dal valore di β (non riusciremo ad avere un'indipendenza totale, ma comunque vogliamo stabilizzarlo rispetto alle inevitabili variazioni di β).

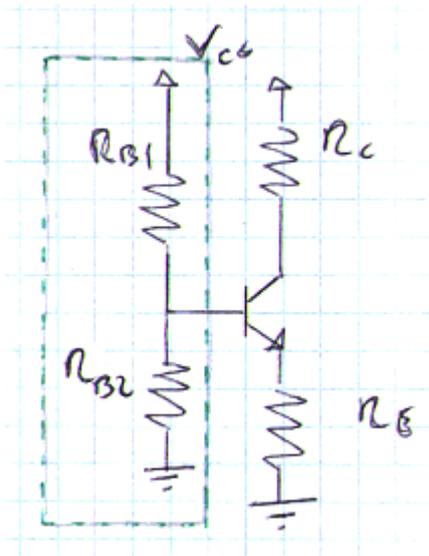
Soluzione 1:



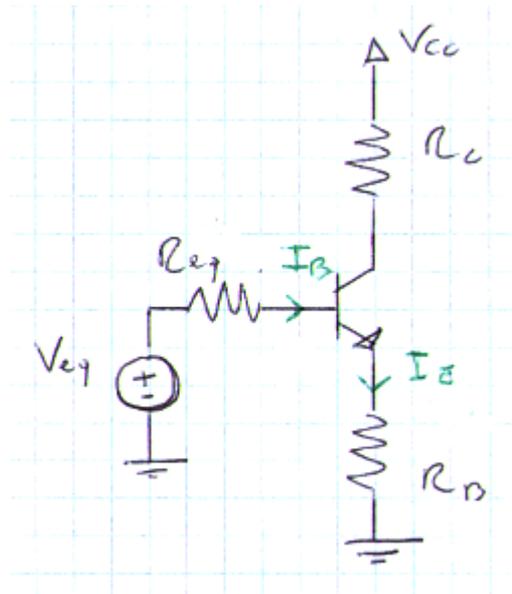
$$\beta = 75$$

Il condensatore C_E prende il nome di **condensatore di by-pass**, e fa sì che per le componenti alternative l'emettitore è come se fosse collegato a massa, perchè come abbiamo detto quando studiamo i circuiti con piccoli segnali variabili le capacità le possiamo sostituire con dei cortocircuiti.

Polarizzazione:

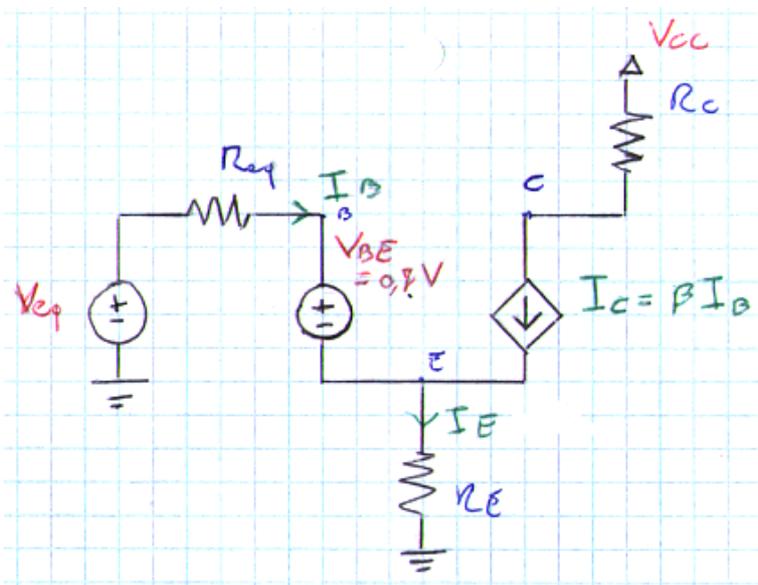


Semplifichiamo la maglia di ingresso con l'equivalente di Thevenin



Dove $V_{eq} = V_{CC} \frac{R_{B2}}{R_{B1} + R_{B2}}$ e $R_{eq} = R_{B1} // R_{B2}$

Sostituendo il BJT col suo modello in continua:



$$V_{eq} = R_{eq} I_B + V_{BE} + R_E I_E \approx$$

Sappiamo che

$$I_C = \beta I_B \Rightarrow I_B = \frac{I_C}{\beta} \quad \text{e che} \quad I_C = \alpha I_E \Rightarrow I_E = \frac{I_C}{\alpha} \approx I_C$$

$$\approx R_{eq} \frac{I_C}{\beta} + V_{BE} + R_E I_C = V_{BE} + \left(\frac{R_{eq}}{\beta} + R_E \right) I_C$$

Da qui possiamo calcolare la prima nostra grandezza di interesse, la I_C

$$I_C \simeq \frac{V_{eq} - V_{BE}}{R_E + \frac{R_{eq}}{\beta}}$$

L'altra grandezza di interesse è la V_{CE} :

$$V_{CE} \simeq V_{CC} - I_C (R_C + R_E)$$

Sostituiamo i valori numerici che sono riportati sulle slide:

$$V_{CC} = 12 V, R_{B1} = 36 k \Omega, R_{B2} = 18 k \Omega, R_E = 16 k \Omega, R_C = 22 k \Omega$$

$$\text{Innanzitutto } V_{eq} = 12 V \frac{18 k}{36 k + 18 k} = 4 V \text{ e } R_{eq} = 36 k // 18 k = 12 k$$

$$I_C \simeq \frac{4 - \cancel{0,7}^{\text{Trascurabili}}}{16 k + \frac{12 k}{\cancel{75}}} \simeq 0,25 \text{ mA} \quad V_{CE} \simeq 12 - 0,25 \text{ mA} \cdot 28 k \simeq 4 V$$

Questi valori che abbiamo ottenuto, in questo caso dipendono poco da β , tant'è che al denominatore, il secondo contributo, che dipendeva da β , lo trascuriamo rispetto al primo.

A questo punto tanto vale modificare proprio l'espressione di I_C :

$$I_C \simeq \frac{V_{eq} - V_{BE}}{R_E} \text{ per } \beta \gg 1$$

E' come se nel nostro circuito avessimo introdotto, con la resistenza R_E un fenomeno di **retroazione negativa**, che va in qualche misura a stabilizzare il punto di lavoro, che finisce per essere poco dipendente da come è realizzato il dispositivo.

Questo perchè, all'aumentare di β aumenta $I_C = \beta I_B$, e quindi aumenta anche la caduta su R_E . E questa caduta è tale da ridurre la corrente di base I_B .

Quindi l'aumento di β , grazie alla presenza della resistenza R_E , è compensato da una diminuzione della corrente di base I_B .

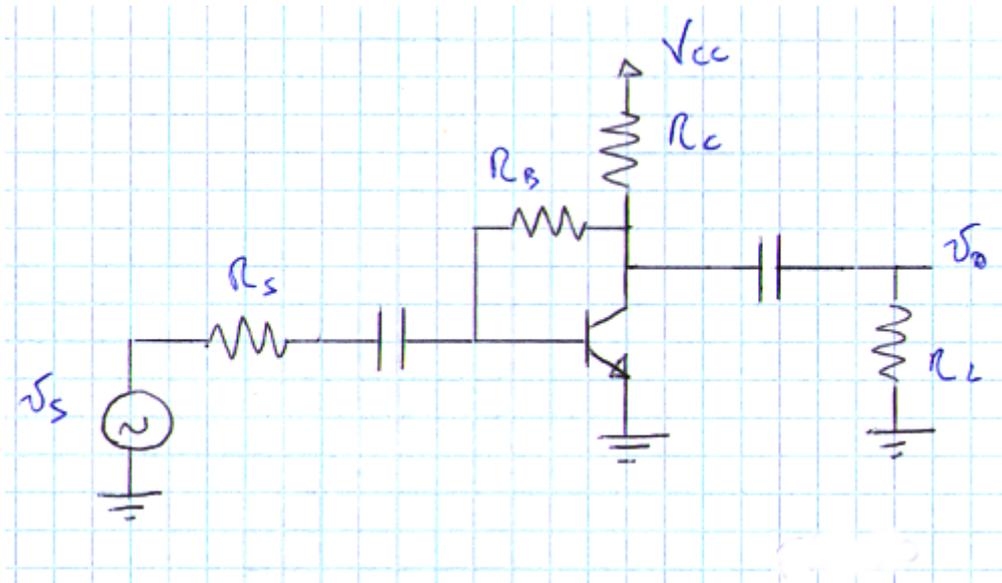
Osserviamo che nemmeno la V_{BE} è nota con esattezza, è attorno a 0,7 V.

In ogni caso anche l'incertezza sulla V_{BE} non produce un'incertezza significativa sulla I_C , perchè comunque il valore incerto di V_{BE} si deve andare a confrontare con la V_{eq} che è molto più grande. Ecco perchè prima l'abbiamo addirittura eliminato.

Da queste osservazioni comprendiamo che le condizioni per la **stabilità del punto di lavoro** sono:

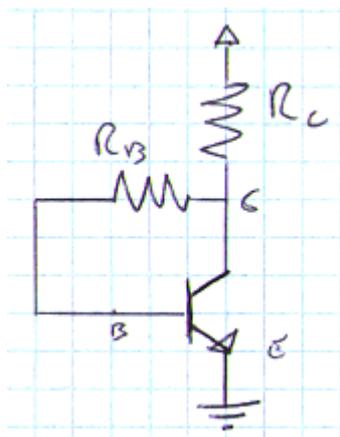
$$\begin{cases} R_E \gg \frac{R_{eq}}{\beta} \\ V_{eq} \gg 0,7 V \end{cases}$$

Soluzione 2:

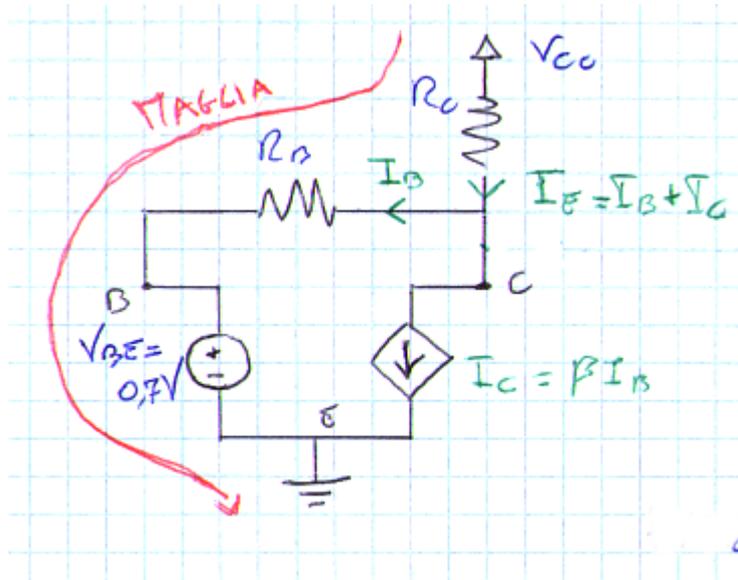


$$\beta \gg 1$$

Polarizzazione



Sostituiamo al posto del transistor il circuito equivalente.



$$V_{CC} = R_C I_E + R_B I_B + V_{BE} \approx R_C I_C + \frac{R_B}{\beta} I_C + V_{BE}$$

$$\begin{matrix} \downarrow & \downarrow \\ \approx I_C & \frac{I_C}{\beta} \end{matrix}$$

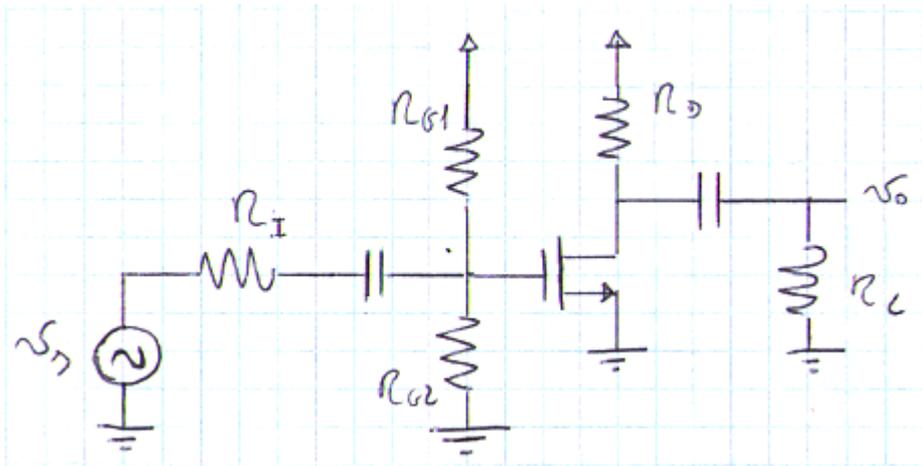
$$\Rightarrow I_C \approx \frac{V_{CC} - V_{BE}}{R_C + \frac{R_B}{\beta}}$$

Indipendente da β (condizione di stabilità) se $R_C \gg \frac{R_B}{\beta}$

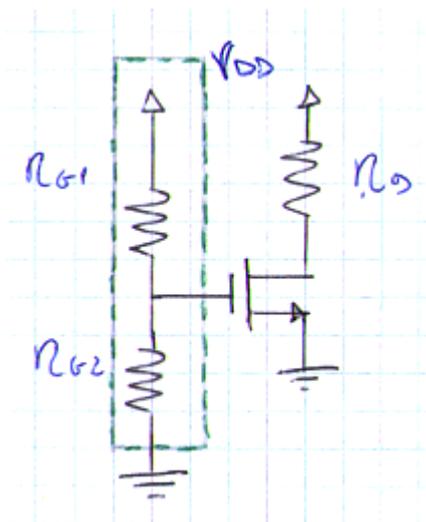
$$V_{CE} = V_{CC} - R_C I_E \simeq V_{CC} - R_C I_C$$

In questo caso quello che ci permette di stabilizzare il punto di lavoro (retroazione negativa) è la presenza di R_C , in quanto all'aumentare di β , aumenta I_C , quindi aumenta la caduta su R_C , quindi diminuisce V_{CE} , quindi si riduce I_B .

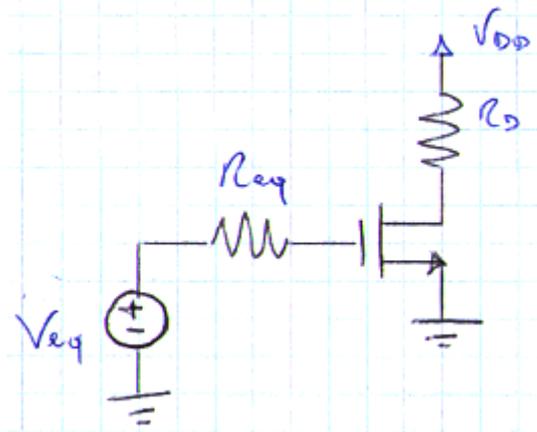
Polarizzazione nell'Amplificatore a Source Comune



Polarizzazione

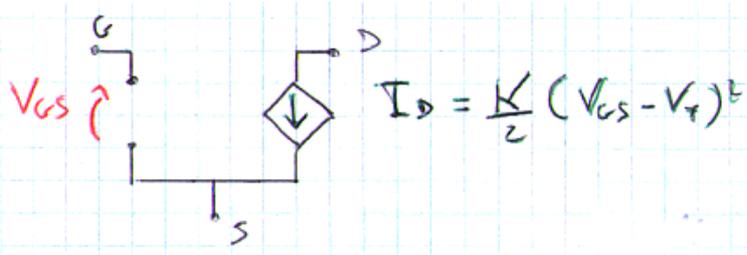


Applichiamo Thevenin alla maglia di ingresso:

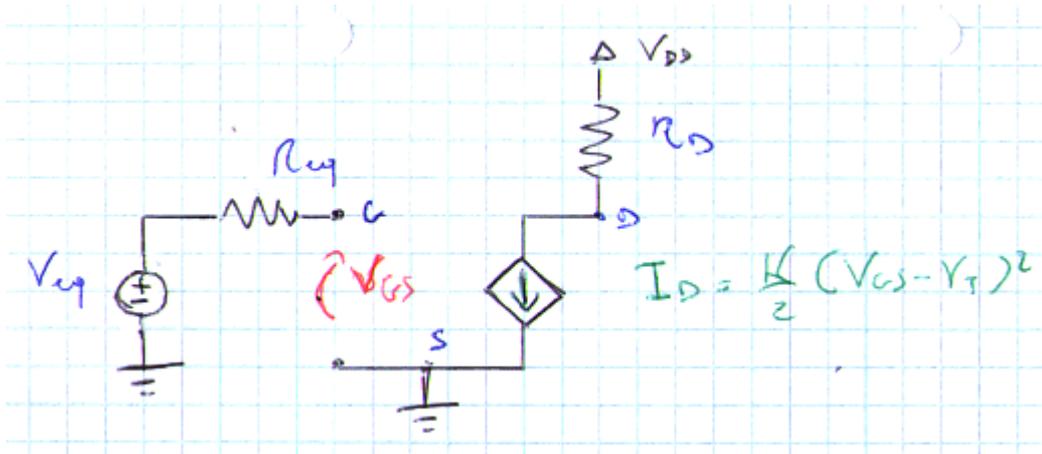


$$V_{eq} = V_{DD} \frac{R_{G2}}{R_{G1} + R_{G2}}$$

Volendo, al posto del transistor, anche in questo caso per facilitarci le cose possiamo applicare un modello in continua (per quando siamo in pinch-off):



Ottenendo il seguente circuito:



Essendo nulla la corrente di gate, $V_{GS} = V_{eq}$

$$\Rightarrow \begin{cases} I_D = \frac{K}{2} (V_{eq} - V_T)^2 & \leftarrow Q \\ V_{DS} = V_{DD} - R_D I_D \end{cases}$$

Q è stabile? Sostituiamo i valori numerici.

Supponiamo che

$$V_{DD} = 10 \text{ V} \quad R_{G1} = 700 \text{ k} \Omega, \quad R_{G2} = 300 \text{ k} \Omega, \quad R_D = 100 \text{ k} \Omega, \quad K = 25 \mu \text{ A/V}^2, \\ V_T = 1 \text{ V}$$

$$V_{eq} = 10 \frac{300\text{k}}{700\text{k} + 300\text{k}} = 3 \text{ V} \Rightarrow$$

$$I_D = \frac{25 \mu}{2} (3 - 1)^2 = 50 \mu \text{ A}, \quad V_{DS} = 10 - 100 \text{ k} \cdot 50 \mu = 5 \text{ V}$$

Il punto di lavoro è piazzato bene.

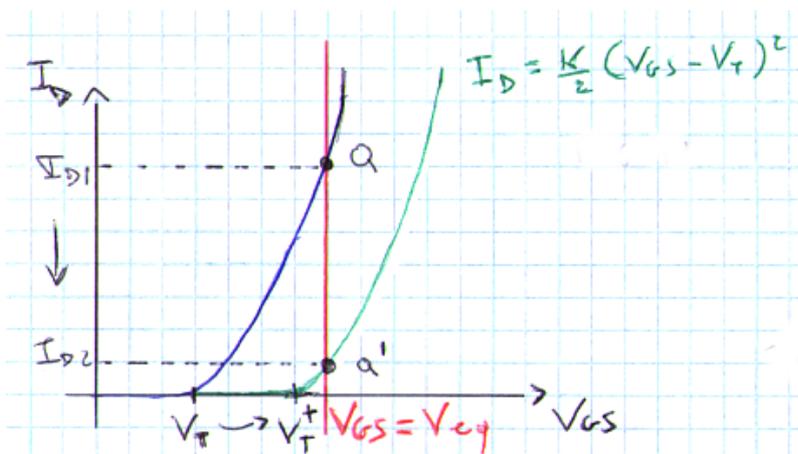
Se tracciamo le caratteristiche del MOS insieme alla retta di carico, ci accorgiamo che il punto di lavoro si trova in zona di pinch-off, perchè è giusto metà della tensione di alimentazione.

Il **problema** è che il punto di lavoro dipende fortemente da K e da V_T .

Questa cosa possiamo vederla anche da un punto di vista grafico.

Riportiamo la I_D in funzione della V_{GS} quando il dispositivo si trova in pinch-off

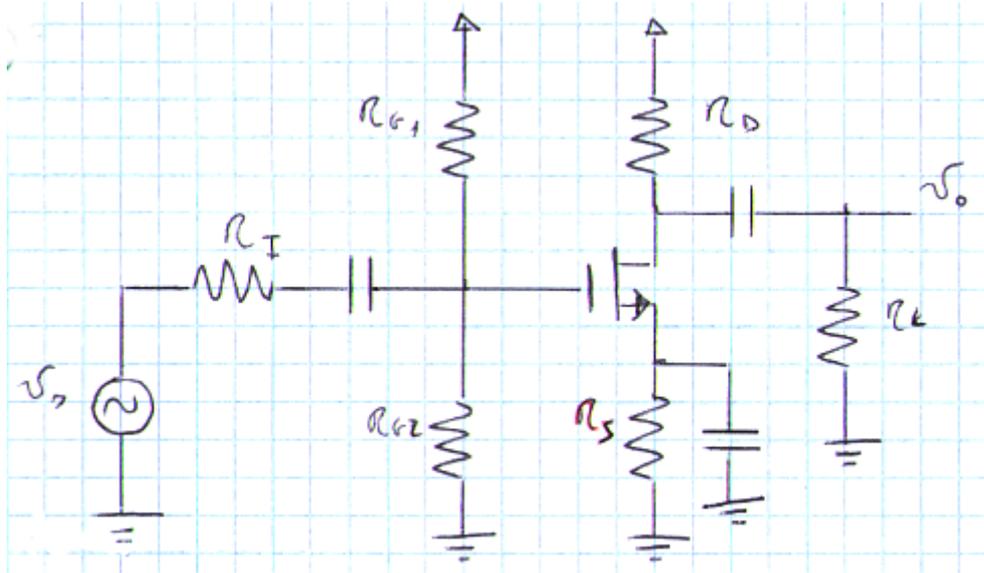
(N.B.: non le caratteristiche del MOSFET, sull'asse delle ascisse sta la V_{GS})



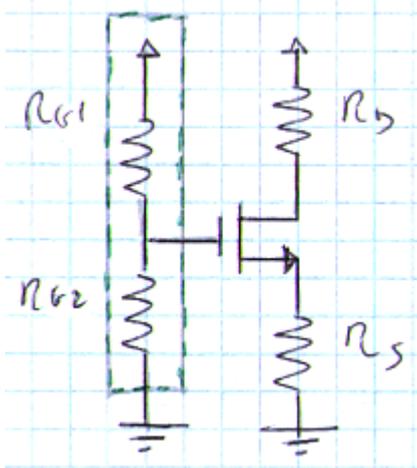
La V_{GS} è costante, se la V_T aumenta, notiamo che la corrente si riduce sensibilmente.

Soluzione 1

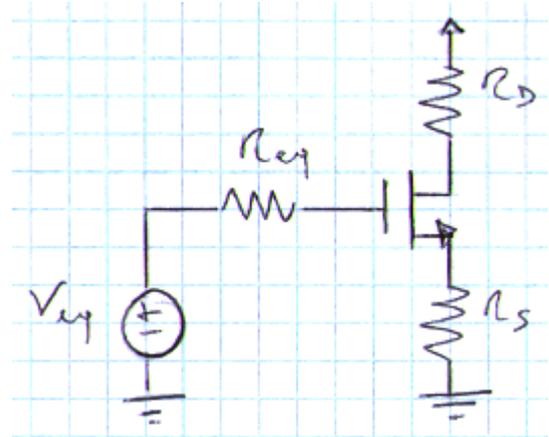
Per stabilizzare il punto di lavoro, così come abbiamo fatto per i transistori bipolari, introduciamo una resistenza di feedback in serie al source, che per le componenti alternative bypassano attraverso un condensatore in parallelo.



Solito studio in continua (polarizzazione):



Thevenin alla maglia di ingresso ↓



Come al solito diamo per scontato di stare in pinch-off:

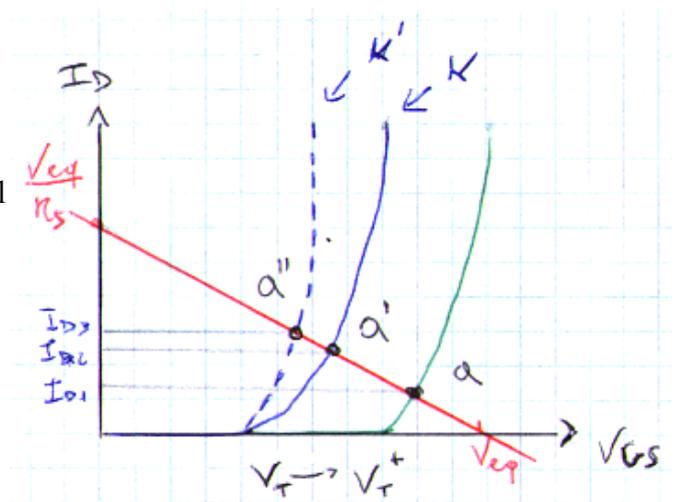
$$I_D = \frac{K}{2} (V_{GS} - V_T)^2$$

$$V_{eq} = V_{GS} + R_S I_D \Rightarrow I_D = \frac{V_{eq} - V_{GS}}{R_S}$$

Vediamo stavolta quanto è sensibile Q al variare di V_T e $K \rightarrow$

Vediamo che le variazioni della corrente di drain del punto di lavoro sono piccole al variare dei suddetti parametri. In particolare sono tanto più piccole quanto meno è pendente la retta di carico, e quindi quanto più è grande R_S .

Quindi effettivamente abbiamo stabilizzato il punto di lavoro.



Intersechiamo analiticamente le equazioni per trovare la I_D del nostro circuito, cioè quella del punto di lavoro:

$$V_{eq} = V_{GS} + R_S \frac{K}{2} (V_{GS} - V_T)^2 \quad \text{Sommo e sottraggo } V_T$$

$$V_{GS} - V_T + R_S \frac{K}{2} (V_{GS} - V_T)^2 + V_T - V_{eq} = 0 \quad \text{Pongo } x \stackrel{\text{def}}{=} V_{GS} - V_T$$

$$x + R_S \frac{K}{2} x^2 + V_T - V_{eq} = 0$$

Quindi ho un'equazione di secondo grado da risolvere (al contrario di quanto accadeva per il circuito con il BJT, in cui la dipendenza tra le varie grandezze di interesse era lineare), e la soluzione con $x > 0$ sarà il valore di $V_{GS} - V_T$ del nostro circuito.

Quindi con R_S abbiamo introdotto una retroazione negativa, così come abbiamo fatto nel caso del dispositivo con il BJT.

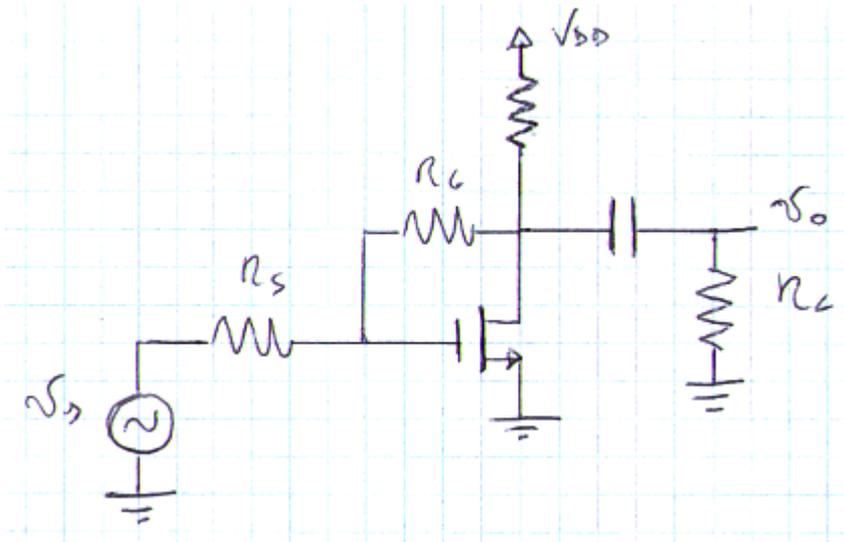
Graficamente ce ne accorgiamo dal fatto che anziché avere una V_{GS} costante, abbiamo una V_{GS} dipendente da I_D , quindi inclinata.

Fisicamente, la resistenza introduce una retroazione negativa perchè se cambiano i parametri, e ad esempio aumenta la corrente di drain, aumenta la caduta su R_S , e si riduce V_{GS} , che quindi va a compensare l'aumento della corrente.

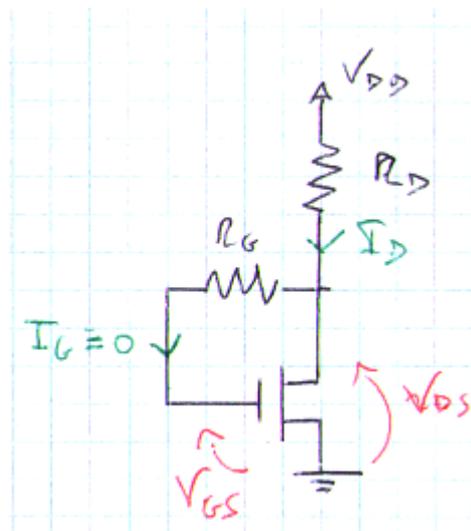
(A sto punto non mi dovrei calcolare la V_{DS} , giacchè $Q : (I_D ; V_{DS})$?)

Soluzione 2:

Mettiamo una resistenza tra gate e drain.



Disegniamo lo schema in continua:



Ovviamente $I_D = \frac{K}{2} (V_{GS} - V_T)^2$

Inoltre $V_{DD} = R_D I_D + V_{GS}$ ($V_{DS} = V_{GS}$)

Intersecando le equazioni, ottengo il punto di lavoro
 $Q : (I_D, V_{DS})$.

In realtà...non l'abbiamo mai fatto, ma si dovrebbe fare, **dobbiamo fare il controllo che il dispositivo sia in pinch-off :**

$$\begin{cases} V_{GS} > V_T \\ V_{DS} > V_{GS} - V_T \end{cases}$$

Lezione 28

Abbiamo visto qualche esempio di circuito di polarizzazione, che come abbiamo detto, ci serve a calcolare il punto Q , il punto di lavoro del nostro circuito.

Lo step successivo è quello di farne il modello per piccoli segnali.

Le capacità esterne, cioè quelle di bypass e di disaccoppiamento le consideriamo come dei cortocircuiti, mentre le capacità interne, cioè quelle parassite, le consideriamo come circuiti aperti. In questo modo noi facciamo l'analisi nel campo delle medie frequenze, in cui non abbiamo né l'effetto passaalto costituito dalle capacità esterne, né l'effetto passabasso dovuto alle capacità interne dei dispositivi.

Nell'analisi per piccoli segnali i occupiamo delle variazioni dei valori rispetto al punto di riposo.

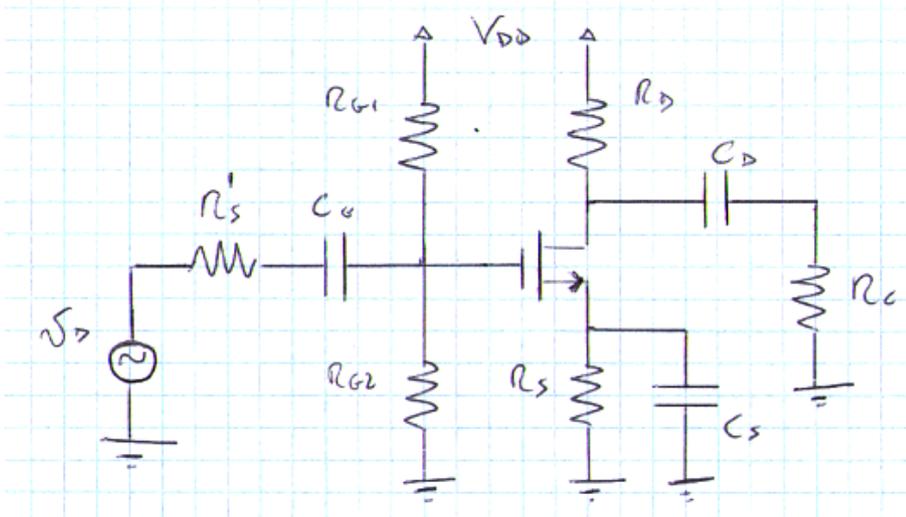
Questo vuol dire che i generatori di tensione costante diventeranno dei cortocircuiti.

Allo stesso modo i generatori di corrente costante, diventeranno dei circuiti aperti.

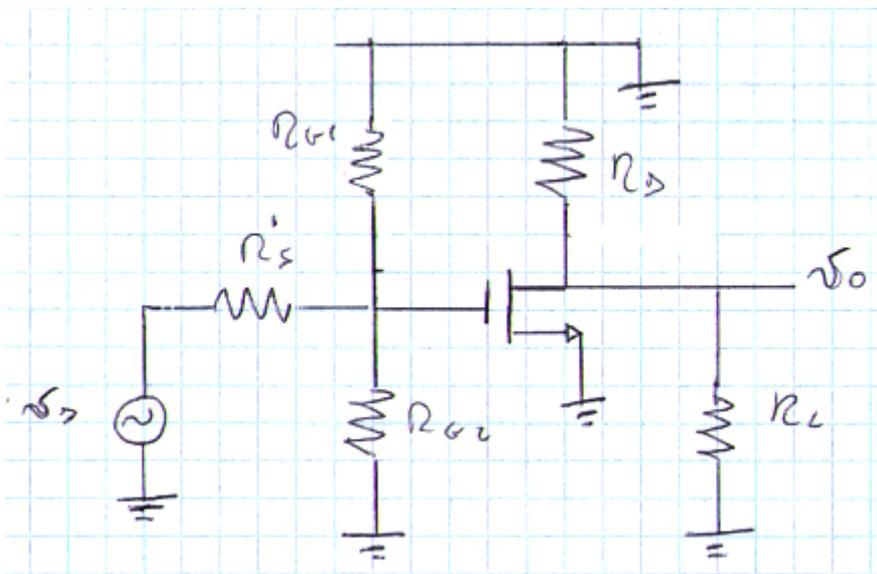
Sia per il MOSFET che per il BJT otterremo dei modelli per piccoli segnali.

Questi modelli sono detti anche **modelli differenziali**, e per definizione sono lineare. Cioè noi abbiamo introdotto proprio i piccoli segnali per poter considerare una zona della caratterisita degli amplificatori che potesse essere approssimabile come lineare.

Analisi per piccoli segnali nell'Amplificatore a Source Comune



Il circuito equivalente per piccoli segnali sarà il seguente:



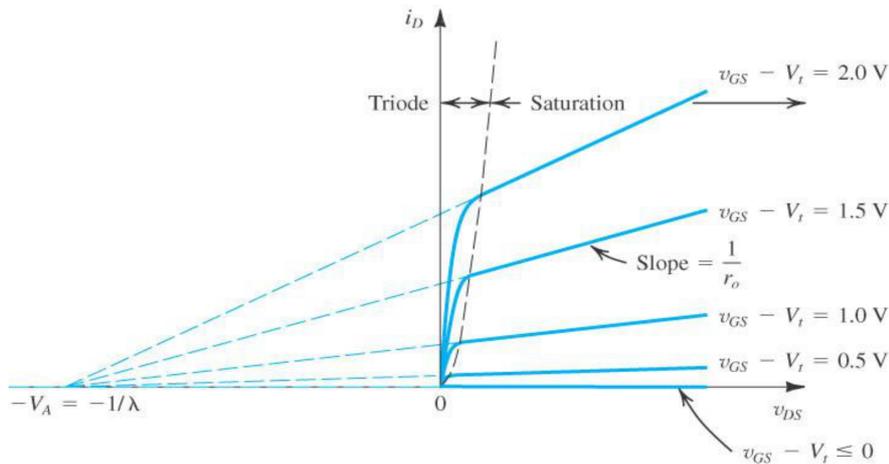
Quindi $R_{G1} // R_{G2}$ e
 $R_D // R_L$

Modello per piccoli segnali del MOSFET

Supponiamo di essere in pinch-off.

$$\text{Quindi } i_D = \frac{1}{2} K (v_{GS} - V_T)^2 (1 + \lambda v_{DS}) \quad \text{dove } \lambda = \frac{1}{V_A}$$

per ora lo trascuriamo



Sostituisco a

i_D e v_{GS} la somma di componente continua e componente variabile:

$$\begin{aligned} i_D &= I_D + i_d \simeq \frac{1}{2} K (V_{GS} + v_{gs} - V_T)^2 = \\ &= \frac{1}{2} K [(V_{GS} - V_T)^2 + 2 v_{gs} (V_{GS} - V_T) + v_{gs}^2] \\ &= \underbrace{\frac{1}{2} K (V_{GS} - V_T)^2}_{\text{Termine di polarizzazione } I_D} + \underbrace{K v_{gs} (V_{GS} - V_T)}_{\text{Termine di segnale } i_d} + \underbrace{\frac{1}{2} K v_{gs}^2}_{\text{Termine di distorsione}} \end{aligned}$$

Quindi la componente di segnale è

$$i_d = \underbrace{K (V_{GS} - V_T)}_{\text{dimensionalmente una conduttanza,}} v_{gs} = \mathbf{g_m} v_{gs}$$

la definiamo $\mathbf{g_m}$

La $\mathbf{g_m} \stackrel{\text{def}}{=} K (V_{GS} - V_T) [\Omega^{-1} \text{ oppure } \frac{A}{V}]$ ha le dimensioni di una conduttanza, ma non è una vera e propria conduttanza, in quanto lega la corrente su un ramo con la tensione da un'altra parte, quindi è una **transconduttanza**.

E' il parametro più importante il dispositivo: maggiore è la transcoduttanza, più il dispositivo amplifica, quindi migliore è il dispositivo.

Dipende da V_{GS} , quindi da come abbiamo polarizzato il dispositivo.

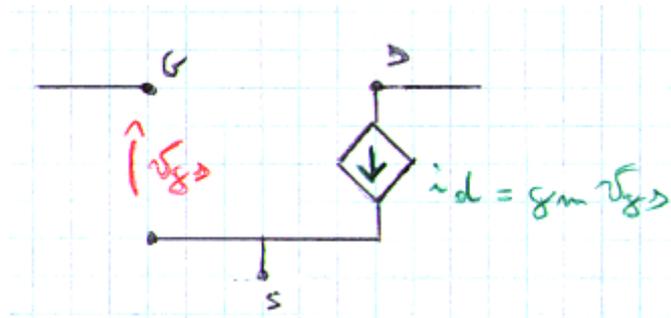
Possiamo scriverla in funzione della corrente di polarizzazione I_D (la prima delle tre parentesi graffe sopra).

$$g_m = (\text{moltiplico e divido per } 2 (V_{GS} - V_T)) = \frac{2K (V_{GS} - V_T)^2}{2 (V_{GS} - V_T)} = \frac{2 I_D}{V_{GS} - V_T}$$

Sapendo che $V_{GS} - V_T = \sqrt{\frac{2}{K} I_D} \Rightarrow g_m = \sqrt{2 K I_D}$

Osservazione: Possiamo aumentare il guadagno aumentando la corrente di polarizzazione. La controindicazione è che aumentando I_D , aumento la dissipazione di potenza. Siccome la g_m è legata alla radice della I_D , notiamo che c'è bisogno di un aumento notevole della I_D per avere un aumento della g_m .

Il **modello a piccoli segnali del MOSFET** sarà:



Questo modello risulta valido (**condizione di piccolo segnale**) quando il termine di distorsione è trascurabile rispetto al termine di segnale, quindi quando

$$\frac{1}{2} K v_{gs}^2 \ll K (V_{GS} - V_T) v_{gs} \Rightarrow v_{gs} \ll 2 (V_{GS} - V_T)$$

Possiamo trovare l'espressione della g_m in un modo alternativo:

Noi sappiamo che in zona di pinch-off, sempre trascurando l'effetto della modulazione del canale:

$$i_D = \frac{1}{2} K (v_{GS} - V_T)^2 = f(v_{GS})$$

Lo sviluppo in serie di Taylor intorno alla V_{GS} (relativa al punto di lavoro) è

$$i_D = \underbrace{f(V_{GS})}_{\text{Termine di polarizzazione}} + \underbrace{f'(V_{GS}) v_{gs}}_{\text{Termine di segnale } i_d} + \underbrace{\frac{1}{2} f''(V_{GS}) v_{gs}^2 + \dots}_{\text{Termine di distorsione}}$$

Termine di polarizzazione I_D
 Termine di segnale i_d
 Termine di distorsione

Quindi la $g_m = f'(V_{GS}) = \frac{1}{2} K 2 (v_{GS} - V_T) \Big|_{V_{GS}} = K (V_{GS} - V_T)$

Ci troviamo lo stesso risultato di prima.

Proviamo a portare in conto anche il termine dovuto alla modulazione del canale

$$(1 + \lambda v_{DS})$$

La i_D dipende non solo dalla v_{GS} ma anche dalla v_{DS} :

$$i_D = f(v_{GS}, v_{DS}) = \frac{1}{2} K (v_{GS} - V_T)^2 (1 + \lambda v_{DS})$$

Sviluppiamo in serie di Taylor in 2 variabili intorno a (V_{DS}, V_{GS}) relativi al punto Q di lavoro. (anche se tecnicamente il punto di lavoro è corrente di drain e V_{DS} , però abbuò, ci sarà anche un V_{GS} corrispondente a tale punto)

$$i_D = \underbrace{f(V_{GS}, V_{DS})}_{I_D} + \underbrace{\frac{\partial f}{\partial v_{GS}} \Big|_{\substack{v_{DS}=V_{DS} \\ v_{GS}=V_{GS}}} v_{gs} + \frac{\partial f}{\partial v_{DS}} \Big|_{\substack{v_{DS}=V_{DS} \\ v_{GS}=V_{GS}}} v_{ds}}_{i_d} + \dots$$

$$I_D = \frac{1}{2} K (V_{GS} - V_T)^2 (1 + \lambda V_{DS}) \simeq \frac{1}{2} K (V_{GS} - V_T)^2$$

$$\underbrace{\frac{V_{DS}}{V_A} \simeq 0}$$

$$\frac{\partial f}{\partial v_{GS}} \Big|_{\substack{v_{DS}=V_{DS} \\ v_{GS}=V_{GS}}} = \frac{1}{2} K 2 [V_{GS} - V_T] (1 + \lambda V_{DS}) \simeq K [V_{GS} - V_T]$$

$$\underbrace{\frac{V_{DS}}{V_A} \simeq 0}$$

$$\frac{\partial f}{\partial v_{GS}} \Big|_{\substack{v_{DS}=V_{DS} \\ v_{GS}=V_{GS}}} = \frac{1}{2} K [V_{GS} - V_T] \lambda \simeq I_D \lambda = \frac{I_D}{V_A}$$

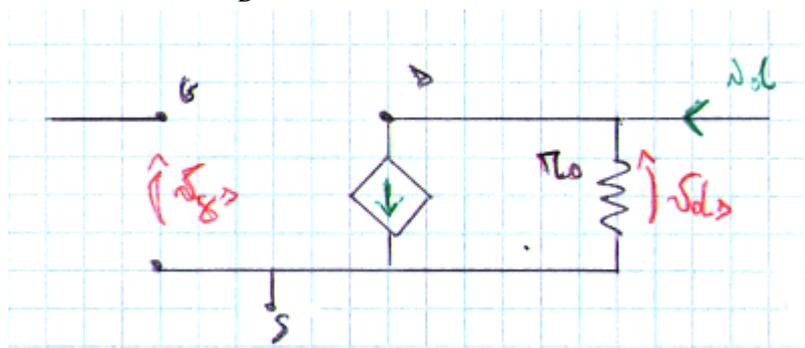
Quindi i_D ha approssimativamente la stessa componente continua, mentre la componente di segnale è la componente di segnale di prima più un termine aggiuntivo dipendente da v_{ds} .

In particolare la componente di segnale è:

$$i_d = g_m v_{gs} + \frac{I_D}{V_A} v_{ds} \quad \text{Detto } r_0 \stackrel{\text{def}}{=} \frac{V_A}{I_D}, \text{ possiamo scrivere sinteticamente:}$$

$$i_d = g_m v_{gs} + \frac{v_{ds}}{r_0}$$

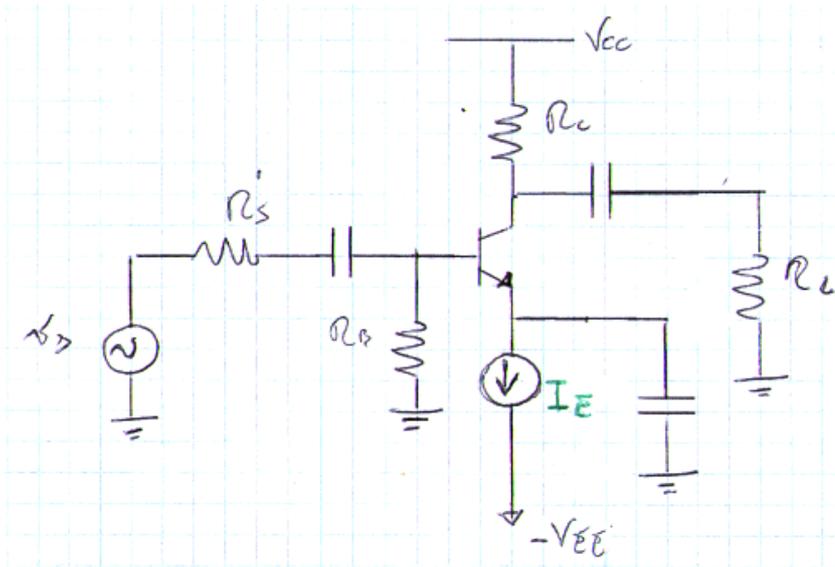
Quindi il modello diventa



Questo è il modello a piccoli segnali più preciso per il MOSFET.

V_A è dell'ordine delle centinaia di V, e I_D è dell'ordine dei mA, quindi r_0 è dell'ordine delle centinaia di $K \Omega$. Siccome è molto grande, spesso viene trascurata.

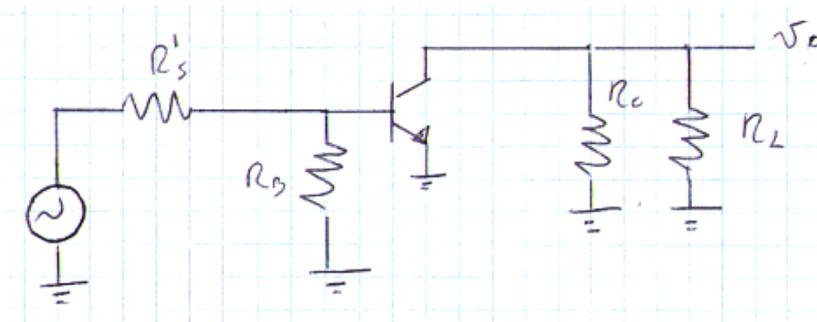
Analisi per piccoli segnali nell'Amplificatore a Emittore Comune



In questo caso stiamo ipotizzando di poter alimentare il circuito sfruttando un generatore di corrente che piazziamo sull'emettitore.

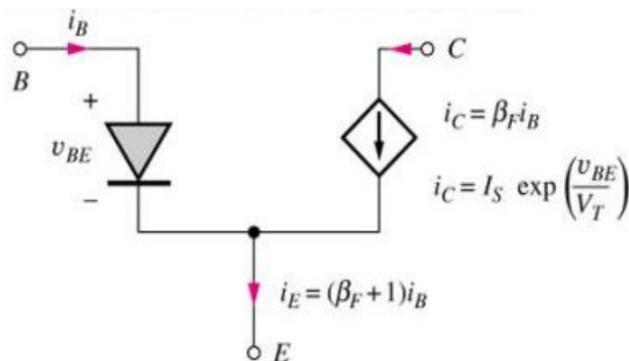
Il circuito così costituito è polarizzato correttamente, perchè la corrente viene imposta al generatore di corrente sull'emettitore, e quindi è polarizzato bene [?].

Il circuito equivalente per i piccoli segnali è il seguente:



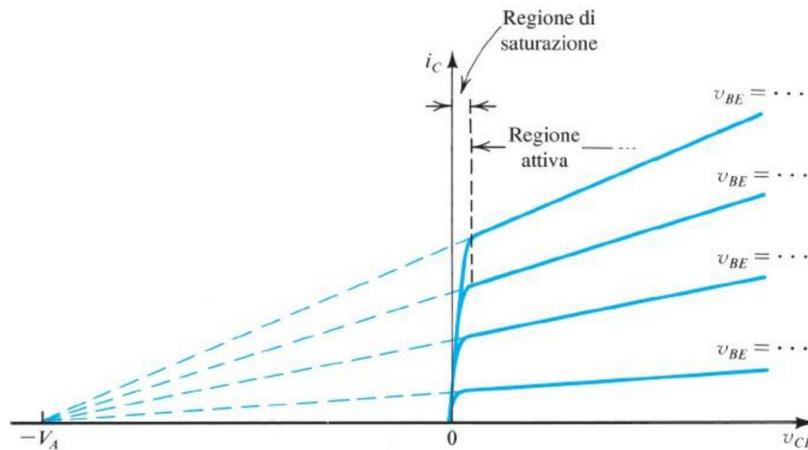
Modello per piccoli segnali del BJT

Abbiamo detto che il modello più accurato per il transistor bipolare è il seguente:



$$i_C = \beta i_B = I_S e^{\frac{v_{BE}}{V_T}} \Rightarrow i_B = \frac{1}{\beta} I_S e^{\frac{v_{BE}}{V_T}}$$

Si può dimostrare, e sta cosa non l'abbiamo detta quando abbiamo parlato dei BJT, che anche per le caratteristiche del BJT abbiamo un effetto simile all'effetto della modulazione del canale del MOSFET. Questo effetto va sotto il nome di **effetto Early**:



Quindi anche per il transistoro bipolare dobbiamo aggiungere un termine correttivo

$$i_C = \beta i_B = I_S e^{\frac{v_{BE}}{V_T}} \left(1 + \frac{v_{CE}}{V_A} \right)$$

Così come abbiamo fatto con il mosfet, supponiamo inizialmente che questo termine sia trascurabile.

Sviluppiamo in serie di Taylor $i_c = f(v_{BE})$ intorno a V_{BE} (relativa al punto di lavoro) è :

$$i_c = f(v_{BE}) = \underbrace{f(V_{BE})}_{\text{Termine di polarizzazione } I_C} + \underbrace{f'(V_{BE}) v_{be}}_{\text{Termine di segnale } i_c} + \underbrace{\frac{1}{2} f''(V_{BE}) v_{be}^2 + \dots}_{\text{Termine di distorsione}}$$

$$I_C = I_S e^{\frac{V_{BE}}{V_T}}$$

$$i_c = \underbrace{\frac{I_S}{V_T} e^{\frac{V_{BE}}{V_T}}}_{\text{in questo contesto definiamo } g_m \text{ quest'altra grandezza}} v_{be} = g_m v_{be}$$

in questo contesto

definiamo g_m

quest'altra grandezza

g_m anche in questo caso è una transcoduttanza, e volendola scrivere meglio:

$$g_m = \frac{I_S}{V_T} e^{\frac{V_{BE}}{V_T}} = \frac{I_C}{V_T}$$

Volendo fare un confronto tra le g_m :

Notiamo che nel secondo caso la relazione tra la transconduttanza e la corrente assorbita (in questo

cosa I_C , nell'altro caso I_D) è lineare, nell'altro è legato alla radice quadrata. Quindi notiamo che a parità di corrente assorbita, il BJT amplifica di più.

Comunque se ci facciamo i conti la g_m del BJT è tipo di un ordine di grandezza più grande (mi scoccio di verificare, e poi non mi ricordo quant'è la tensione termica)

Vediamo la **condizione per piccolo segnale**:

$$\frac{1}{2} f''(V_{BE}) v_{be}^2 \ll f'(V_{BE}) v_{be} \quad (\text{i termini di ordine superiore al secondo non ce li cachiamo proprio})$$

$$\frac{1}{2} \frac{I_S}{V_T^2} e^{\frac{V_{BE}}{V_T}} v_{be}^2 \ll \frac{I_S}{V_T} e^{\frac{V_{BE}}{V_T}} v_{be}$$

$$v_{be} \ll 2 V_T$$

Le condizioni di piccolo segnale sono più stringenti nel caso del BJT (verifica gli ordini di grandezza delle condizioni di piccolo segnale nel caso del MOSFET e in quest'ultimo caso, e te ne accorgi), fermo restando che il BJT amplifica di più.

Nel caso del BJT dobbiamo anche considerare il termine relativo alla corrente di base, che invece non abbiamo nel caso del transistor MOS (nel senso di corrente di gate).

Seguiamo sempre lo stesso procedimento.

Sappiamo che $i_B = \frac{1}{\beta} I_S e^{\frac{V_{BE}}{V_T}}$. Questa relazione la chiamo $i_B = g(V_{BE})$.

Sviluppiamo sempre in serie di Taylor arrestata al secondo ordine $g(V_{BE})$ intorno a V_{BE} relativa al punto di lavoro.

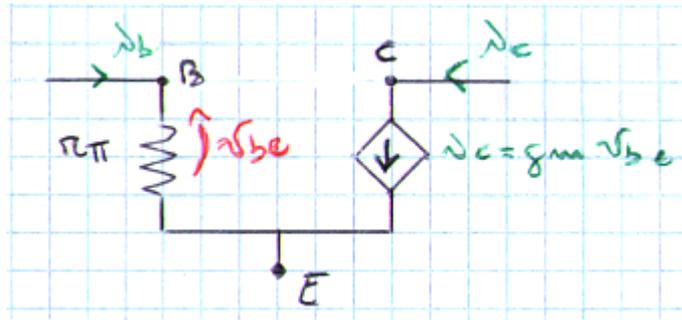
$$i_B = g(V_{BE}) = \underbrace{g(V_{BE})}_{I_B} + \underbrace{g'(V_{BE}) v_{be}}_{i_b} + \underbrace{\frac{1}{2} g''(V_{BE}) v_{be}^2}_{\text{distorsione che è trascurabile se vale la stessa condizione di piccolo segnale scritta in precedenza}}$$

$$\text{Quindi } I_B = \frac{1}{\beta} I_S e^{\frac{V_{BE}}{V_T}} = \frac{I_C}{\beta}$$

$$i_b = \left(\frac{1}{\beta} \frac{I_S}{V_T} e^{\frac{V_{BE}}{V_T}} \right) v_{be} = \frac{I_B}{V_T} v_{be} = \frac{g_m}{\beta} v_{be}$$

$$\text{Possiamo definire } r_\pi \stackrel{\text{def}}{=} \frac{\beta}{g_m} = \frac{V_T}{I_B}, \text{ e quindi possiamo scrivere } i_b = \frac{v_{be}}{r_\pi}$$

Il modello che viene fuori da tutte queste relazioni è il seguente:



Se **consideriamo il termine aggiuntivo dovuto all'effetto Early**:

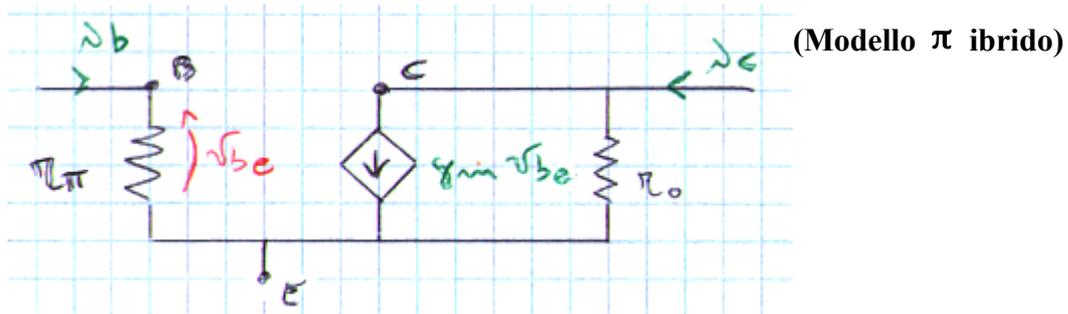
$$i_c = \beta i_b = I_S e^{\frac{v_{BE}}{V_T}} \left(1 + \frac{v_{CE}}{V_A} \right)$$

Facendo esattamente gli **stessi** conti fatti per il modello del MOSFET nel quale portavamo in contro la modulazione del canale, troviamo che dobbiamo aggiungere un termine alla i_c che dipende da v_{ce} :

$$i_c = g_m v_{be} + \frac{I_C}{V_A} v_{ce} . \quad \text{Detto } r_0 \stackrel{\text{def}}{=} \frac{V_A}{I_C} , \text{ possiamo scrivere sinteticamente:}$$

$$i_c = g_m v_{be} + \frac{v_{ce}}{r_0}$$

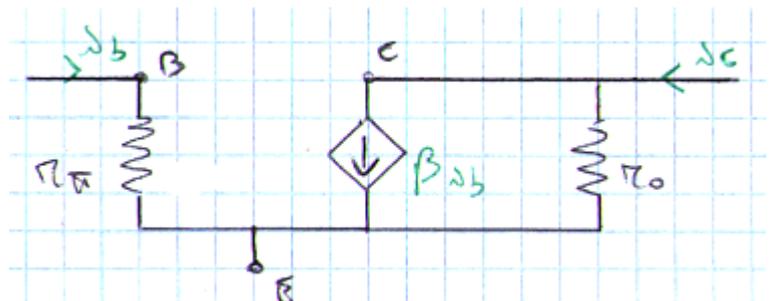
Quindi otteniamo il seguente modello più preciso:



Un modello equivalente (che poi affinale è proprio lo stesso):

$$g_m v_{be} = g_m r_\pi i_b = \beta i_b$$

Quindi sostanzialmente al posto di evidenziare il generatore come controllato dalla tensione, evidenziamo che è controllato dalla corrente, ma sostanzialmente i_b e v_{be} sono legate tra loro, quindi il modello è del tutto equivalente.

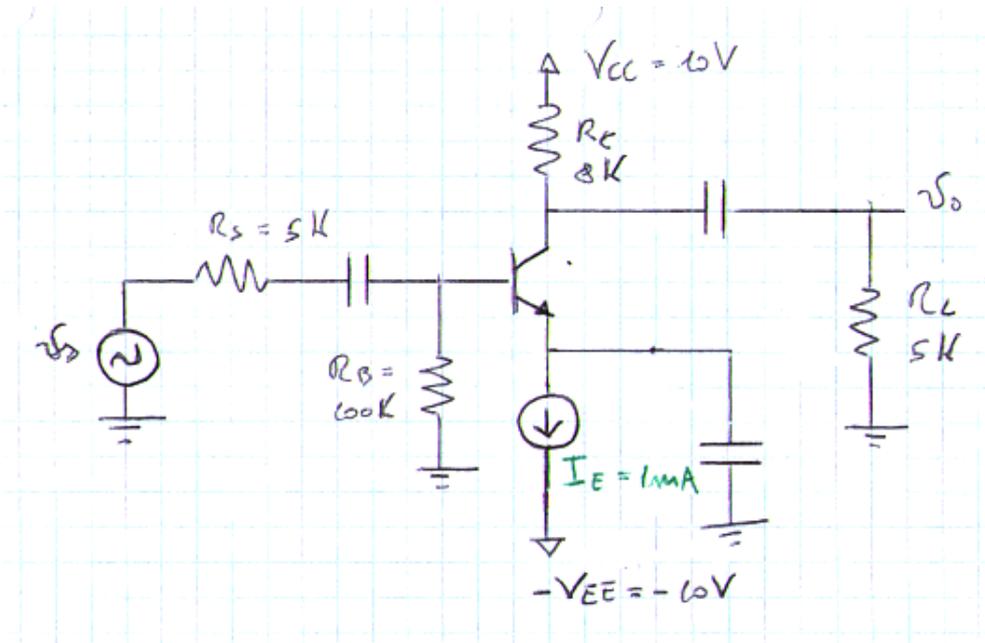


Lezione 29

Nelle ultime due lezioni abbiamo studiato prima la polarizzazione negli amplificatori e poi i loro modelli per piccolo segnale.

Mettiamo insieme queste conoscenze per studiare dei semplici amplificatori.

Amplificatore ad Emettore Comune



$$\beta = 100$$

$$V_A = 100 V$$

(non ho capito bene perchè bellebbuono ha messo il generatore di corrente e il generatore di tensione negativa $-V_{EE}$, credo per supporre di aver già polarizzato il circuito, ma non ne sono sicuro, chiedete al prof)

Studio della Polarizzazione

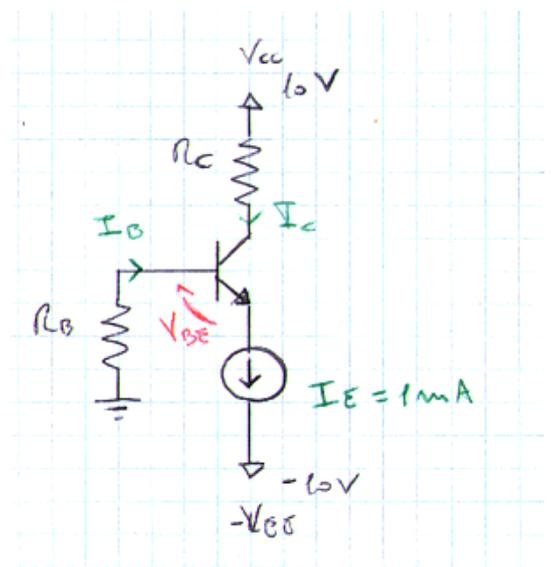
Dobbiamo calcolare $Q(I_C; V_{CE})$

Da qui poi possiamo calcolare i **parametri a piccoli segnali**, quindi:

$$g_m = \frac{I_C}{V_T} \quad r_\pi = \frac{\beta}{g_m} \quad r_o = \frac{V_A}{I_C}$$

$$I_C = \alpha I_E \simeq I_E = 1 mA$$

$$I_B = \frac{I_C}{\beta} \simeq 10 \mu A$$



$$V_{CE} = V_C - V_E = (V_{CC} - R_C I_C) - (V_B - V_{BE}) = (10 - 8) - (-R_B I_B - 0,7) = 3,7 V$$

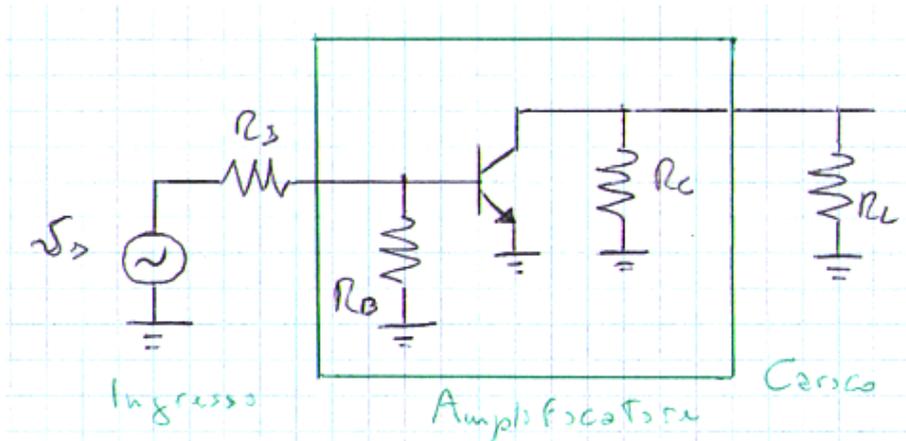
↑
ci è utile per controllare di essere in regione attiva diretta (e in questo caso lo siamo)

Ora possiamo calcolare i parametri differenziali:

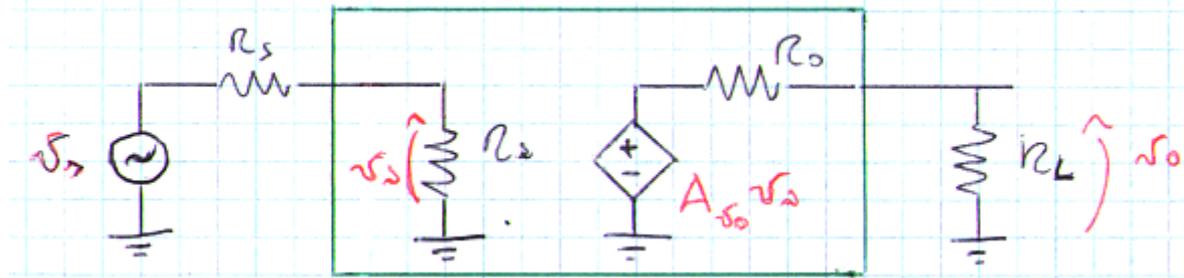
$$g_m = \frac{1 \text{ m}}{25 \text{ m}} = 40 \text{ mA/V} \quad r_\pi = \frac{100 \text{ k}}{40} = 2,5 \text{ k} \Omega \quad r_o = \frac{100}{1 \text{ m}} = 100 \text{ k} \Omega$$

Questi parametri ci servono per passare all'....

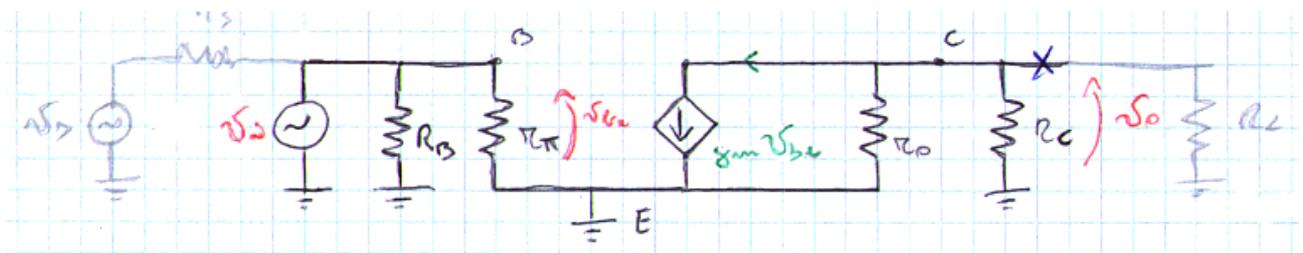
Analisi per piccoli segnali



Cercheremo di ottenere i parametri per riportarci al modello equivalente generale:



Innanzitutto riscriviamo il circuito a piccoli segnali sostituendo al transistor il suo modello per piccoli segnali, in particolare il modello π :



Si intuisce facilmente che $R_i = R_B // r_\pi \approx 2,5 \text{ k} \Omega$

La R_o è la resistenza equivalente che si osserva tra il morsetto indicato con la x blu e emettitore, quindi spengo il generatore indipendente all' ingresso \Rightarrow la v_{be} è nulla \Rightarrow il generatore controllato è spento e viene fuori che

$$R_o = r_o // R_C \approx R_C = 8 \text{ k} \Omega$$

Per quanto riguarda il guadagno a vuoto, il rapporto tra la tensione di uscita **in assenza di carico** e la tensione di ingresso:

$$A_{v_o} \stackrel{\text{def}}{=} \frac{v_o}{v_i} = \frac{-g_m v_{be} (r_o // R_C)}{v_{be}} = -g_m (r_o // R_C) \approx -g_m R_C = -40 \text{ m} \cdot 8 \text{ k} = -320$$

Quindi il guadagno è negativo, ma questo non rappresenta un problema.

Comunque stiamo considerando il caso in cui non sia presente il carico, e che la resistenza in serie al generatore di ingresso sia nulla.

Se considerassimo anche queste ultime, dovremmo considerare un partitore in ingresso e un partitore in uscita (n.b.: prima dell'inserimento del carico, la tensione di uscita è quella impressa dal generatore controllato, perchè la caduta sulla resistenza di uscita è nulla, in quanto non c'è corrente)

$$\text{e quindi l'uscita sarebbe } v_o = \left[A_{v_o} \frac{R_i}{R_i + R_S} \frac{R_L}{R_L + R_o} \right] v_S$$

$$\text{Quindi il guadagno effettivo: } A = \left[A_{v_o} \frac{R_i}{R_i + R_S} \frac{R_L}{R_L + R_o} \right] = -320 \frac{2,5}{7,5} \frac{5}{13} \simeq -45$$

Come aumentiamo il guadagno?

Dovremmo aumentare la g_m , ma aumentare la g_m vuol dire aumentare I_C , il che ci dà qualche problema di dissipazione di potenza.

Comunque, al di là di questo fatto, c'è un'altra osservazione che possiamo fare.

Supponiamo di aumentare I_C . Aumentare I_C vuol dire aumentare il generatore di corrente sull'emettitore. Se con questo generatore imprimo una corrente molto grande, la V_{CE} può cambiare e portarmi in un punto di lavoro che può essere di saturazione.

Quindi aumentando I_C devo diminuire R_C per cercare di mantenere costante V_{CE} .

Quindi non è proprio semplice aumentare il guadagno dell'amplificatore aumentando la I_C .

Proviamo a fare un conto di massima per capire quanto potrebbe essere il guadagno che possiamo aspettarci dall'amplificatore.

Il conto lo facciamo su A_{v_o} , anche se poi sappiamo che il guadagno sarà più piccolo a causa di quelle resistenze.

$$A_{v_o} \simeq -g_m R_C = -\frac{I_C}{V_T} R_C =$$

$I_C R_C$ è la caduta in continua sulla resistenza R_C , chiamiamola V^* , che è frazione della tensione di alimentazione: $-\frac{\eta V_{CC}}{V_T}$ con $\eta < 1$.

[il prof ha sbagliato i calcoli, non continuo.... comunque la conclusione del suo ragionamento era che bene o male l'amplificatore riesce ad avere un guadagno negativo pari a una decina di volte la tensione di amplificazione]

Guadagno massimo teorico

Otterremo il guadagno massimo possibile quando:

- il partitore in ingresso è unitario $\Rightarrow R_S \ll R_i$
- il partitore in uscita è unitario $\Rightarrow R_L \gg R_o$
- $R_C \gg r_o$ [??? ma R_C e R_o non erano tipo la stessa cosa?! E quindi deve essere molto grande o molto piccolo?!]

In questo modo, il guadagno massimo teorico (detto **coefficiente di amplificazione**) è

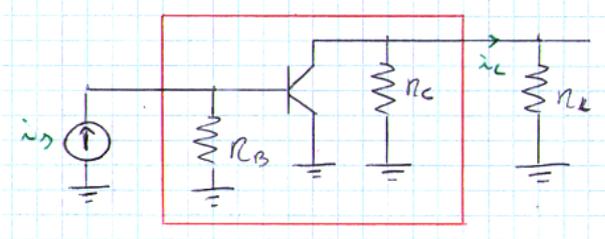
$$\mu = g_m r_o$$

E' un limite superiore per il guadagno dell'amplificatore.

Tralaltro possiamo riscriverlo:
$$\mu = \frac{I_C}{V_T} \frac{V_A}{I_C} = \frac{V_A}{V_T}$$

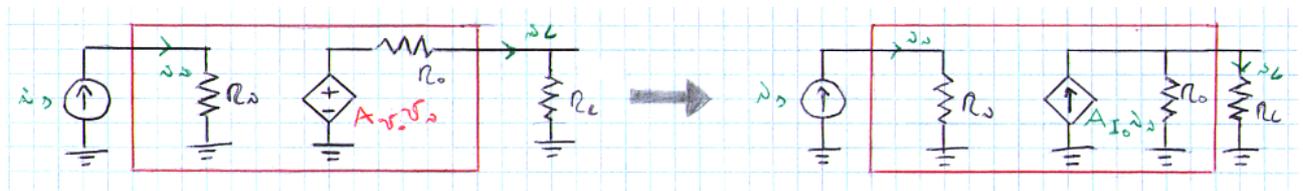
Amplificatore a Elettore comune come Amplificatore di Corrente

Supponiamo che al nostro amplificatore sia applicato in ingresso un generatore di corrente i_s . Vogliamo calcolare il rapporto tra la corrente di uscita e quella di ingresso, cioè il guadagno di corrente.



Possiamo sfruttare tutti i calcoli che abbiamo fatto in precedenza e che ci hanno consentito di modellare il circuito con lo schema equivalente che include l'equivalente di Thevenin sulla maglia di uscita. L'unica cosa che dobbiamo fare è trasformare lo schema equivalente dell'amplificatore: in uscita, anziché mettere l'equivalente di Thevenin, mettiamo l'equivalente di Norton.

In ingresso, la resistenza R_i rimane la stessa. E chiaramente anche R_o è la stessa, in quanto resistenze equivalenti di Thevenin e Norton dello stesso circuito.



La corrente di ingresso $i_i \equiv i_s$,

La corrente di uscita (partitore di corrente)
$$i_L = A_{I_o} i_s \frac{R_o}{R_o + R_L} .$$

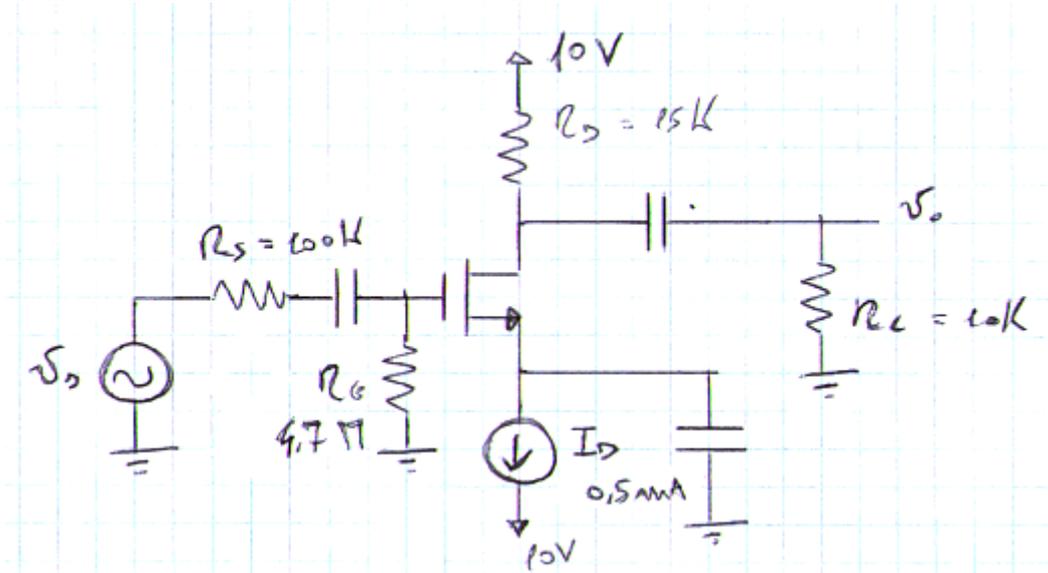
Quindi, l'unica cosa che dobbiamo fare è calcolare A_{I_o} .

Imponiamo che la tensione di uscita a vuoto dei due generatori equivalenti sia la stessa:

$$A_{v_o} v_i = A_{I_o} i_i R_o . \quad \text{Ma } v_i = R_i i_i , \text{ quindi } A_{v_o} R_i i_i = A_{I_o} i_i R_o .$$

Da cui
$$A_{I_o} = A_{v_o} \frac{R_i}{R_o}$$

Amplificatore a Source Comune



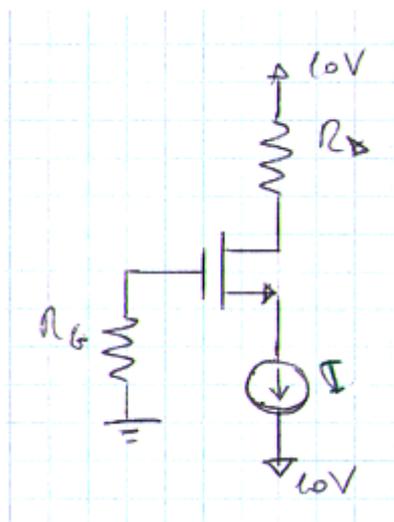
Supponiamo che

la tensione di soglia sia $V_T = 1,5 V$

$K = 1 mA/V$

la tensione di Early $V_A = 75 V$

Polarizzazione



$$I_D = 0,5 mA .$$

Per quanto riguarda la V_{GS} ,

Siccome siamo in zona di pinch-off, $I_D = \frac{K}{2} (V_{GS} - V_T)^2$,

$$\text{quindi } V_{GS} - V_T = \sqrt{\frac{2 I_D}{K}} = 1 V \Rightarrow V_{GS} = 2,5 V .$$

In continua, il potenziale sulla gate, siccome la corrente $I_G = 0$, la caduta su R_G è zero, quindi il potenziale sulla gate $V_G = 0$.

Ma $V_{GS} = 2,5 V$, quindi il potenziale il source si trova a potenziale $V_S = -2,5 V$.

Il potenziale sul drain sarà la tensione di alimentazione meno la caduta su R_D :

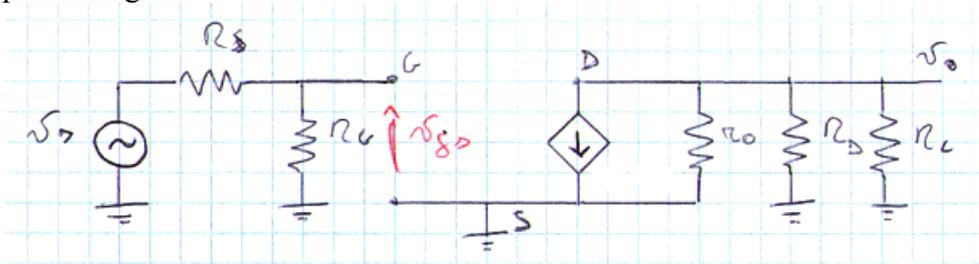
$$V_D = V_{DD} - I_D R_D = 10 - 0,5 m 15 k = 2,5 V \quad \Rightarrow \quad V_{DS} = 5 V$$

Siamo in pinch-off? [...] Si.

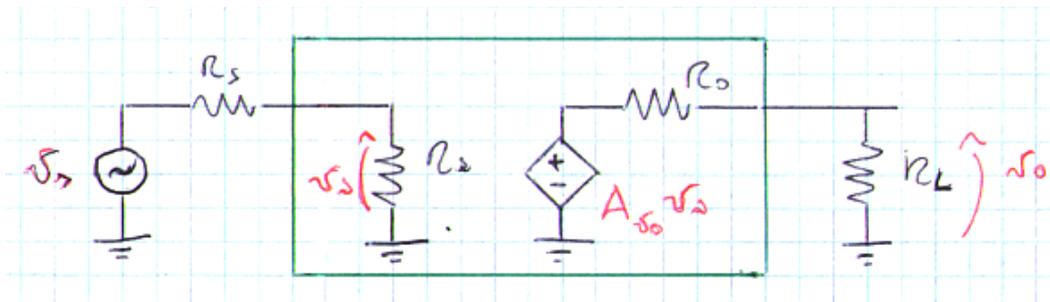
Calcoliamo i parametri differenziali:

$$g_m = \frac{2 I_D}{V_{GS} - V_T} = \frac{1 mA}{1 V} = 1 mA/V \quad r_o = \frac{V_A}{I_D} = \frac{75}{0,5} = 150 k \Omega$$

Analisi per piccoli segnali



cerchiamo di rifarci al solito modello:



Innanzitutto, essendo $R_D \ll r_o$, $R_o = r_o // R_D \simeq R_D = 15 \text{ k} \Omega$.

$$R_i = R_G = 4,7 \text{ M} \Omega$$

La resistenza di ingresso è molto più grande di quella del transistor bipolare. In quel caso era limitata dalla presenza di r_π .

Il guadagno a vuoto (tensione di uscita in assenza di carico fratto tensione in ingresso):

$$A_{v_o} \stackrel{\text{def}}{=} \frac{v_o}{v_i} = \frac{-g_m v_{gs} (r_o // R_D)}{v_{gs}} = -g_m (r_o // R_D) \simeq -g_m R_D = -15$$

Notiamo che rispetto al -320 dell'amp a emettitore comune, è un ordine di grandezza più piccolo. Questo è dovuto al fatto che è il g_m ad essere di un ordine di grandezza più piccolo.

Il guadagno complessivo (quindi considerando anche la resistenza in serie al generatore in ingresso e la resistenza di carico in uscita):

$$A = \left[A_{v_o} \underbrace{\frac{R_i}{R_i + R_s}}_{\simeq 1 \text{ perchè } R_i \gg R_s} \frac{R_L}{R_L + R_o} \right] = -\frac{15 \cdot 1 \cdot 10}{15 + 10} \simeq -6 \quad (\text{molto peggio del caso col BJT})$$

L'ordine di grandezza di A_{v_o} è circa quello della tensione di alimentazione, quindi un ordine di grandezza inferiore rispetto al caso col BJT.

Guadagno massimo teorico

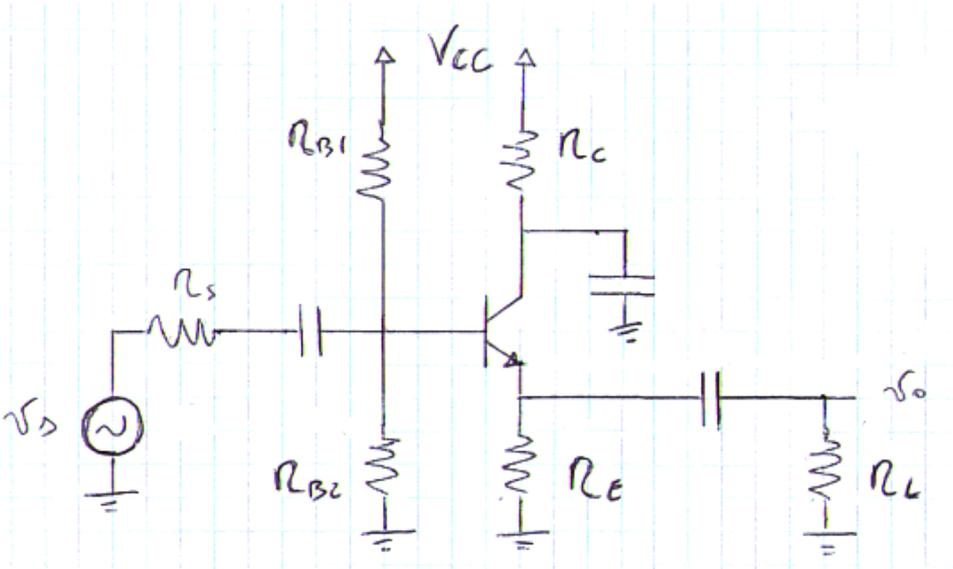
$$\mu = g_m r_o = \frac{2 I_D}{V_{GS} - V_T} \frac{V_A}{I_D} = \frac{2 V_A}{V_{GS} - V_T} \simeq 150$$

Lezione 30

Oggi studieremo gli amplificatori a **collettore comune** e a **drain comune**.

Sono ancora degli amplificatori elementari che utilizzano un unico transistor, ma questo è collegato in maniera diversa rispetto a quanto visto finora. Chiaramente anche le caratteristiche saranno diverse di conseguenza.

Amplificatore a Collettore Comune (Inseguitore di Emettore)

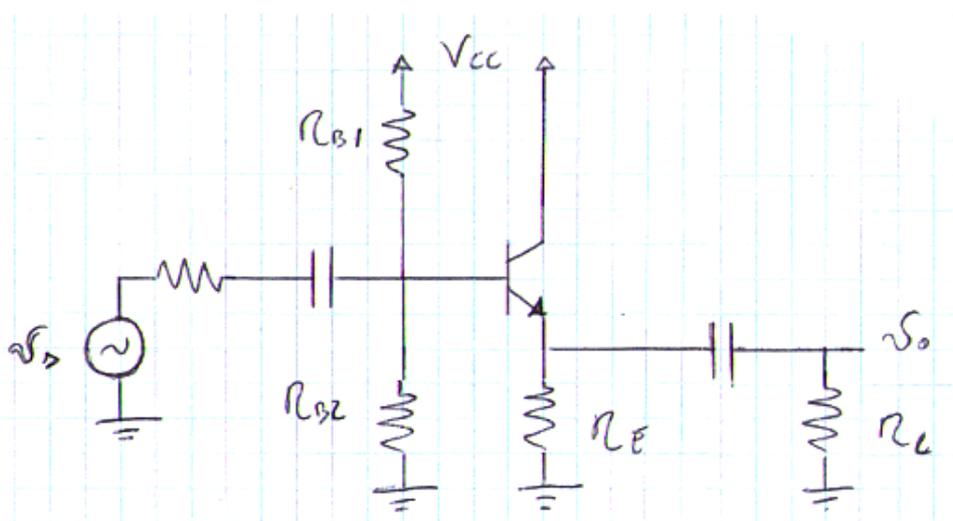


Preleviamo l'uscita, anziché dal collettore, dall'emettitore.

Il collettore è comune tra la maglie di ingresso e di uscita, quindi è collegato a massa (in realtà il collegamento viene fatto tramite un condensatore di disaccoppiamento (di bypass), in modo tale da avere il collettore a massa solo per le componenti alternative).

Il collettore non può essere messo a massa senza condensatore, altrimenti la polarizzazione del circuito non è più valida.

Osservazione: La resistenza R_C : nel circuito ad emettitore comune quella resistenza era necessaria perchè noi andavamo a prelevare il segnale dal morsetto di collettore. Ora che prelevo l'uscita dall'emettitore non c'è più motivo di avere quella resistenza, quindi posso semplificare il circuito collegando il collettore direttamente alla tensione di alimentazione. Chiaramente elimino anche la capacità di bypass.

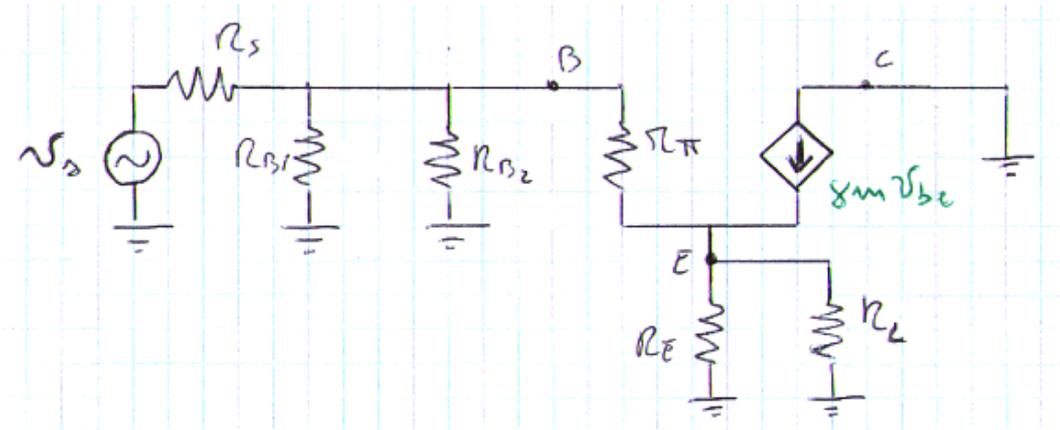


N.B.: Nel circuito ad emettitore comune, noi prelevavamo il segnale dal collettore, per cui avevamo una resistenza R_E bypassata dalla capacità. In quel caso non posso fare questo ragionamento e cortocircuitare quella resistenza, perchè R_E mi serviva a stabilizzare il punto di lavoro.

Studiamo il circuito:

Saltiamo l'analisi della polarizzazione e supponiamo di aver già trovato il punto di lavoro.

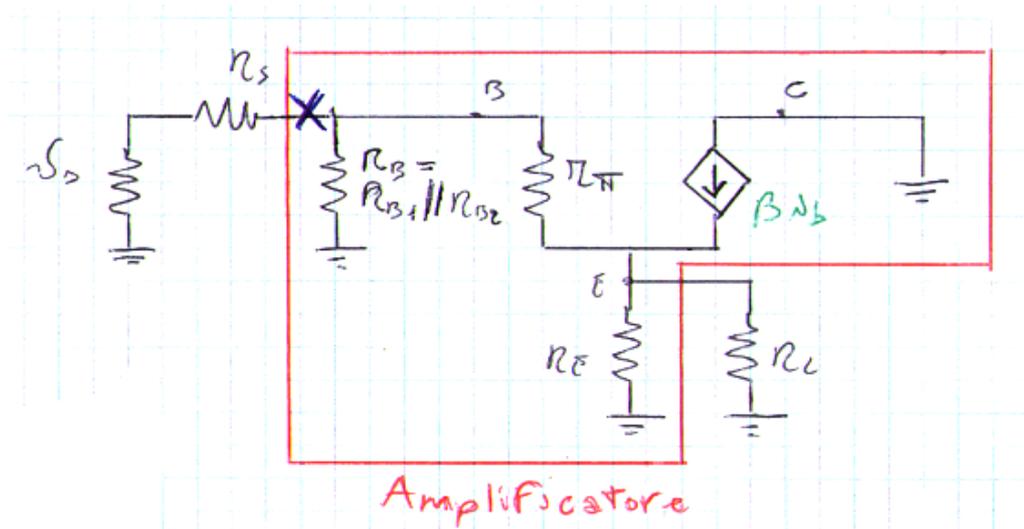
Passiamo all'analisi per piccoli segnali:



Trascuriamo la resistenza r_0 perchè il suo valore è così grande che può essere trascurata.

Potevamo usare il modello a piccoli segnali per il BJT alternativo, quello con il generatore di corrente controllato in corrente.

Usiamo quello:



Calcoliamo i parametri fondamentali: resistenza di ingresso, resistenza di uscita e guadagno a vuoto.

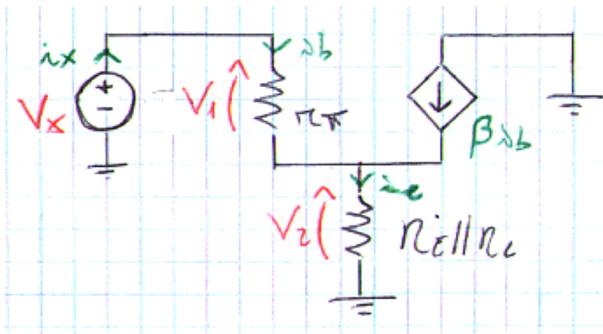
Calcoliamo la resistenza di ingresso R_i :

E' la resistenza che vedo tra il punto segnato con la x e massa.

Quindi R_i sarà il parallelo tra R_B e la resistenza equivalente del circuito a destra di R_B , chiamiamo quest'ultima resistenza R'_i .

$$R_i = R_B // R'_i .$$

Per calcolare R'_i metto in ingresso al circuito (a destra di R_B) un generatore di prova V_x , e ne valuto la corrente i_x . Dopodichè, ovviamente $R'_i \stackrel{\text{def}}{=} \frac{V_x}{i_x}$



Abbiamo che $i_x \equiv i_b$

$$V_x = V_1 + V_2 = i_b r_\pi + (\beta + 1) i_b \cdot (R_E // R_L)$$

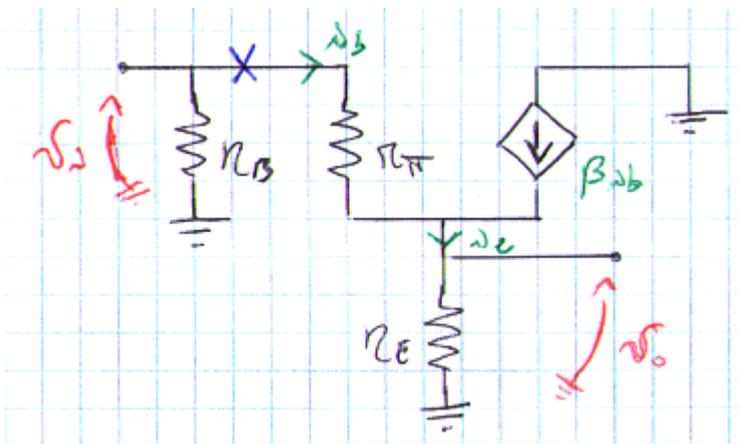
$$R'_i = \frac{V_x}{i_b} = r_\pi + (\beta + 1) \cdot (R_E // R_L)$$

$$R_i = R_B // [r_\pi + (\beta + 1) \cdot (R_E // R_L)]$$

Notiamo che nel caso dell'amplificatore a emettitore comune avevamo $R_i = R_B // r_\pi$.

Il termine R'_i è molto più grande di r_π (perchè è r_π più un'altra resistenza moltiplicata per $\beta + 1 \approx 100$). Quindi possiamo concludere che nel circuito a collettore comune la resistenza di ingresso è molto più grande rispetto all'amplificatore ad emettitore comune.

Calcoliamo il guadagno a vuoto A_{v_o} :



$$A_{v_o} \stackrel{\text{def}}{=} \frac{v_o}{v_i}$$

La corrente i_b è data dal rapporto di v_i con la resistenza che si vede tra la x e massa.

La resistenza che si osserva tra la x e massa è la stessa che abbiamo trovato prima, salvo il fatto che non ho più il parallelo tra R_E e R_L , ma solo R_E .

La chiamo di nuovo R'_i . Quindi $R'_i = r_\pi + (\beta + 1) \cdot R_E$

$$i_b = \frac{v_i}{R'_i} \quad v_o = i_e R_E = (\beta + 1) i_b R_E = (\beta + 1) R_E \frac{v_i}{R'_i}$$

$$A_{v_o} \stackrel{\text{def}}{=} \frac{v_o}{v_i} = \frac{(\beta+1)R_E \frac{v_i}{R'_i}}{v_i} = \frac{(\beta+1)R_E}{R'_i} = \frac{(\beta+1)R_E}{r_\pi + (\beta+1) \cdot R_E}$$

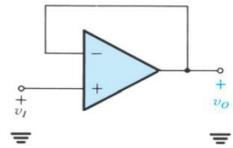
$A_{v_o} > 0$, il circuito è non invertente (il circuito ad emettitore comune invece aveva un guadagno negativo)

$A_{v_o} < 1$ (denominatore $>$ numeratore), ma è prossimo a 1 perchè $(\beta+1)R_E \gg r_\pi$.

Quindi $A_{v_o} \simeq 1$.

Abbiamo un guadagno circa unitario, non invertente; una resistenza d'ingresso molto grande. Vedremo anche che la resistenza di uscita è molto piccola, quindi il circuito si comporta da **buffer**:

con un guadagno unitario, R_i molto grande e R_o molto piccola.



Può servire come separatore, per collegare un generatore di segnali con elevata resistenza di ingresso ad un carico con una resistenza molto più piccola, senza avere un partitore di tensione che mi abbassa il trasferimento di segnale.

Tornando all'espressione di A_{v_o} , posso trascurare il termine "+1", poiché $\beta \gg 1$, e quindi avere

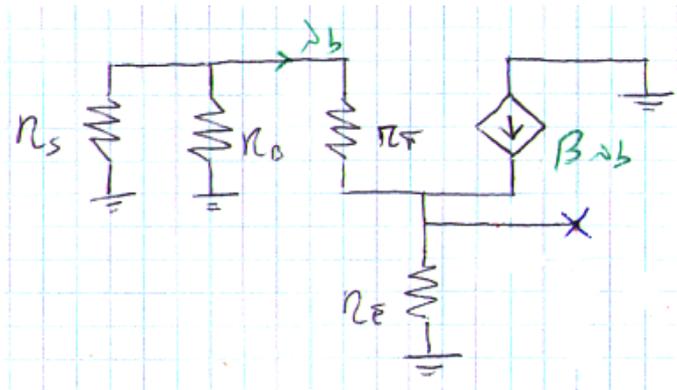
$$A_{v_o} = \frac{\beta R_E}{r_\pi + \beta R_E} \quad , \text{ ma } \beta = g_m r_\pi \quad , \text{ quindi}$$

$$A_{v_o} = \frac{g_m r_\pi R_E}{r_\pi + g_m r_\pi R_E} = \frac{g_m R_E}{1 + g_m R_E}$$

Questa espressione è equivalente alla precedente, ma, non comparando β e r_π , **è valida anche per l'amplificatore a drain comune.**

Calcoliamo la resistenza di uscita R_o :

E' la resistenza che vedo togliendo il carico e guardando sull'emettitore, quindi è il morsetto che vedo tra il punto x e massa. *Non capisco perchè ci abbiamo lasciato R_S*

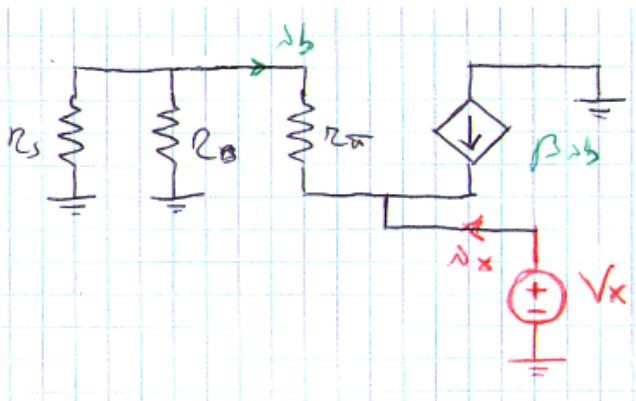


Procedo come nel caso di R_i .

Nota che R_E è in parallelo col resto del circuito, per cui detta R'_o la resistenza equivalente del circuito in parallelo a R_E , si ha che:

$$R_o = R_E // R'_o$$

Per calcolare R'_o metto in generatore di prova V_x e misuro la corrispondente corrente i_x .



$$i_x = i_b + \beta i_b \qquad i_b = -\frac{V_x}{r_\pi + (R_S // R_B)}$$

$$i_x = -i_b(1 + \beta) = \frac{V_x(1 + \beta)}{r_\pi + (R_S // R_B)}$$

$$R'_o = \frac{V_x}{i_x} = \frac{r_\pi + (R_S // R_B)}{\beta + 1} \quad \text{che è di valore molto piccolo perchè divisa per } \beta + 1$$

$$R_o = R_E // R'_o \simeq R'_o \quad \text{perchè } R'_o \ll R_E$$

Quindi la resistenza di uscita ha un valore molto piccolo.

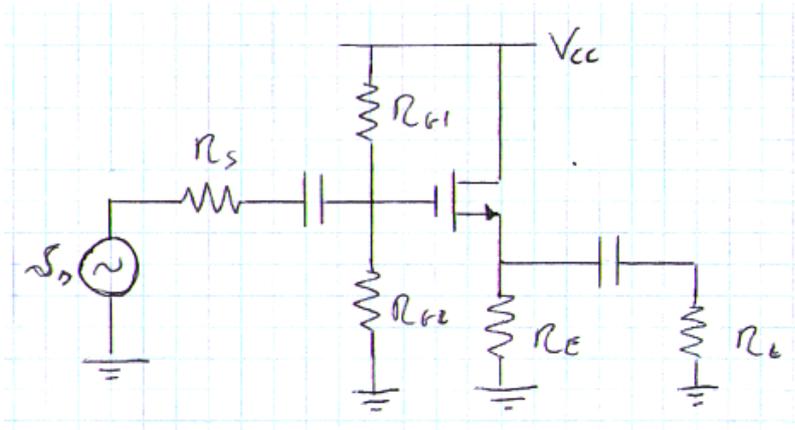
Questo circuito viene spesso chiamato **Inseguitore di Emittitore**, perchè la tensione sull'emettitore segue la tensione di ingresso (è giusto un po' più piccola), però la fa vedere su una resistenza di uscita molto piccola.

Amplificatore a Drain Comune (Inseguitore di Source)

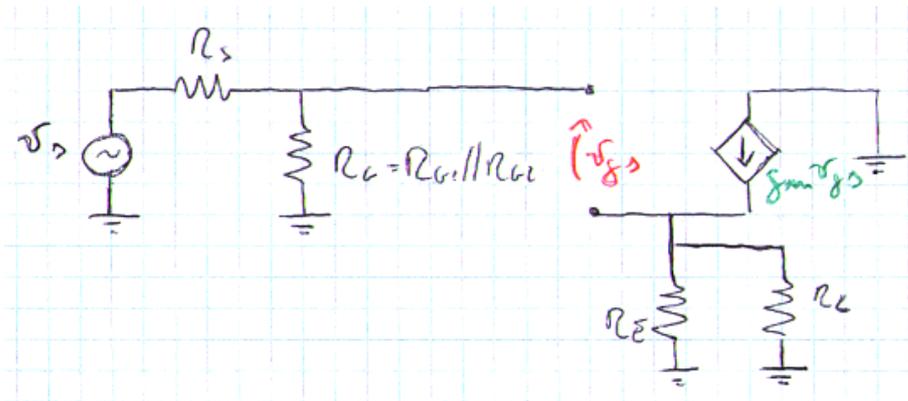
Abbiamo visto queste caratteristiche per l'amplificatore a collettore comune, i risultati nel circuito a drain comune sono analoghi.

La resistenza di uscita vedremo che è anche in questo caso molto piccola.

La resistenza di ingresso viene infinita, perchè era già infinita nell'amplificatore a source comune, perchè il mosfet c'ha una resistenza di ingresso elevatissima [?]

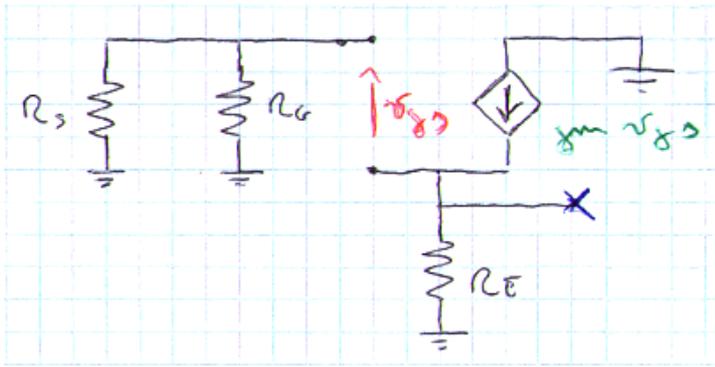


Il circuito a piccoli segnali:



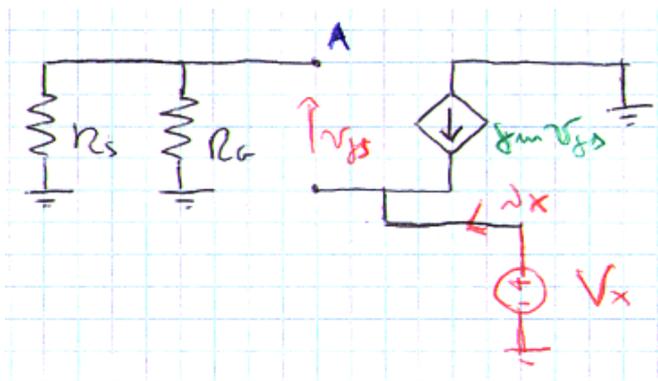
Verifichiamo quanto vale R_o

Per calcolare R_o elimino R_L e spengo v_s .



Come prima, R_o è la resistenza che si osserva tra la x e massa.

E' il parallelo tra R_E e la resistenza equivalente del resto del circuito R'_o , quindi come prima, tolgo R_E , metto la tensione di prova e valuto la relativa corrente:



Si ha che $i_x = -g_m v_{gs}$

e $v_{gs} = -v_x$ (perchè non ho corrente che passa in R_G e R_S , quindi il morsetto A è a massa)

Quindi $i_x = g_m v_x$

Da cui $R'_o = \frac{1}{g_m}$ e quindi

Quindi effettivamente abbiamo ottenuto di nuovo un valore molto piccolo, perchè comunque la transconduttanza deve essere un valore molto grande.

Riassumendo:

Le caratteristiche del circuito a collettore comune e a drain comune sono:

- 1) sono non invertenti
- 2) guadagno a vuoto all'incirca 1, leggermente minore di uno
- 3) R_i elevata
- 4) R_o bassa

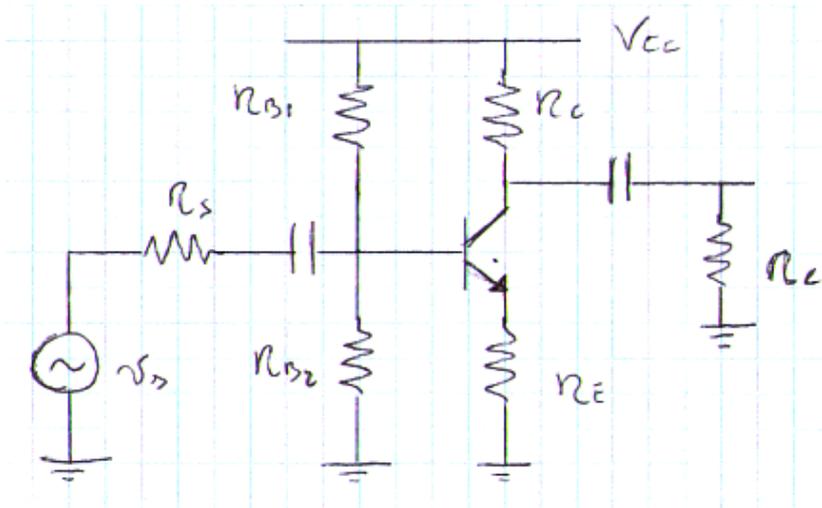
Amplificatore ad Emittitore Comune con resistenza sull'emittore

(Potremmo fare l'analogo col MOSFET, ma i risultati sarebbero gli stessi, vediamo solo la configurazione col BJT)

E' un ibrido tra collettore comune e emittitore comune.

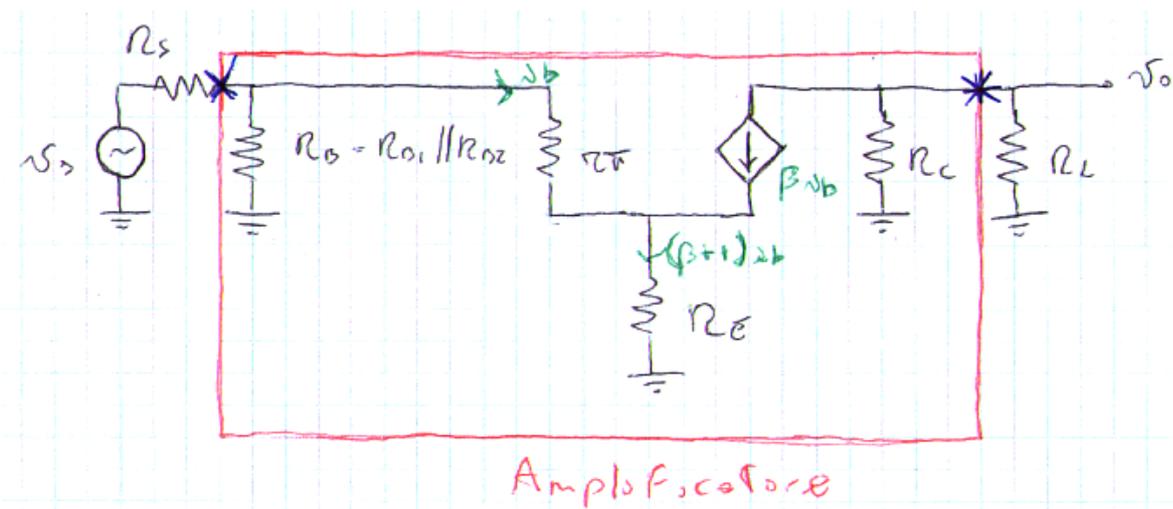
Cioè prendiamo l'uscita dal collettore, come nell'emittitore comune, ma abbiamo la resistenza R_E non bypassata dinamicamente, come nel collettore comune.

Il fatto che non abbiamo l'emittitore a massa, e quindi che non abbiamo che l'emittitore è comune alla maglia di ingresso e a quella di uscita, ci fa capire che chiamare il circuito "a emittitore comune" sia improprio.



Supponiamo di aver già trovato il punto di lavoro.

Analisi a piccoli segnali



stiamo di nuovo trascurando la r_o perchè molto elevata.

La resistenza di ingresso R_i del circuito è quella che vedo tra la x e massa, quindi seguendo lo stesso ragionamento fatto per il circuito a collettore comune:

$$R_i = R_B // [r_\pi + (\beta + 1) R_E]$$

perchè questo circuito è esattamente uguale a quello a collettore comune per quanto riguarda R_i .
 La presenza delle due resistenze R_C e R_L non altera il valore di i_b né della corrente di emettitore.

Quindi il fatto di non aver bypassato R_E fa sì che la resistenza d'ingresso sia elevata, molto più grande di un circuito ad emettitore comune.

La resistenza di uscita R_o del circuito è quella che vedo dal punto * a massa, dopo aver azzerato il generatore v_s .

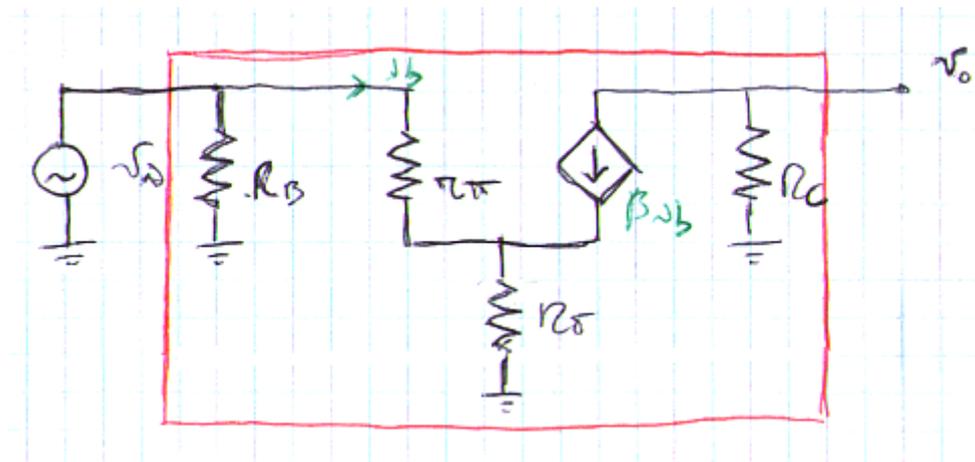
Vedo certamente R_C con il resto del circuito in parallelo, ma nel fare questo calcolo, il generatore di ingresso è zero, quindi i_b è zero, quindi anche il generatore controllato, quindi vedo solo R_C .

In definitiva $R_o = R_C$.

Proprio come nel circuito ad emettitore comune (dovrebbe esserci anche r_o , che ho trascurato).

Il **guadagno a vuoto** A_{v_o} :

Metto una v_i in ingresso e levo la resistenza di carico. $A_{v_o} \stackrel{\text{def}}{=} \frac{v_o}{v_i}$



Conviene esprimere v_o e v_i in funzione di i_b .

$$v_o = -\beta i_b R_C$$

$$v_i = r_\pi i_b + (\beta + 1) R_E i_b$$

$$\text{Quindi } A_{v_o} = \frac{-\beta i_b R_C}{r_\pi i_b + (\beta + 1) R_E i_b} = -\frac{\beta R_C}{r_\pi + (\beta + 1) R_E}$$

Se trascuro 1 rispetto a β , vedo che $r_\pi \ll \beta R_E$ e trascuro anche r_π , ottengo

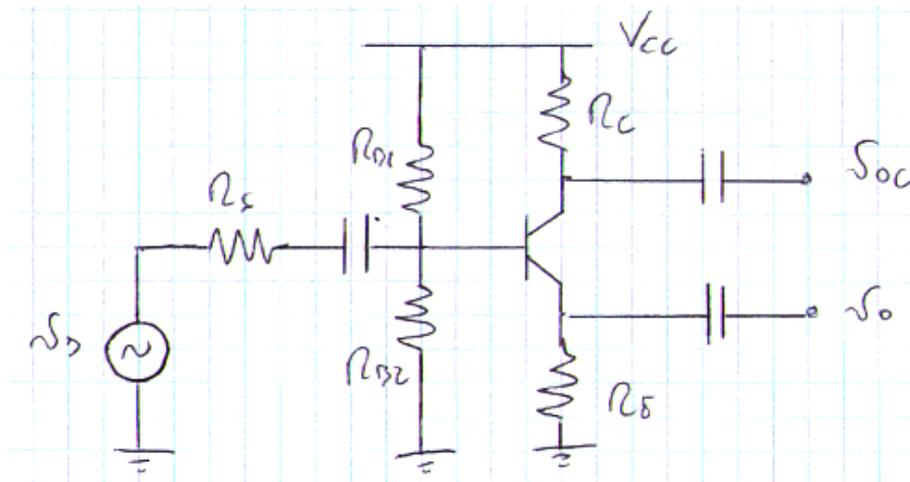
$$A_{v_o} = -\frac{R_C}{R_E}$$

Quindi il guadagno del nostro circuito si è ridotto rispetto al circuito ad emettitore comune, però ho ottenuto qualcosa che ci può essere comodo, e cioè questo guadagno dipende solo dal rapporto di due resistenze e non dipende dai parametri del nostro circuito (come avveniva nei circuiti con operazionali).

Il fatto che il guadagno dipende solo dal rapporto di due resistenze è dovuto al fatto che R_E introduce una retroazione.

Quindi se non metto in parallelo ad R_E un condensatore, la retroazione entra in gioco anche per componenti variabili, quindi il guadagno si stabilizza ma si riduce, come accade nei circuiti retroazionati.

Supponiamo che $R_C = R_E = 1\text{ k}\Omega$, posso pensare di andare a prendere l'uscita sia sul collettore che sull'emettitore:



Queste due uscite saranno:

- Abbiamo appena visto che prendendo l'uscita sul collettore, il guadagno è circa $A_{v_o} = -1$, quindi $v_{oc} = -v_s$
- Se prendo l'uscita sull'emettitore il guadagno $A_{v_o} \simeq 1$, quindi $v_{oe} = v_s$

Quindi questo circuito, con un solo ingresso, fornisce due uscite uguali ed opposte l'una all'altra, cosa che può tornare utile in una serie di applicazioni.

Risposta in Frequenza

Come già accennato, studieremo la risposta in frequenza in due campi di frequenza

- la risposta in bassa frequenza
- la risposta in alta frequenza

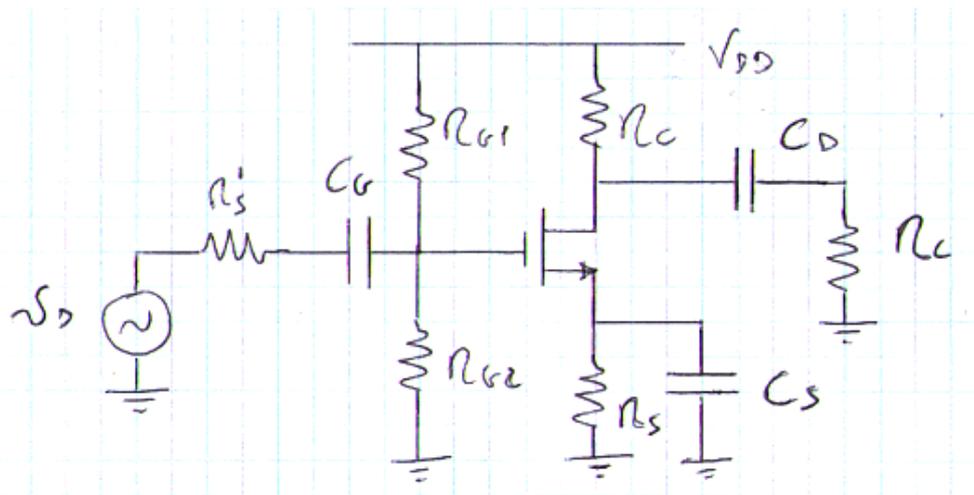
Nel caso della risposta in bassa frequenza, le capacità interne dei dispositivi le trascuriamo (le consideriamo, come abbiamo fatto finora, come dei circuiti aperti), mentre entrano in gioco le capacità di disaccoppiamento, bypass, ecc.

Quindi dobbiamo studiare solo l'effetto delle capacità **esterne**.

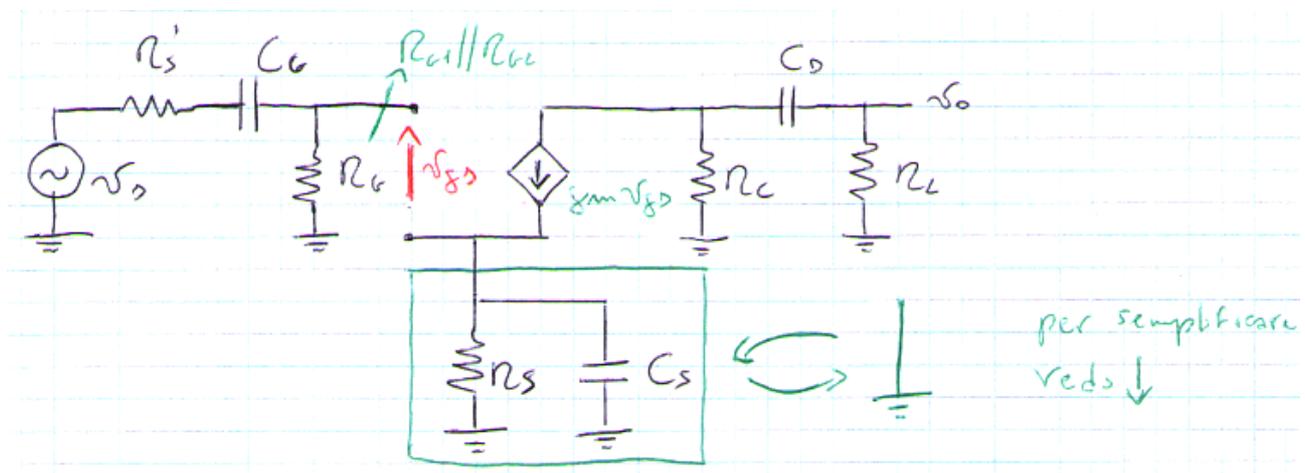
Nel caso della risposta in alta frequenza, al contrario, porteremo in conto l'effetto delle capacità **interne** dei dispositivi, trascurando le capacità esterne, che considereremo come dei cortocircuiti (poiché saremo a frequenze così alte che la loro impedenza è approssimabile con zero)

Risposta in Bassa Frequenza

Consideriamo un amplificatore a source comune.



Disegniamo il modello a piccoli segnali considerando la presenza delle capacità esterne:



Devo calcolare il guadagno $\frac{v_o}{v_s}$, che questa volta sarà funzione della frequenza, ovvero $\frac{v_o}{v_s}(s)$

I calcoli si complicano per la presenza di queste capacità, ma quella che complica maggiormente la situazione è C_s .

Per semplificare i calcoli suppongo $R_s \rightarrow 0$, quindi il source è collegato direttamente a massa. Chiaramente è scorretto, perchè perdo la stabilità della polarizzazione, però mi semplifico enormemente i calcoli (alla fine rimuoveremo questa ipotesi semplificativa).

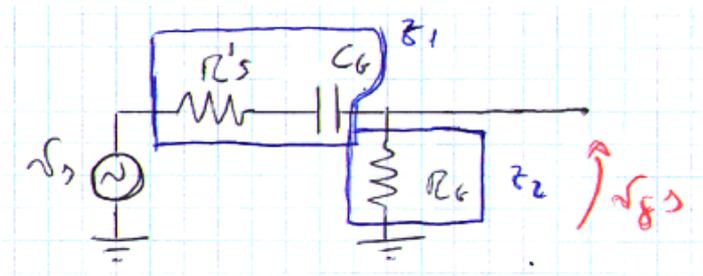
Proviamo a calcolare direttamente $\frac{v_o}{v_s}(s)$ dall'analisi del circuito, senza calcolare R_i , R_o e A_{v_o} .

Procediamo in questo modo:

Calcoliamo prima $\frac{v_{gs}}{v_s}$, e poi $\frac{v_o}{v_{gs}}$. Ovviamente, alla fine $\frac{v_o}{v_s}(s) = \frac{v_{gs}}{v_s} \cdot \frac{v_o}{v_{gs}}$

Calcoliamo $\frac{v_{gs}}{v_s}$.

v_{gs} , in virtù della semplificazione che abbiamo fatto, è il potenziale tra gate e massa.



Ho un partitore di tensione, quindi,

$$v_{gs} = v_s \frac{Z_2}{Z_1 + Z_2} = v_s \frac{R_G}{R_G + R'_s + \frac{1}{sC_G}} = v_s \frac{sC_G R_G}{1 + sC_G(R_G + R'_s)}$$

A questo punto riscriviamo l'espressione in modo che compaia un termine che è quello che si avrebbe se la capacità non ci fosse, cioè come se fossimo a frequenze sufficientemente elevate, cioè

vogliamo arrivare a una formula del tipo $v_{gs} = \frac{R_G}{R_G + R'_s} \cdot \text{qualcosa}$, in modo da

evidenziare il guadagno alle medie frequenze.

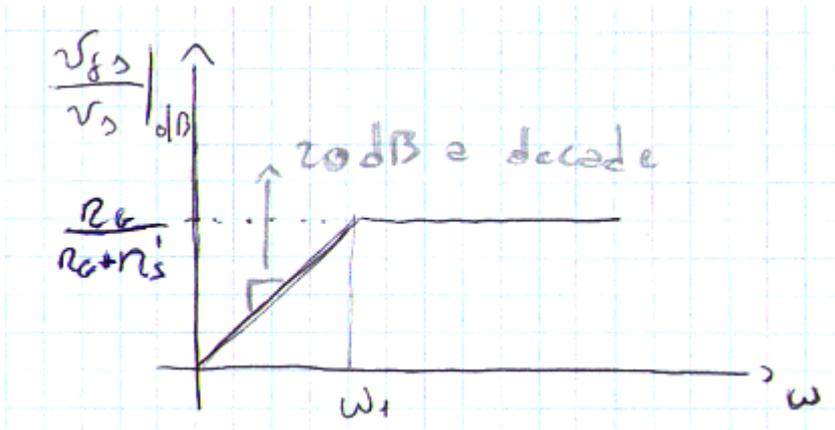
Per ottenere questa cosa, moltiplico e divido per $C_G(R_G + R'_s)$, e ottengo:

$$v_{gs} = v_s \frac{C_G R_G}{C_G(R_G + R'_s)} \cdot \frac{s}{s + \frac{1}{C_G(R_G + R'_s)}}$$

Pongo $\omega_1 = \frac{1}{C_G(R_G + R'_s)}$

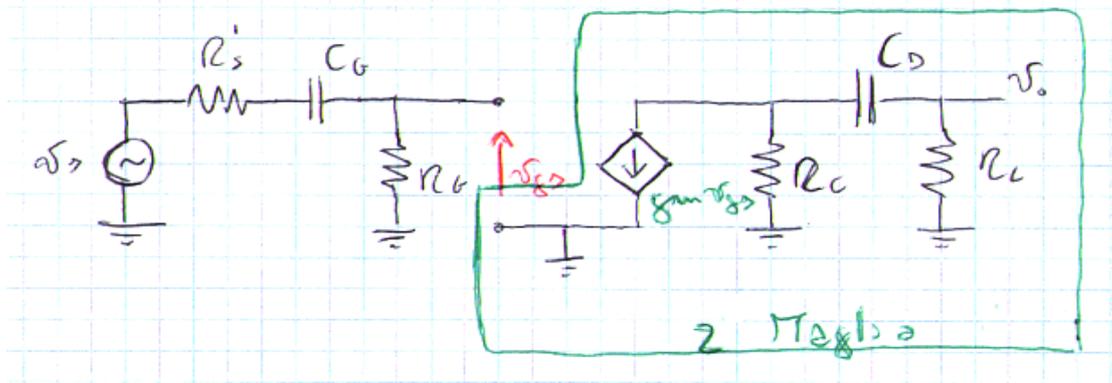
$$\frac{v_{gs}}{v_s} = \frac{R_G}{R_G + R'_s} \cdot \frac{s}{s + \omega_1}$$

Quindi è un sistema passaalto.

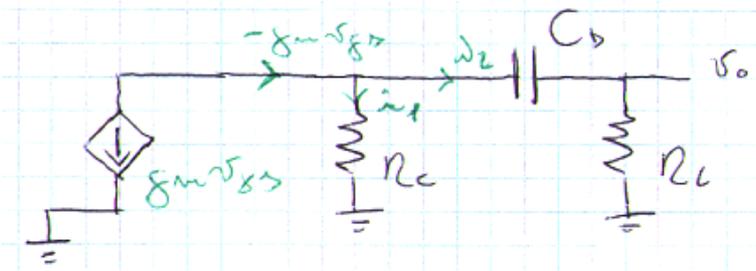


Calcoliamo $\frac{v_o}{v_{gs}}$

Lo ottengo dallo studio della seconda maglia del circuito



Ridisegno



Calcolo v_o partendo dalla corrente $-g_m v_{gs}$ e calcolando i_2 :

$$i_2 = -g_m v_{gs} \frac{R_C}{R_C + R_L + \frac{1}{s C_D}}$$

$$v_o = i_2 \cdot R_L = -g_m v_{gs} \frac{R_C R_L}{R_C + R_L + \frac{1}{s C_D}} \quad \text{multiplico per } s C_D \text{ num e den}$$

$$v_o = -g_m v_{gs} \frac{R_C R_L s C_D}{1 + s C_D (R_C + R_L)} \quad \text{metto in evidenza come prima } C_D (R_L + R_C)$$

$$v_o = -g_m v_{gs} \frac{R_C R_L C_D}{C_D (R_C + R_L)} \cdot \frac{s}{s + \frac{1}{C_D (R_C + R_L)}} \quad \text{pongo } \omega_2 = \frac{1}{C_D (R_C + R_L)}$$

$$v_o = -g_m v_{gs} \frac{R_C R_L}{R_C + R_L} \cdot \frac{s}{s + \omega_2}$$

$$v_o = -g_m v_{gs} \cdot R_C // R_L \cdot \frac{s}{s + \omega_2}$$

$$\frac{v_o}{v_{gs}} = -g_m \cdot (R_C // R_L) \cdot \frac{s}{s + \omega_2}$$

Moltiplicando i due risultati:

$$\frac{v_o}{v_s} = \frac{v_{gs}}{v_s} \cdot \frac{v_o}{v_{gs}} = \underbrace{\frac{R_G}{R_G + R'_S} \cdot [-g_m (R_C // R_L)]}_{A_n} \cdot \frac{s}{s + \omega_1} \cdot \frac{s}{s + \omega_2}$$

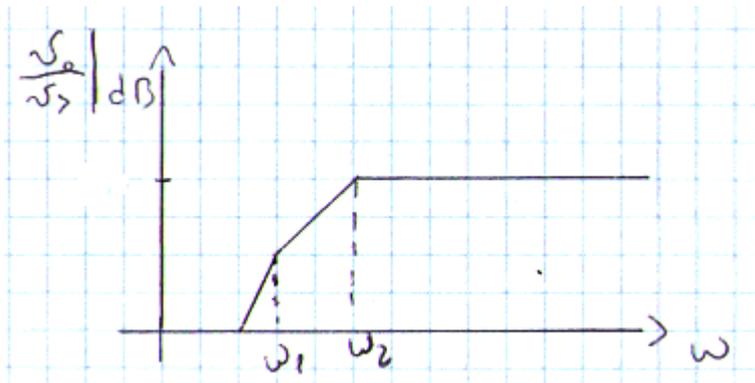
chiamo questa roba A_n , che, ripeto è il guadagno alle medie frequenze.

$$\text{Quindi } \frac{v_o}{v_s} = A_n \cdot \frac{s}{s + \omega_1} \cdot \frac{s}{s + \omega_2}$$

Quando $\omega > \omega_1$ e $\omega > \omega_2$, i due termini $\frac{s}{s + \omega_1}$ e $\frac{s}{s + \omega_2}$ tenderanno a 1, e il guadagno tenderà ad A_n .

Quando si riduce la frequenza il guadagno si andrà a ridurre (dovremmo vedere se è più grande ω_1 o ω_2)

Supponendo che $\omega_2 > \omega_1$, abbiamo il seguente diagramma di Bode:



Quindi il procedimento visto è un'estensione di quello fatto finora, ma portiamo in conto l'impedenza delle capacità.

Il calcolo diventa abbastanza più complicato se porto in conto R_S .

Metodo delle costanti di tempo in Cortocircuito

Esiste un metodo che ci consente di ottenere in maniera approssimata la frequenza di taglio a 3 dB, ovvero quella alla quale il guadagno si riduce di 3 dB rispetto ad A_n .

Questo metodo è detto **metodo delle costanti di tempo in cortocircuito**.

In sostanza, ci dice che per ottenere una stima della pulsazione di taglio a 3 dB, che chiamo ω_{3dB} , posso considerare nel circuito una capacità alla volta, le altre capacità le assommo a cortocircuiti.

Se ad esempio considero solo la C_G , vado a calcolare la resistenza vista ai capi di questa capacità (con le altre capacità viste come cortocircuiti); il prodotto di questa capacità per la resistenza mi dà una costante di tempo.

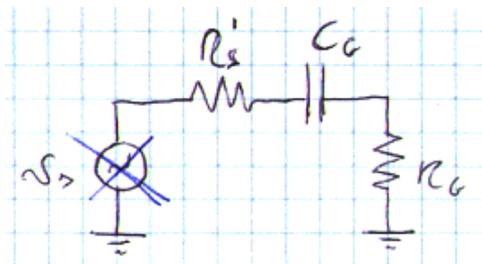
L'inverso di questa costante di tempo $\frac{1}{C_G R_{eqG}}$ sarà una certa pulsazione.

Ripeto il ragionamento per tutte le altre capacità, dopodichè sommo tutte le pulsazioni, e la somma di queste pulsazioni è una buona approssimazione di ω_{3dB} .

Ad esempio, nel caso del circuito di prima:

Per quanto riguarda C_G , il suo contributo è $\frac{1}{C_G R_{eqG}}$.

Calcolo R_{eqG}



il generatore di segnali non lo considero

$$R_{eqG} = R'_S + R_G$$

la resistenza ai capi di C_G è $R'_S + R_G$

Quindi il primo termine è $\frac{1}{C_G (R'_S + R_G)}$

Ripeto il ragionamento per C_D .

Ai capi di C_D vedo $R_C + R_L$

$$\text{Quindi } \omega_{3dB} = \frac{1}{C_G (R'_S + R_G)} + \frac{1}{C_D (R_C + R_L)}$$

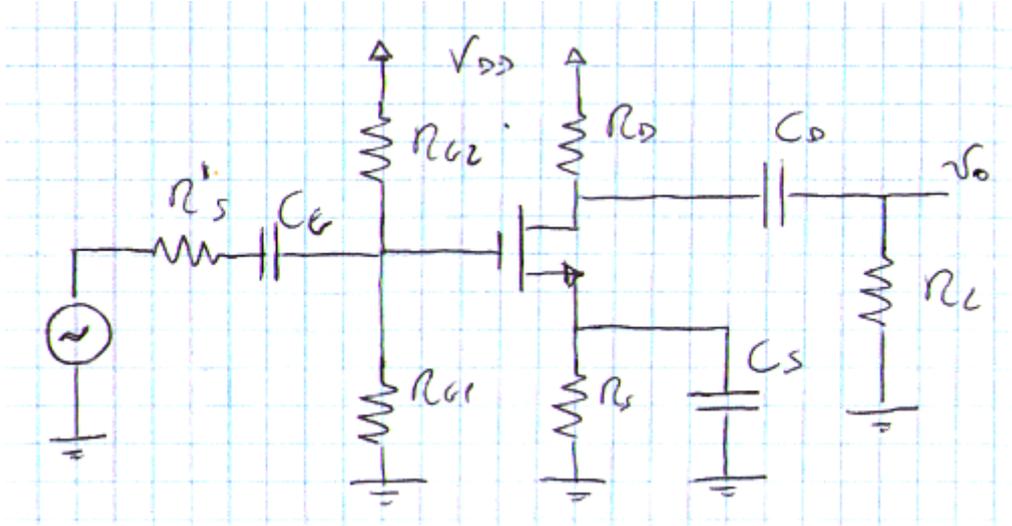
Ho ottenuto una stima della pulsazione di taglio senza rifare tutti i conti; questa stima mi dice che la pulsazione di taglio è all'incirca la somma $\omega_1 + \omega_2$.

Se i due poli sono molto distanti mi trovo, perchè quello dominante è più alto; se sono simili, la loro somma è comunque una stima ragionevole della pulsazione di taglio a 3 dB.

Ho introdotto il metodo delle costanti di tempo in cortocircuito, è un metodo che ci permette di approssimare la frequenza di taglio inferiore del nostro amplificatore e calcolarla in maniera semplice.

Riusciamo a farlo considerando le capacità del circuito una alla volta, e vedendo l'effetto di ogni singola capacità sulla risposta in frequenza del nostro circuito.

Consideriamo ancora una volta l'amplificatore a source comune, includendo nell'analisi la capacità che ci permette di collegare dinamicamente il source del dispositivo a massa (C_s)

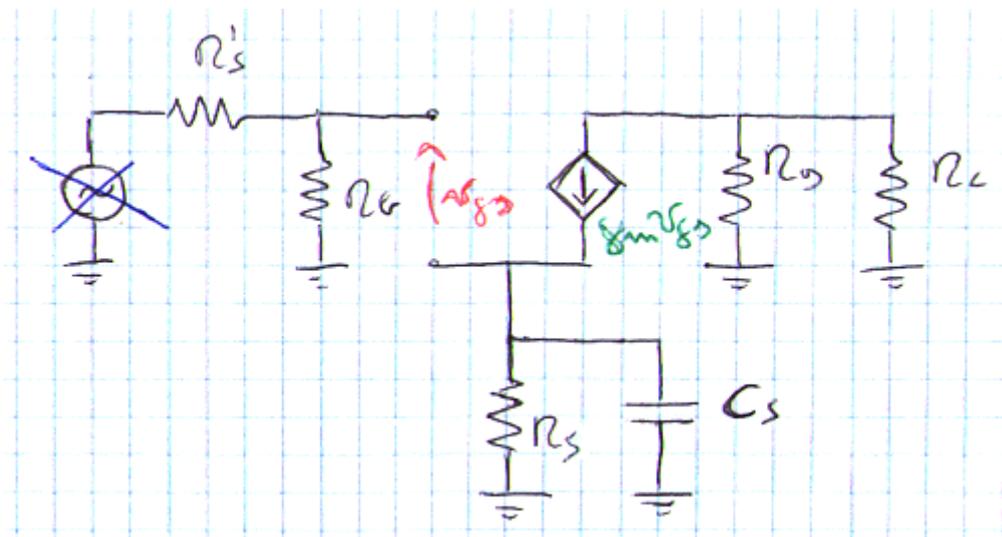


Voglio una stima di ω_{3dB} .

Considero il circuito equivalente, nel quale, di volta in volta, metto un solo condensatore, tutti gli altri condensatori vengono considerati cortocircuitati.

Comincio considerando C_s .

Disegno lo schema a piccoli segnali cortocircuitando tutti gli altri condensatori e il generatore d'ingresso.

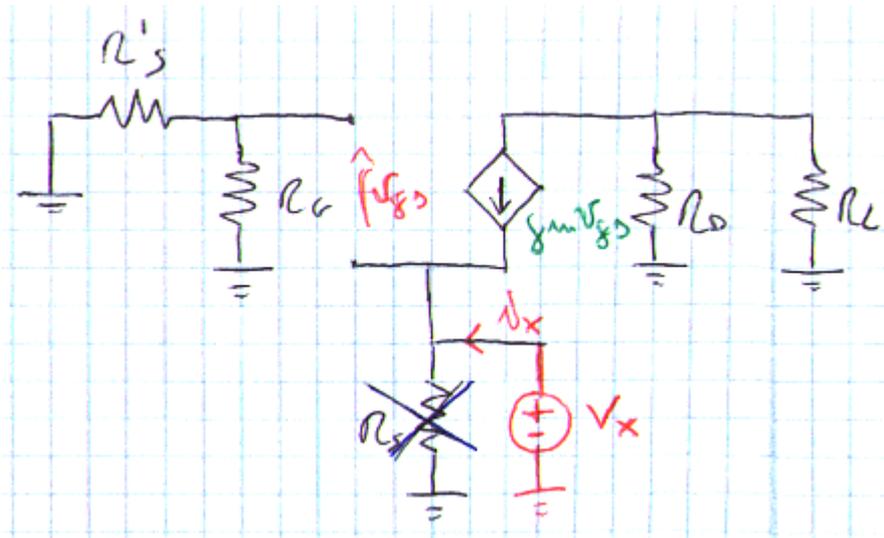


Sto trascurando anche la r_0 .

Ora occorre valutare la resistenza vista ai capi del nostro condensatore.

Calcolata la resistenza, ottengo una pulsazione $\omega_{eq} = \frac{1}{\tau} = \frac{1}{R_{eq} C_S}$.

Per calcolare R_{eqS} , metto un generatore di tensione V_x al posto di C_S , e calcolo i_x .



Nota che da V_x vedo come resistenza $R_S // R'_{eq}$, quindi tolgo R_S e calcolo R'_{eq} .

N.B.: lo schema ci ricorda uno stadio a drain comune, quindi quello che verrà fuori è la resistenza di uscita dell'amplificatore a drain comune che ho già fatto

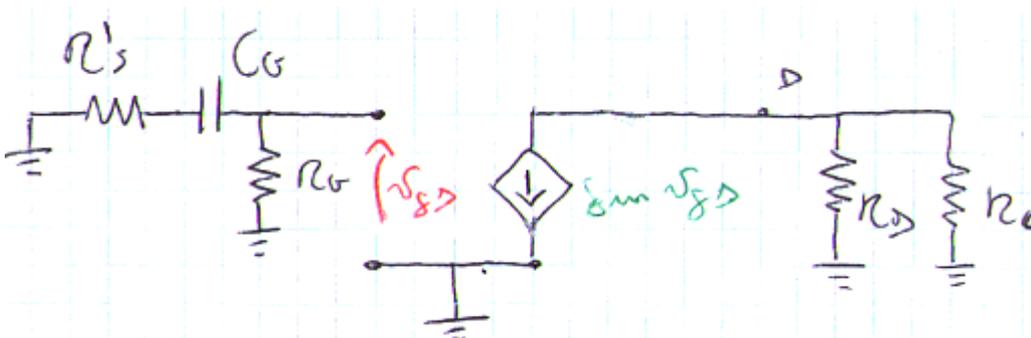
$$\left. \begin{aligned} v_x &= -v_{gs} \\ i_x &= -g_m v_{gs} \end{aligned} \right\} \Rightarrow i_x = g_m v_x \quad \Rightarrow \quad R'_{eq} \stackrel{\text{def}}{=} \frac{v_x}{i_x} = \frac{1}{g_m}$$

Quindi
$$\omega_{eq} = \frac{1}{\left[R_S // \frac{1}{g_m} \right] C_S}$$

Questa è l'espressione della pulsazione di taglio che viene fuori se considero solo la C_S , e considerando il generatore di ingresso come cortocircuito.

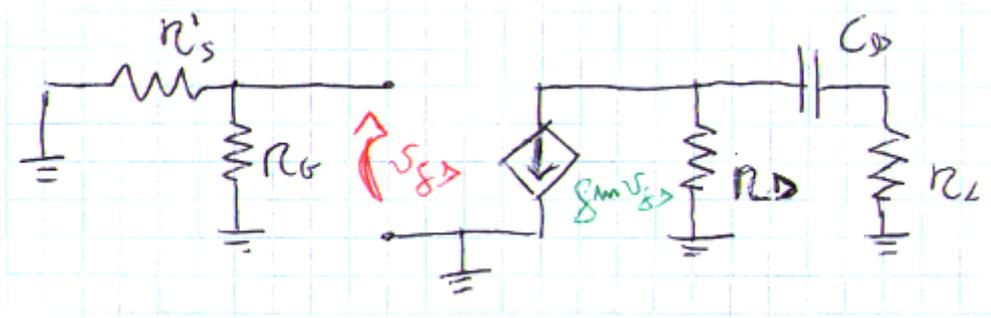
Il metodo delle costanti di tempo ci dice che dobbiamo ripetere quest'analisi considerando tutte le capacità una alla volta.

Ripeto il procedimento per C_G



in realtà il calcolo già l'ho fatto
$$\omega'_{eq} = \frac{1}{\left[R'_S + (R_{G1} // R_{G2}) \right] C_G}$$

Per C_D



(il generatore $g_m v_{gs}$ è spento)

Da C_D , come resistenza, vedo solo R_D e R_L

$$\text{Quindi } \omega''_{eq} = \frac{1}{[R_D + R_L]C_D}$$

In definitiva

Sommo le ω'_{eq} ed ottendo una stima di ω_{3dB} :

$$\omega_{3dB} \simeq \omega_{eq} + \omega'_{eq} + \omega''_{eq}$$

è una tecnica approssimata, però ci dà immediatamente un'indicazione sulla frequenza di taglio inferiore

Tralaltro è anche utile dal punto di vista progettuale del circuito, perchè vediamo come contribuiscono le tre capacità per la determinazione della frequenza di taglio.

Quindi, se dobbiamo cambiare il circuito perchè la frequenza di taglio è troppo grande la vogliamo più piccola, sappiamo già su quali termini operare.

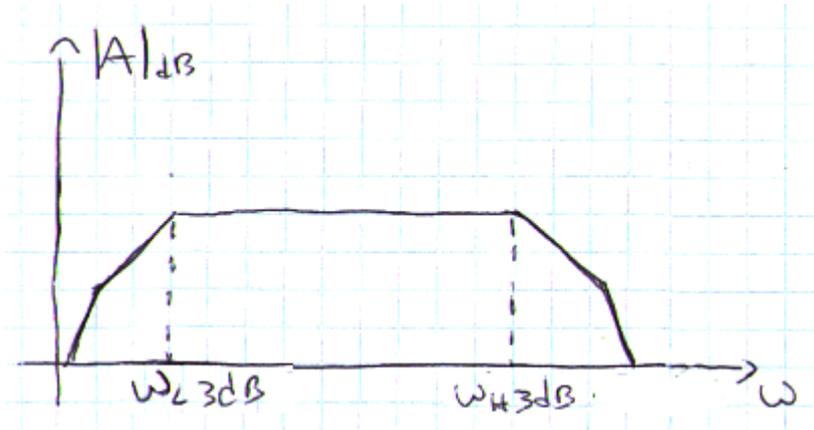
Ad esempio, qui vediamo che la capacità C_S vede una resistenza molto piccola, $R_S // \frac{1}{g_m}$,

quindi questa ω potrebbe essere grande.

Quindi se avessi delle specifiche saprei come comportarmi.

Risposta in Alta Frequenza

Se vado a disegnare il diagramma di Bode di uno di questi amplificatori visti finora,



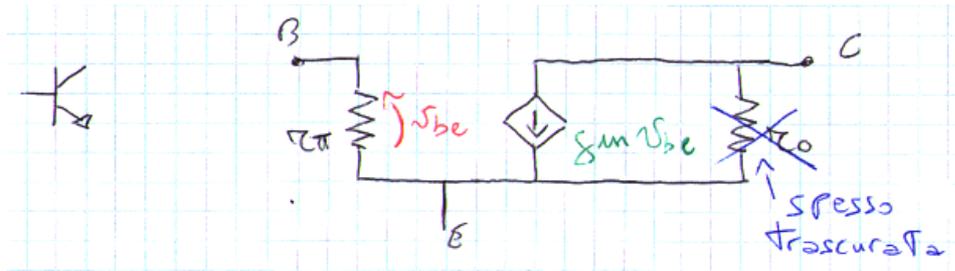
vedo che ho due frequenze di taglio:

- ω_{L3dB} sotto la quale il guadagno con una certa legge decresce (campo delle basse frequenze)
- poi ho un campo di frequenze, tra ω_{L3dB} e ω_{H3dB} in cui il guadagno è circa costante (campo delle medie frequenze)
- ω_{H3dB} al di sopra della quale il guadagno scende nuovamente (campo delle alte frequenze)

Nelle alte frequenze, il parametro che ci interessa di più è proprio la frequenza di taglio ω_{H3dB} , in corrispondenza della quale il guadagno comincia a decrescere.

Nella zona delle alte frequenze, le capacità esterne sono dei cortocircuiti ed entrano in gioco le capacità interne dei dispositivi.

BJT: modello equivalente in alta frequenza:



Importante: il generatore controllato, finora, potevo scriverlo come $g_m v_{be}$ o come βi_b .

In alta frequenza i due modelli non sono più equivalenti: **posso usare solo il modello con $g_m v_{be}$**

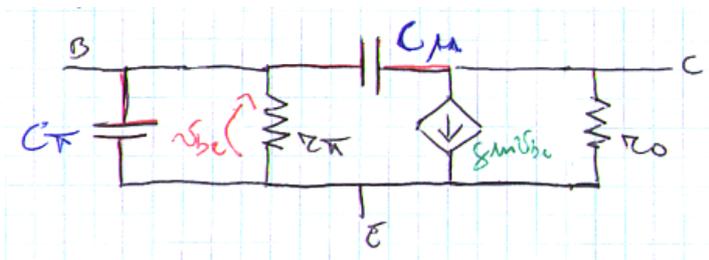
Il circuito viene modificato aggiungendo due capacità:

- C_μ che collega base e collettore
- C_π che collega base ed emettitore

Queste due capacità sono le capacità interne del dispositivo, e portano in conto le due giunzioni (base-emettitore, e base-collettore).

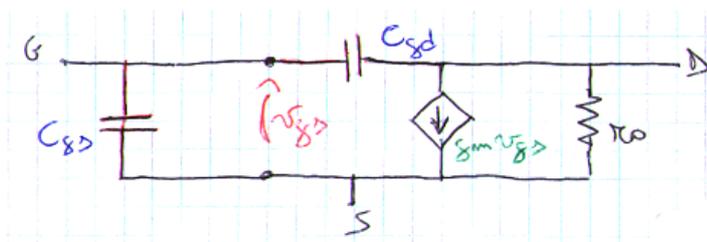
In regione attiva diretta J_{BE} è polarizzata direttamente
mentre J_{BC} è polarizzata inversamente

A causa di questo fatto si può far vedere che $C_\pi \gg C_\mu$



MOSFET: modello equivalente in alta frequenza:

Il suo circuito equivalente è molto simile a quello del BJT



Due capacità parassite:

- C_{gd} tra gate e drain
- C_{gs} tra gate e source

Nel caso del MOSFET, poiché queste due capacità non si riferiscono a giunzioni, ma sono legate alla capacità di gate, non vale nessuna disuguaglianza tra le capacità: le due capacità sono pressoché confrontabili.

Frequenza di Transizione

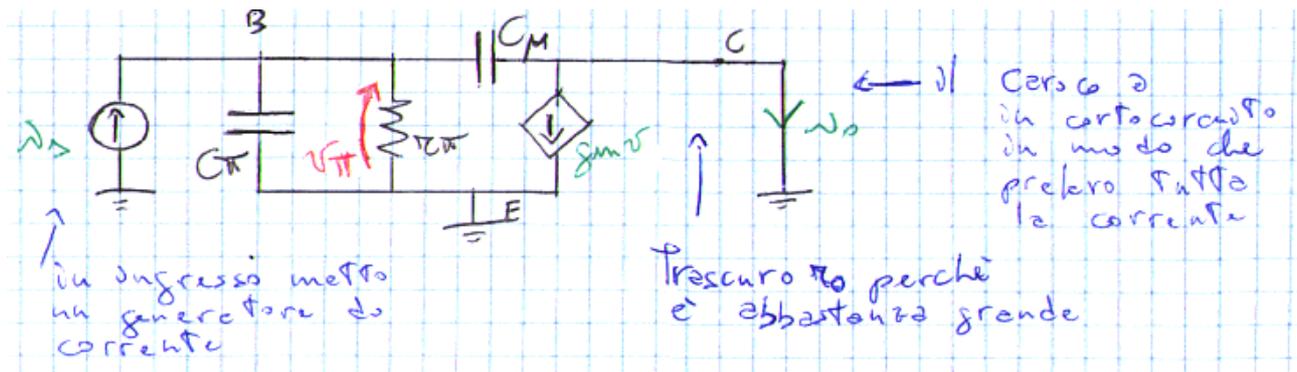
Introduciamo un parametro spesso utilizzato per quantificare la bontà di un transistor; ci indica il campo di frequenze che riesce ad amplificare.

Questo parametro è la **frequenza di transizione**, ed è indicato con f_T .

Essa è definita come la frequenza alla quale il guadagno di corrente in cortocircuito del transistor del transistor diventa unitario.

Quindi prendo il transistor, (polarizzato nei modi che già conosco), lo collego ad emettitore comune, e applico all'ingresso del transistor, (sulla base), un generatore di corrente.

Disegno il circuito di test a piccoli segnali



Il guadagno di corrente, per definizione, vale $A_I \stackrel{\text{def}}{=} \frac{i_o}{i_s}$.

Poiché ci sono delle capacità, questo guadagno di corrente cambia con la frequenza, ad un certo punto comincia a ridursi.

La frequenza alla quale il guadagno diventa **1** (il circuito non guadagna più), prende il nome di frequenza di transizione del transistor; e quindi rappresenta la massima frequenza che il dispositivo può trattare dando un minimo di guadagno.

In pratica, poiché a frequenza f_T il guadagno è unitario, il nostro dispositivo dovrà operare a frequenza più piccola di f_T .

Comunque è un parametro di merito, perchè è un singolo numero che ci dice subito se il nostro dispositivo può amplificare 1 GHz 2 GHz...10 MHz...o quello che sia.

E' facilmente calcolabile con qualche piccola semplificazione sul circuito: **trascuro la capacità C_{μ}** .

Quindi la corrente di uscita $i_o \simeq -g_m v_{\pi}$

cioè trascuro la corrente che può passare attraverso C_{μ} .

Questa è un'ipotesi ragionevole, perchè il generatore $g_m v_{\pi}$ porta in conto il fatto che il transistor amplifica, quindi porta in uscita una corrente più grande; invece C_{μ} collega direttamente l'ingresso con l'uscita quindi la corrente che passa per C_{μ} non è amplificata rispetto a quella che fornisce il generatore, quindi posso immaginare che sia trascurabile.

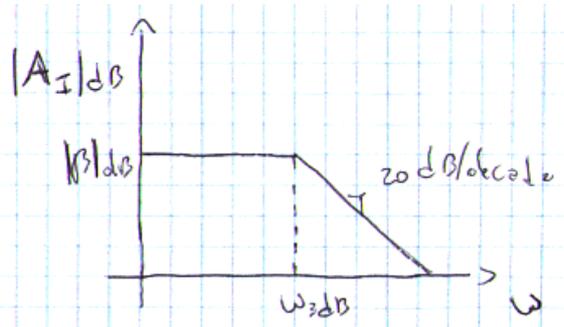
Se trascuro C_{μ} , detto Z_{π} il parallelo tra r_{π} e C_{π} ,

$$v_{\pi} = i_s Z_{\pi} = i_s \frac{r_{\pi} \cdot \frac{1}{s C_{\pi}}}{r_{\pi} + \frac{1}{s C_{\pi}}} = i_s \frac{r_{\pi}}{1 + s C_{\pi} r_{\pi}} \quad i_o = -g_m v_{\pi} = -i_s g_m r_{\pi} \frac{1}{1 + s C_{\pi} r_{\pi}}$$

Il guadagno di corrente $A_I = (-g_m r_{\pi}) \cdot \frac{1}{1 + s C_{\pi} r_{\pi}} = -\beta \frac{1}{1 + s C_{\pi} r_{\pi}}$.

Ho un polo alla pulsazione $\omega_{3dB} = \frac{1}{\tau} = \frac{1}{C_{\pi} r_{\pi}}$

La frequenza di taglio ovviamente sarà $f_{3dB} = \frac{\omega_{3dB}}{2\pi} = \frac{1}{2\pi C_{\pi} r_{\pi}}$

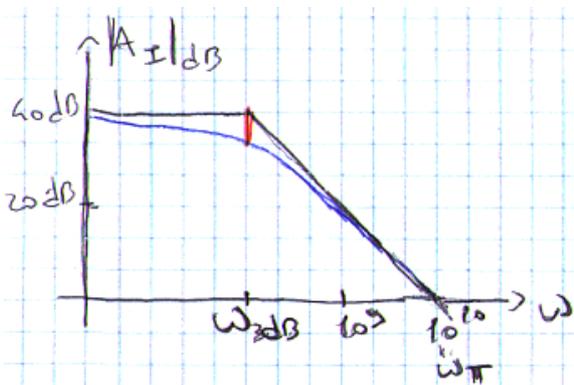


Quindi in bassa frequenza β è il rapporto tra la corrente di collettore e quella di base. (infatti il guadagno di corrente in bassa frequenza è proprio β)

In alta frequenza entra in gioco $\frac{1}{1 + s C_{\pi} r_{\pi}}$, e il guadagno scende.

Esempio

Supponiamo $\beta = 100$ cioè $\beta_{dB} = 40 dB$, e $\omega_{3dB} = 10^8 rad/sec$



- grafico asintotico
- **diagramma effettivo:** a ω_{3dB} in realtà A_I vale $A_I - 3 dB$

Avrò un guadagno di 20 dB a $\omega = 10^9$, avrò un guadagno di 0 dB, cioè un guadagno unitario, per $\omega = 10^{10}$, quindi $\omega_T = 10^{10}$.

Quindi ho una relazione tra ω_{3dB} e ω_T :

$$\omega_T = \omega_{3dB} \cdot \beta = \omega_{3dB} \cdot g_m r_\pi$$

Da cui, sostituendo,
$$\omega_T = \frac{1}{C_\pi r_\pi} g_m r_\pi = \frac{g_m}{C_\pi}$$

E quindi la frequenza di transizione vale
$$f_T = \frac{1}{2\pi} \frac{g_m}{C_\pi}$$

e rappresenta la massima frequenza a cui il sistema può operare.

Nell'esempio
$$f_T = \frac{1}{2\pi} 10^{10} = 1,59 \text{ GHz}$$

vuol dire che non è possibile arrivare a quella frequenza, diciamo che a più di 100 MHz è difficile ottenere un risultato soddisfacente.

Più è grande la frequenza di transizione più è grande il margine di frequenza trattabile: i dispositivi attuali, i migliori, arrivano ad un centinaio di GHz come frequenza di transizione, il che vuol dire che il campo di frequenza a cui si arriva effettivamente è all'incirca di un ordine di grandezza più piccolo (una decina di GHz).

Per il MOSFET

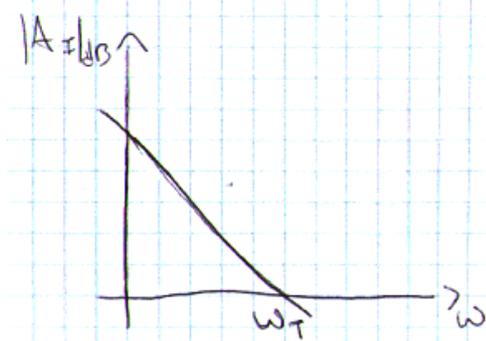
Non ho r_π , quindi nei conti fatti devo ipotizzare $r_\pi \rightarrow \infty$.

L'espressione di ω_T non dipende da r_π , quindi non cambia:
$$\omega_T = \frac{g_m}{C_{gs}}$$

$\omega_{3dB} \rightarrow 0$ perchè $r_\pi \rightarrow \infty$.

Il guadagno in bassa frequenza $\rightarrow \infty$ perchè vale $g_m r_\pi$

“Mi trovo perchè con una tensione costante posso controllare la corrente di uscita con una corrente di ingresso praticamente zero. Quindi il nostro MOSFET si comporta come un amplificatore con un guadagno di corrente infinito alle basse frequenze”



L'andamento del guadagno di un MOSFET ci mostra che i MOSFET sono più lenti dei BJT, quindi tendenzialmente ω_T è più piccolo.

Il guadagno scende sempre con 20 dB/decade, ma in bassa frequenza continua a crescere, crescendo ipoteticamente all'infinito se mettessimo una frequenza tendente a zero.

Comunque la frequenza di transizione f_T si può definire ugualmente ed è quella per cui il guadagno di corrente tende a 1.

Sebbene parlare di guadagno di corrente in continua per un MOSFET non ha praticamente senso, farlo a frequenze elevate è del tutto plausibile, e quindi la f_T viene definita allo stesso modo per il MOSFET così come per i BJT.

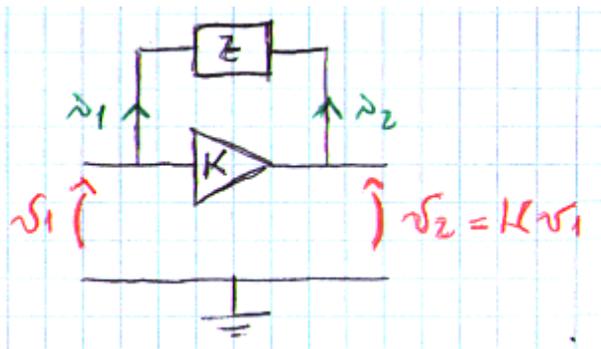
N.B.: è un fattore di merito, però difficilmente il circuito riesce a funzionare ad una frequenza prossima a questa frequenza di transizione, certo più grande è più veloce è il transistor.

Trasformazione di Miller

E' un semplice metodo per trasformare il circuito: ritorna spesso utile per lo studio della risposta in alta frequenza.

Supponiamo di avere un circuito in grado di amplificare una tensione fornita in ingresso rispetto a massa.

Supponiamo che il circuito abbia un'impedenza collegata tra ingresso e uscita.

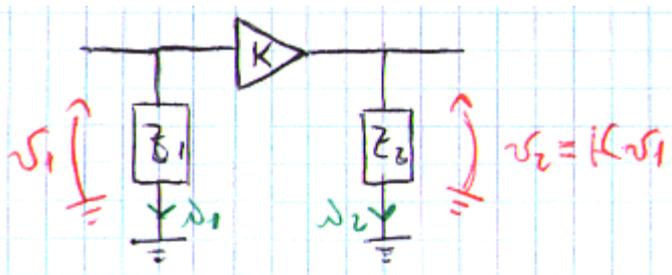


(K noto)

Posso modificare questo circuito ipotizzando di poter togliere l'impedenza Z e trasformarla in due impedenze:

- Z_1 tra morsetto di ingresso e massa.
- Z_2 tra morsetto di uscita e massa.

Il Teorema di Miller ci dice che possiamo passare dall'una all'altra configurazione



I due circuiti sono perfettamente equivalenti se le correnti i_1 e i_2 del secondo schema sono uguali a quelle del primo.

Parto dal circuito trasformato e: $i_1 = \frac{v_1}{Z_1}$

Mentre nel circuito iniziale $i_1 = \frac{v_1 - v_2}{Z} = \frac{v_1 - k v_1}{Z} = v_1 \frac{1 - k}{Z}$

Eguagliando le due formule viene fuori che

$$Z_1 = \frac{Z}{1 - K}$$

Faccio un ragionamento analogo per Z_2 , a questo scopo ragiono sulla i_2 :

Nel circuito trasformato: $i_2 = \frac{v_2}{Z_2}$

Nel circuito iniziale $i_2 = \frac{v_2 - v_1}{Z} = \frac{v_2 - \left(\frac{v_2}{K}\right)}{Z} = v_2 \frac{1 - \frac{1}{K}}{Z}$.

Uguagliando le formule, viene fuori che $Z_2 = \frac{Z}{1 - \frac{1}{K}}$.

Ricapitolando $Z_1 = \frac{Z}{1 - K}$ $Z_2 = \frac{Z}{1 - \frac{1}{K}}$.

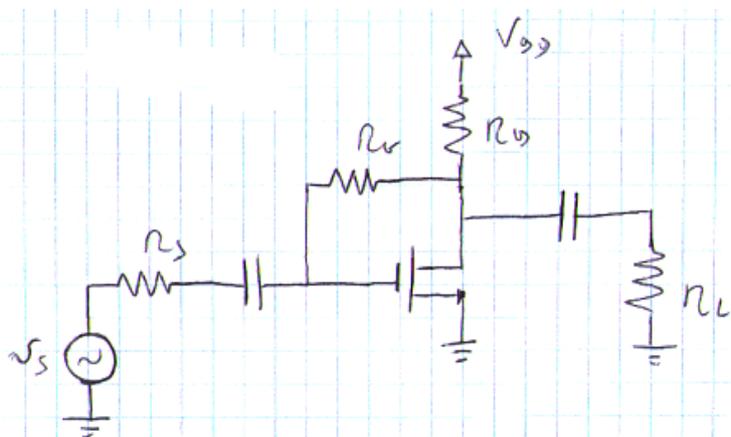
Tramite queste due formule riesco a passare dalla prima forma alla seconda.

Il problema fondamentale è che il procedimento è applicabile solo se conosco K, se K dipende da Z è complicato usare questa trasformazione.

Quindi devo poter esprimere K, o approssimarlo, indipendentemente da Z.

Esempio

Questa trasformazione ci può tornare utile per studiare diversi circuiti, per esempio, per quanto riguarda la polarizzazione dei circuiti, oltre agli schemi a quattro resistenze, abbiamo visto anche una versione di polarizzazione con una resistenza in meno che pure stabilizzava il punto di riposo:

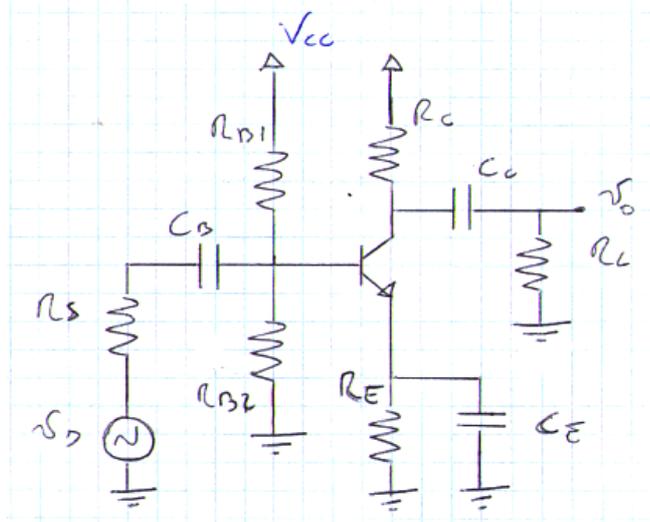


Se utilizzo il circuito come amplificatore a medie frequenze, quando faccio il modello a piccoli segnali ho una resistenza R_G collegata tra ingresso e uscita. Lo studio di questo modello diventa abbastanza complicato, ma se trasformo questa resistenza e ne metto una in ingresso e una in uscita, i calcoli si semplificano.

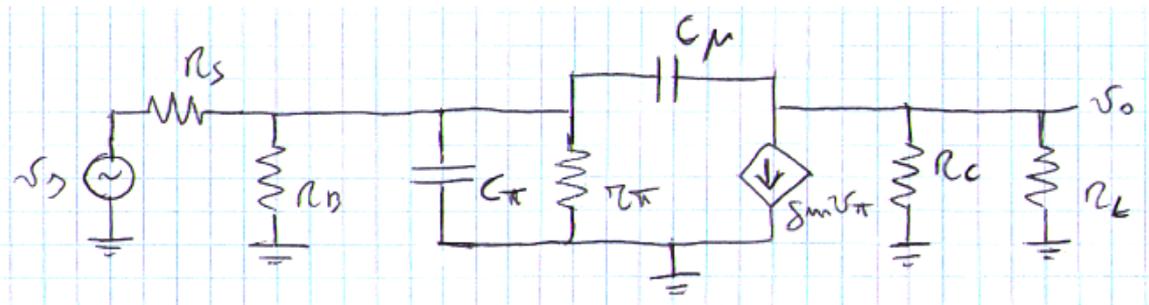
Risposta in Alta Frequenza di un Amplificatore ad Emittitore Comune

Comune

Il calcolo della risposta in alta frequenza di un amplificatore ad emittitore comune è un caso in cui ci torna utile la trasformazione di Miller.



Disegno il modello a piccoli segnali in alta frequenza.
(Non metto le capacità esterne, ma metto quelle interne dei dispositivi)

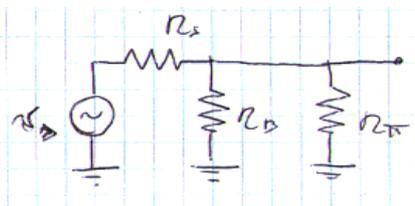


Il nostro obiettivo è calcolare il guadagno $A(s) = \frac{v_o}{v_s}$.

Semplifico il circuito:

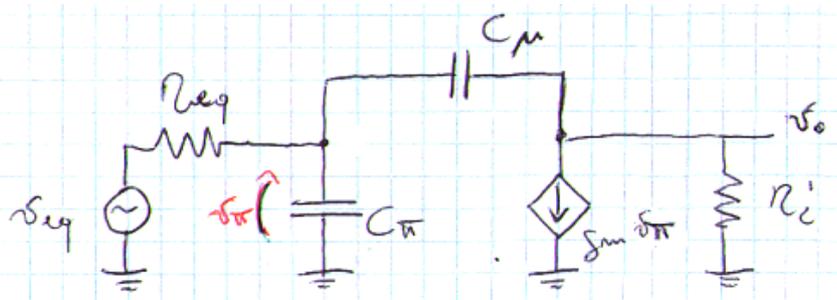
Chiamo $R'_L = R_C // R_L$

Tutta la rete di ingresso:
Thevenin.



la posso rappresentare con l'equivalente di

Dove $v_{eq} = v_s \cdot \frac{R_B // r_\pi}{R_S + (R_B // r_\pi)}$ e $R_{eq} = R_S // R_B // r_\pi$



Chiaramente io voglio $A_o = \frac{v_o}{v_s}$, ma posso usare questo circuito, tanto da v_{eq} posso calcolare facilmente v_s , visto che le due tensioni sono proporzionali.

La funzione di trasformazione è complicata da trovare, perchè ho questo C_μ , ma posso semplificare usando la trasformazione di Miller.

L'impedenza Z che andiamo a trasformare è la capacità C_μ , che è collegata a cavallo tra l'ingresso e l'uscita del nostro circuito.

Devo conoscere $K = \frac{v_o}{v_\pi}$. (N.B.: v_π l'avrei potuto chiamare v_{be} , è la sessa cosa).

K me lo posso calcolare in maniera approssimata ipotizzando che C_μ non ci sia.

$$\text{Quindi } v_o = -g_m v_\pi R'_L$$

$$\text{Da cui } K = \frac{v_o}{v_\pi} = \frac{-g_m v_\pi R'_L}{v_\pi} = -g_m R'_L$$

Ho un K negativo e di valore elevato perchè g_m è grande.

$$Z_1 = \frac{Z}{1-K} = \frac{\frac{1}{sC_\mu}}{1-(-g_m R'_L)} = \frac{1}{s[C_\mu(1+g_m R'_L)]}$$

Z_1 è ancora un condensatore di capacità $C_\mu(1+g_m R'_L)$.

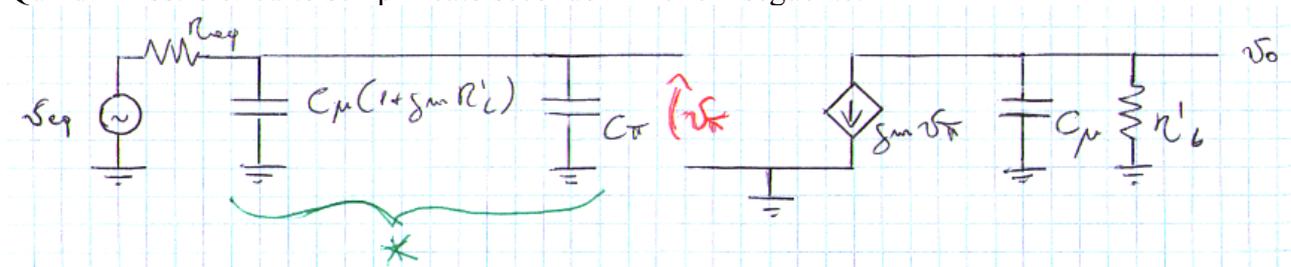
$$Z_2 = \frac{Z}{1-\frac{1}{K}} = \frac{\frac{1}{sC_\mu}}{1+\frac{1}{g_m R'_L}}$$

posso trascurare $\frac{1}{g_m R'_L}$ perchè $g_m R'_L \gg 1$, che tralaltro è il guadagno di amplificatore ad emettitore comune che abbiamo detto che può arrivare a 10 volte la tensione di alimentazione.

$$Z_2 \approx \frac{1}{sC_\mu}$$

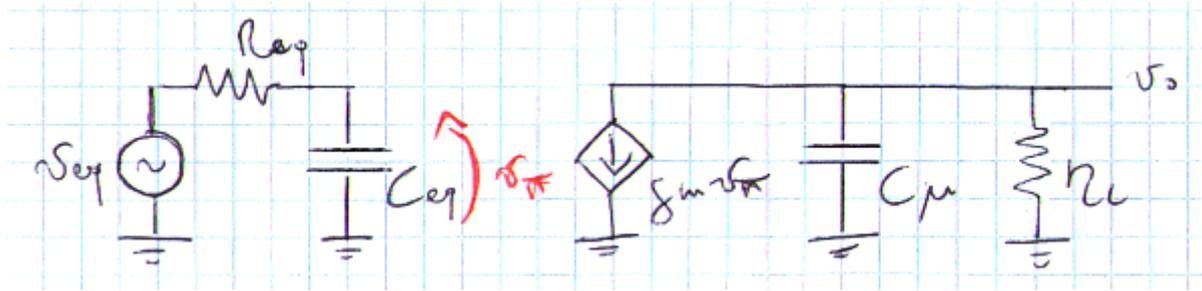
Quindi Z_2 è ancora una capacità di valore C_μ .

Quindi il nostro circuito semplificato secondo Miller è il seguente:



* queste due capacità sono in parallelo quindi sono equivalenti ad una capacità somma

$$C_{eq} = C_\pi + C_\mu(1 + g_m R'_L)$$



A questo punto le due maglie sono completamente separate, e ci possiamo calcolare v_π

$$v_\pi = v_{eq} \frac{\frac{1}{sC_{eq}}}{\frac{1}{sC_{eq}} + R_{eq}} = v_{eq} \cdot \frac{1}{1 + sC_{eq}R_{eq}}$$

$$v_o = -g_m v_\pi \frac{R'_L \cdot \frac{1}{sC_\mu}}{R'_L + \frac{1}{sC_\mu}} = -g_m v_\pi \frac{R'_L}{1 + sC_\mu R'_L}$$

$$\frac{v_o}{v_{eq}} = \underbrace{-g_m R'_L}_1 \cdot \underbrace{\frac{1}{1 + sC_{eq}R_{eq}}}_2 \cdot \underbrace{\frac{1}{1 + sC_\mu R'_L}}_3$$

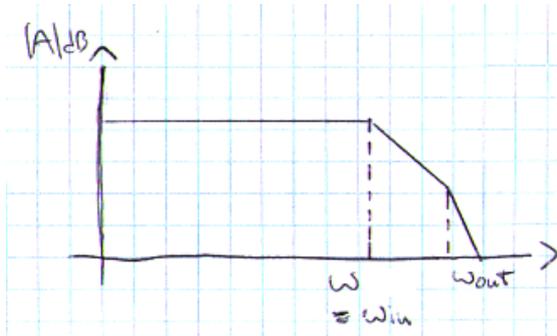
- 1) è il guadagno alle medie frequenze, chiamiamolo A_0 .
- 2) è un polo dovuto alla maglia di ingresso.

Abbiamo una $\omega_{in} = \frac{1}{C_{eq}R_{eq}} = \frac{1}{R_{eq}[C_\mu(1 + g_m R'_L) + C_\pi]}$.

- 3) è un altro polo dovuto alla maglia di uscita. Abbiamo una $\omega_{out} = \frac{1}{C_\mu R'_L}$.

La pulsazione tra le due che determina la frequenza di taglio a 3 dB, supponendo che siano molto distanti tra di loro, è la più piccola tra le due.

Nel nostro caso abbiamo $\omega_{in} \ll \omega_{out}$, perchè R'_L e R_{eq} sono dello stesso ordine di grandezza, ma il secondo è moltiplicato per un termine che contiene $g_m R'_L$ che è molto grande; inoltre $C_\pi \gg C_\mu$. Quindi la pulsazione “dominante” è ω_{in} , che sarà la pulsazione di taglio a 3 dB.



Osserviamo che per aumentare la frequenza di taglio è bene che la resistenza serie R_S del generatore sia la più piccola possibile.

Su R_B e r_π possiamo agire meno, perchè dipendono dalla polarizzazione del transistor.

Chiaramente C_μ e C_π li vogliamo più piccoli possibili.

Importante

Osserviamo anche che in C_{eq} compare il termine $g_m R'_L$ che è il guadagno alle medie frequenze A_0 . Quindi osserviamo che se aumento la resistenza R'_L (che ricordo essere il parallelo tra R_C e R_L), aumentiamo il guadagno alle media frequenze, ma riduco la larghezza di banda.

Possiamo affermare, quindi, che $A_0 \cdot \omega_{H3dB} \simeq \text{costante}$ (non è esattamente costante perchè c'è anche il termine legato a C_π)
(vedemmo già na cosa del genere quando cominciammo a considerare l'operazionale reale)

N.B.: per la configurazione a Source Comune, a parte il fatto che nelle formule non compare r_π , i risultati sono praticamente gli stessi.

~~~~~[FINE LEZ 31 , INIZIO LEZ 32 ]~~~~~

# Tecnica delle Costanti di Tempo a Circuito Aperto

E' una tecnica che ci consente di stimare la frequenza di taglio superiore a 3 dB, quindi non riusciamo ad ottenere la funzione di trasferimento, ma soltanto una stima della frequenza di taglio superiore.

Questa tecnica è analoga a quella delle costanti di tempo in cortocircuito visto per la frequenza di taglio in bassa frequenza.

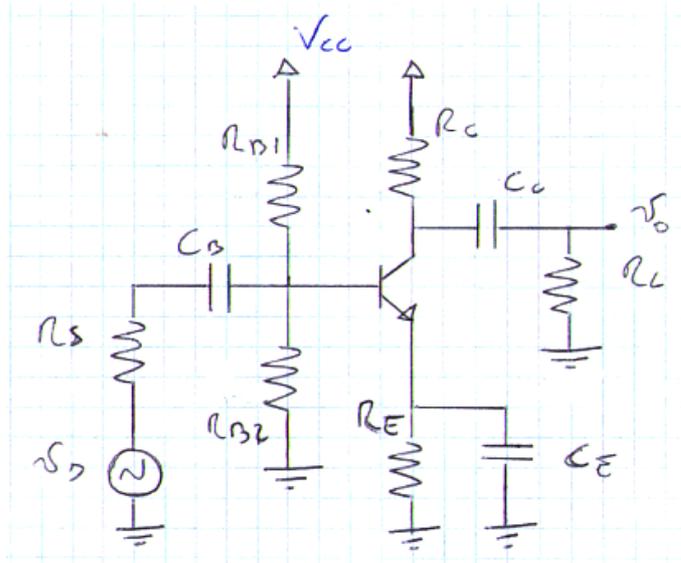
Anche per questa tecnica consideriamo le capacità una alla volta, ipotizzando, però ce le altre capacità del circuito siano sostituite da circuiti aperti; dopodiché andiamo a calcolare le costanti di tempo corrispondenti, quindi:

Per ogni capacità  $C_i$  calcolo una resistenza  $R_{eqi}$  (cioè quella vista ai suoi capi), e poi calcolo una costante di tempo  $\tau_i = R_{eqi} C_i$ .

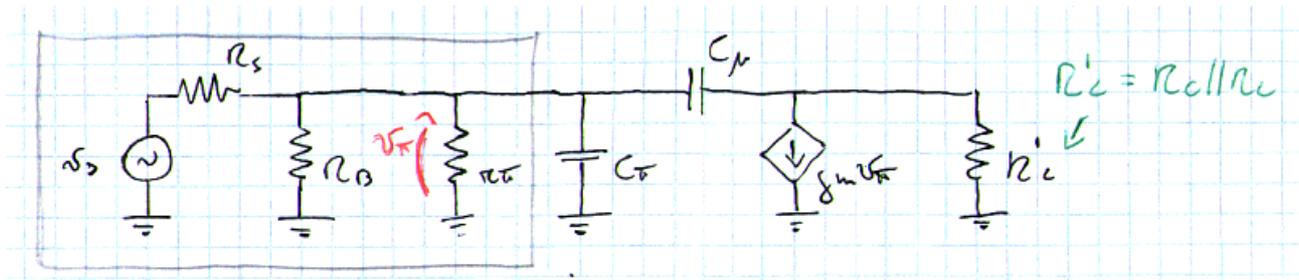
A questo punto sommo queste costanti di tempo, e l'inverso di questa somma ci dà una stima della

$$\omega_{H3dB} : \omega_{H3dB} \approx \frac{1}{\sum_i \tau_i}$$

## Circuito ad Emittitore Comune: stima $\omega_{H3dB}$ tramite il metodo delle costanti di tempo a circuito aperto

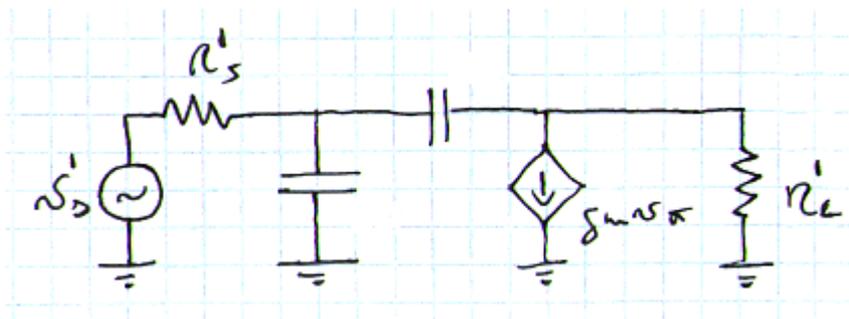


Il circuito equivalente in alta frequenza:



Sappiamo  $C_{\mu}$  è quella che crea più problemi perchè riduce la frequenza di taglio superiore.

Applico Thevenin alla maglia a monte di  $C_{\pi}$  :

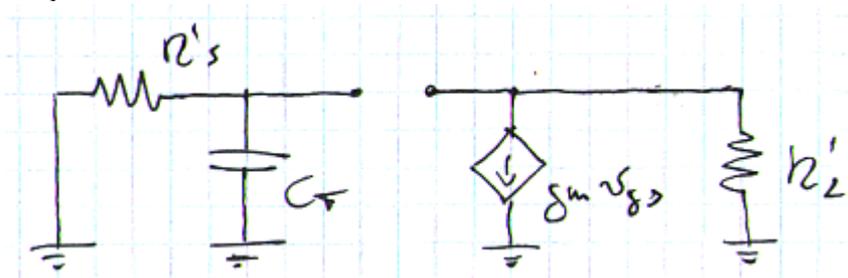


Ho due condensatori, quindi avrò due costanti di tempo da calcolare

$$C_{\pi} \cdot R_{eq\pi} = \tau_1 \text{ e } C_{\mu} R_{eq\mu} = \tau_2 .$$

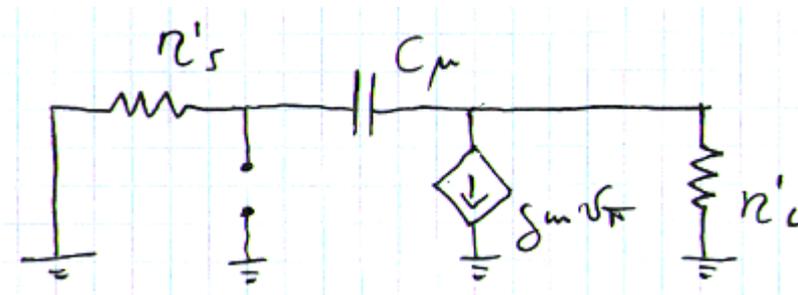
Dove queste  $R_{eq}$  sono le resistenze viste ai capi di quelle capacità dopo aver sostituito l'altra capacità con un circuito aperto e il generatore di tensione con un cortocircuito

Calcolo  $R_{eq\pi}$

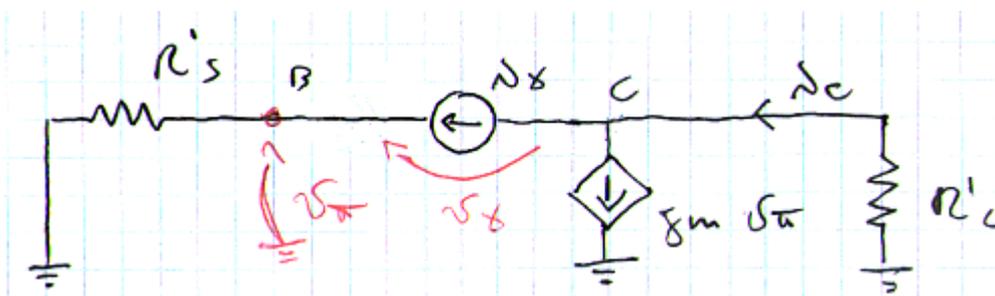


E' ovvio che ai capi del condensatore  $C_{\pi}$  ho solo  $R'_s$ , quindi  $R_{eq\pi} = R'_s$

Calcolo  $R_{eq\mu}$



Per vedere qual è la resistenza equivalente vista ai capi di  $C_{\mu}$ , sostituisco  $C_{\mu}$  con un generatore di corrente (o di tensione), e calcolo la tensione (o la corrente)



Il potenziale sulla base  $v_b = v_{\pi} = i_x R'_s$

Il potenziale sul collettore  $v_c = -R'_L i_c = -R'_L [i_x + g_m v_{\pi}] = -R'_L [i_x + g_m i_x R'_s]$

$$v_x = v_b - v_c = i_x R'_s + R'_L [i_x + g_m R'_s i_x] = i_x [R'_s + R'_L (1 + g_m R'_s)]$$

$$R_{eq\mu} = R'_s + R'_L + R'_L R'_s g_m$$

Ricapitolando  $R_{eq\pi} = R'_S$        $R_{eq\mu} = R'_S + R'_L + R'_L R'_S g_m$

$$\tau_{eq} = \sum_i \tau_i = C_\pi R'_S + C_\mu [R'_S + R'_L + R'_L R'_S g_m]$$

$$\omega_{H3dB} \simeq \frac{1}{\tau_{eq}} = \frac{1}{C_\pi R'_S + C_\mu [R'_S + R'_L + R'_L R'_S g_m]}$$

### **Confrontiamo con il risultato ottenuto con Miller**

La  $\tau$  ottenuta con Miller era  $\tau_{Miller} = R'_S [C_\pi + C_\mu (1 + g_m R'_L)]$

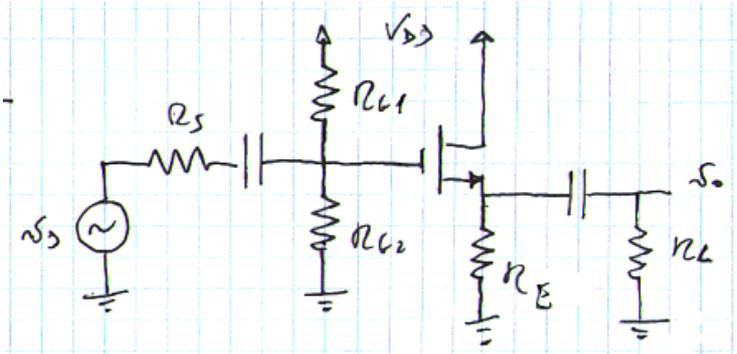
Confrontando le due  $\tau$  ottenute, vedo che non sono del tutto identiche, perchè con il metodo delle costanti di tempo ho un  $R'_L$  che non compare nella  $\tau_{Miller}$ .

Se questa  $R'_L$  è trascurabile rispetto alle altre grandezze, ottengo esattamente la stessa cosa.

In pratica  $R'_L$  la posso trascurare perchè si confronta con  $R'_S R'_L g_m$ , e  $g_m \gg 1$ .

Quindi le due costanti di tempo sono molto simili tenendo anche presente che entrambi i metodi sono approssimati: il metodo delle costanti di tempo per definizione ci dà una stima della  $\omega$ , quello di Miller è approssimato perchè ho supposto di conoscere già K, che in realtà dipende dalla frequenza. Quindi è ragionevole che non vengano del tutto uguali.

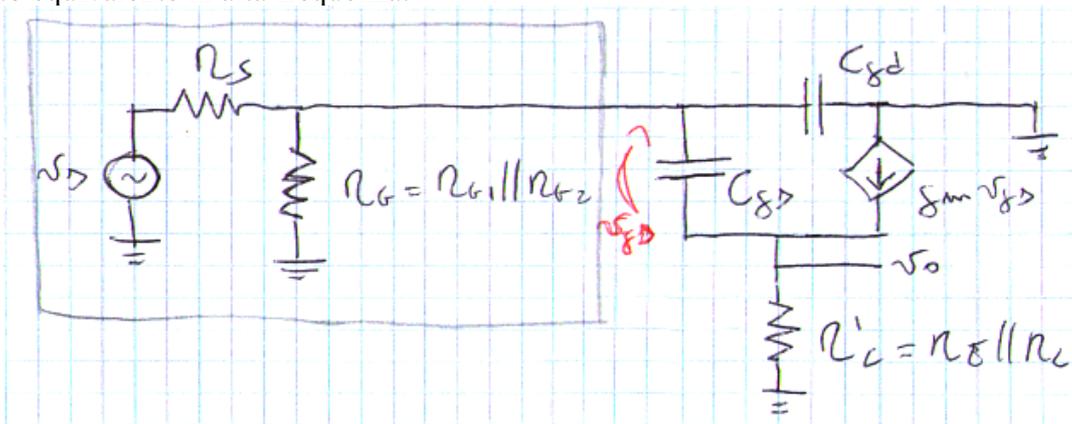
## Amplificatore a Drain Comune: Risposta in alta frequenza tramite il metodo delle costanti di tempo a circuito aperto



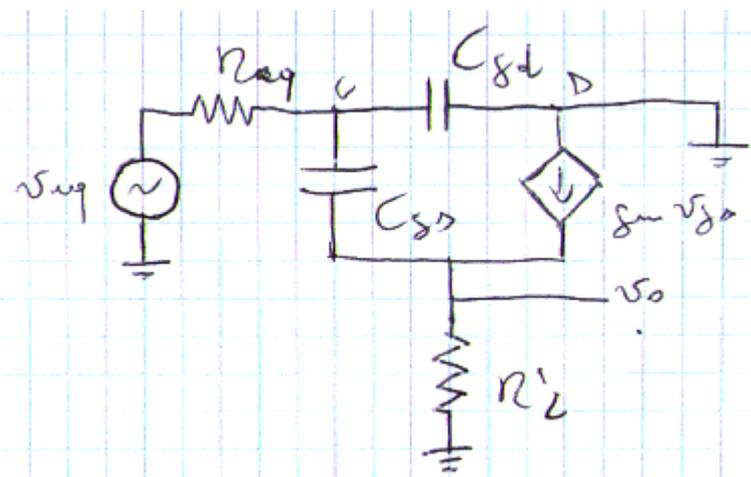
I circuiti a drain comune e a collettore comune hanno la caratteristica di avere un guadagno circa unitario, la resistenza d'ingresso molto grande e quella di uscita piccola. Sono praticamente dei buffer.

Questi circuiti, poiché hanno un guadagno bassissimo, addirittura unitario, hanno la caratteristica di avere una banda passante molto ampia (ricordiamo che guadagno e banda passante sono in trade off perfetto)

Il circuito equivalente in alta frequenza:



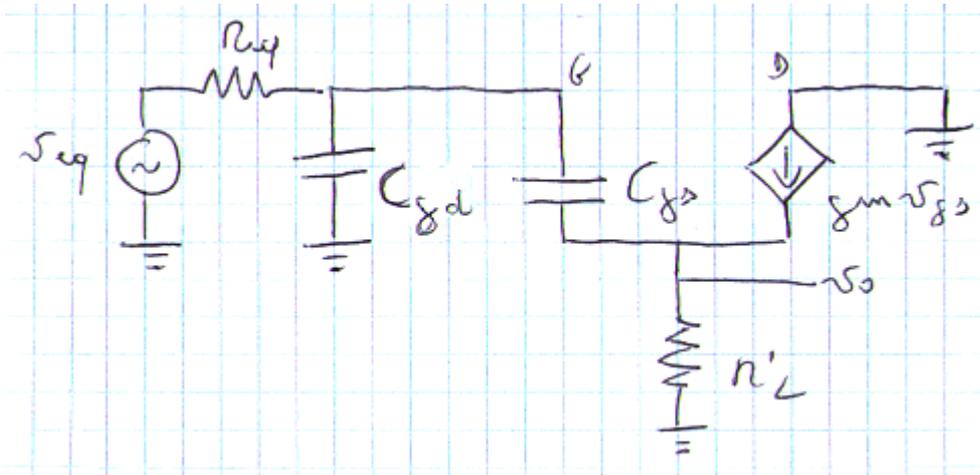
Applico Thevenin



Devo calcolare le due  $\tau$  e poi sommarle tra loro.

Osservo che  $C_{gd}$  ha un morsetto (quello lato drain) che si trova a massa, quindi a questa capacità non si applica l'effetto Miller, perchè non è più collegata tra ingresso e uscita (ma tra ingresso e massa)

Posso ridisegnare il circuito per maggiore chiarezza come segue:



Quindi la capacità collegata tra ingresso e uscita è la  $C_{gs}$

Posso dire, ora, che l'effetto Miller si applica a  $C_{gs}$ , ma non è tanto problematico per questo tipo di configurazione, perchè se uso Miller,  $C' = C(1-K)$ .

(Abbiamo visto che  $Z' = \frac{Z}{1-K}$ , ma per le capacità  $Z = \frac{1}{sC}$ ).

Quindi  $\frac{1}{sC}' = \frac{1}{sC(1-K)}$ , e quindi  $C' = C(1-K)$

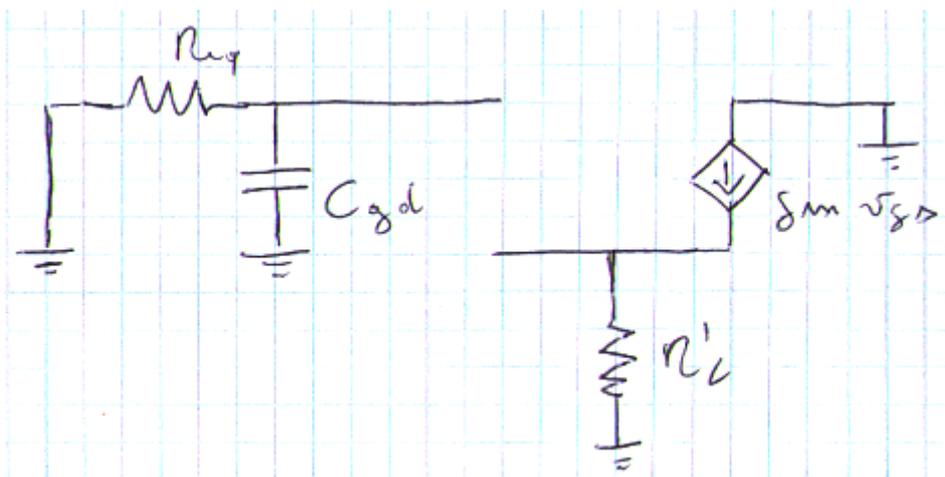
Ma per questo circuito  $K$  è all'incirca unitario.

Quindi, se applicassi Miller addirittura la capacità si ridurrebbe, chiaramente è un calcolo approssimato perchè  $K$  in realtà dipende dalla frequenza, ma questa cosa ci dice che l'effetto Miller applicato a  $C_{gs}$  non crea problemi, perchè non fa vedere una capacità più grande.

Non essendoci questo fenomeno di amplificazione delle capacità, è ragionevole aspettarsi una risposta in frequenza molto ampia da questo tipo di circuito.

Calcolo le due resistenze equivalenti.

Calcolo  $R_{eqd}$



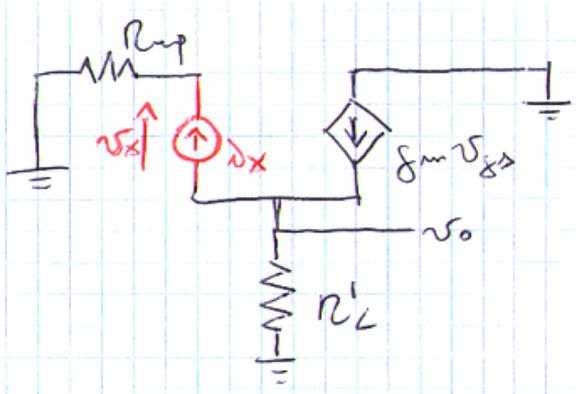
E' evidente che  $R_{eqgd} = R_{eq}$

## Calcolo $R_{eqgs}$

Per calcolare  $R_{eqgs}$  sostituisco a  $R_{gd}$  un circuito aperto, a  $v_s$  un cortocircuito.

Per calcolare  $R_{eqgs}$  sostituisco a  $C_{gs}$  un generatore di corrente e calcolo la tensione ai suoi capi.

$$\text{E quindi } R_{eqgs} = \frac{v_x}{i_x}$$



Calcolo il potenziale sulla gate

$$v_g = i_x R_{eq}$$

Calcolo il potenziale sul source

$$v_s = (g_m v_{gs} - i_x) R'_L$$

Quindi  $v_{gs} = v_g - v_s = i_x R_{eq} - R'_L (g_m v_{gs} - i_x)$

$$v_{gs} \equiv v_x$$

$$v_{gs} (1 + g_m R'_L) = i_x R_{eq} + R'_L i_x$$

$$R_{eqgs} = \frac{v_{gs}}{i_x} = \frac{R_{eq} + R'_L}{1 + g_m R'_L}$$

Calcolo la  $\tau$  complessiva

$$\tau_{tot} = C_{gd} R_{eq} + C_{gs} \frac{R_{eq} + R'_L}{1 + g_m R'_L}$$

$$\omega_{H3dB} = \frac{1}{\tau}$$

Osservazioni:  $C_{gd}$  non viene moltiplicata per alcun valore particolare.  $C_{gs}$  viene addirittura divisa per qualcosa.

Questo ha un senso perchè, se riprendiamo il concetto di Miller,  $C_{gs}$  veniva moltiplicata per  $1-K$ , quindi la capacità è più piccola.

Conclusione: La risposta in frequenza di questo particolare circuito è molto ampia (il che non ci stupisce perchè il guadagno è molto basso).

